

Załącznik 2 – Autoreferat w języku polskim

Spis treści

1.	Imię i nazwisko.	3
2.	Posiadane dyplomy, stopnie naukowe/artystyczne – z podaniem nazwy, miejsca i roku ich uzyskania oraz tytułu rozprawy doktorskiej.	3
3.	Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych.	3
4.	Wskazanie osiągnięcia z art. 16 ust. 2 Ustawy z dnia 14 marca 2003 o stopniach naukowych i tytule naukowym oraz stopniach i tytule w zakresie sztuki (Dz. U. nr 65, poz. 595 ze zm.).	3
4.1.	Tytuł osiągnięcia naukowego.	3
4.2.	Publikacje lub inne prace wchodzące w skład osiągnięcia naukowego.	3
4.2.1.	Publikacje naukowe w czasopismach znajdujących się w bazie Journal Citation Reports (JCR).	3
4.2.2.	Publikacje naukowe w czasopismach nieznajdujących się w bazie Journal Citation Reports (JCR).	4
4.3.	Wykaz innych (niewchodzących w skład osiągnięcia wymienionego w pkt 4.1) opublikowanych prac naukowych oraz wskaźniki dokonań naukowych.	10
4.3.1.	Publikacje naukowe w czasopismach znajdujących się w bazie Journal Citation Reports (JCR):	10
4.3.2.	Udzielone patenty międzynarodowe i krajowe.	12
4.3.3.	Monografie, publikacje naukowe w czasopismach międzynarodowych lub krajowych innych niż znajdujące się w bazie, o której mowa w pkt 4.3.1.	12
4.3.4.	Sumaryczny impact factor według listy Journal Citation Reports (JCR), zgodnie z rokiem opublikowania.	19
4.3.5.	Liczba cytowań publikacji według bazy Web of Science (WoS).	19
4.3.6.	Indeks Hirscha według bazy Web of Science (WoS).	19
4.3.7.	Kierowanie międzynarodowymi i krajowymi projektami badawczymi oraz udział w takich projektach.	20
4.3.8.	Wygłoszenie referatów na międzynarodowych i krajowych konferencjach tematycznych.	20
4.4.	Dorobek dydaktyczny i popularyzatorski oraz informacja o współpracy międzynarodowej habilitanta.	20
4.4.1.	Aktywny udział w międzynarodowych i krajowych konferencjach naukowych.	20
4.4.2.	Udział w komitetach organizacyjnych międzynarodowych i krajowych konferencji naukowych.	30
4.4.3.	Udział w konsorcjach i sieciach badawczych.	30
4.4.4.	Udział w komitetach redakcyjnych i radach naukowych czasopism.	31
4.4.5.	Członkostwo w międzynarodowych i krajowych organizacjach oraz towarzystwach naukowych.	31
4.4.6.	Recenzowanie publikacji w czasopismach międzynarodowych i krajowych.	31
4.5.	Omówienie wyników osiągnięcia: Zastosowanie modeli typu "compact" tranzystorów MOS i innych przyrządów półprzewodnikowych w technologiach mikro- i nanoelektronicznych.	32
4.5.1.	Modele przyrządów półprzewodnikowych dla wspomaganego komputerowo projektowania technologii (TCAD).	35
4.5.2.	Zastosowanie modeli typu TCAD elementów półprzewodnikowych w opracowaniu technologii mikro- i nanoelektronicznych oraz w analizie zjawisk w przyrządach półprzewodnikowych.	36
4.5.2.1.	Modelowanie działania powierzchniowej diody p-i-n (S-PIN) jako elementu monolitycznej anteny inteligentnej.	36
4.5.2.2.	Modelowanie przepływu prądu dla potrzeb weryfikacji wyników pomiaru temperatury w nanodrucie krzemowym za pomocą skaningowej mikroskopii termicznej (S _{Th} M).	38
4.5.3.	Modele typu "compact" tranzystorów MOS i innych elementów półprzewodnikowych.	39
4.5.4.	Opracowania modeli typu "compact" przyrządów półprzewodnikowych i systemów elektronicznych.	41
4.5.4.1.	Opracowanie modelu częściowo zubożonego tranzystora MOS SOI.	41
4.5.4.2.	Opracowanie modelu pikselowego detektora promieniowania z przeplotem.	45

4.5.4.3.	Opracowanie modelu odzyskiwania energii cieplnej za pomocą przetwornika elektrostatycznego i gromadzenia jej w postaci ładunku.	46
4.5.5.	Zastosowanie modeli typu "compact" w charakteryzacji przyrządów półprzewodnikowych wytwarzanych w procesie CMOS oraz innych technologiach mikroelektronicznych.	50
4.5.5.1.	Opracowanie struktur testowych do charakteryzacji procesów technologicznych i przyrządów półprzewodnikowych.	50
A.	Struktura testowa dla charakteryzacji technologii CMOS.	51
B.	Struktura testowa dla charakteryzacji technologii wytwarzania krzemowych piezorezystywnych czujników naprężeń.	52
4.5.5.2.	Lokalne metody ekstrakcji parametrów modeli przyrządów półprzewodnikowych.	54
A.	Metody wykorzystujące informację w pojedynczym punkcie charakterystyki elektrycznej przyrządu półprzewodnikowego.	54
B.	Metody wykorzystujące ekstremum pochodnej charakterystyki elektrycznej przyrządu półprzewodnikowego.	55
C.	Metody wykorzystujące podzbiór punktów charakterystyki elektrycznej przyrządu półprzewodnikowego.	63
D.	Metody wykorzystujące typoszeręgi przyrządów półprzewodnikowych w celu ekstrakcji parametrów z użyciem podzbiorów punktów ich charakterystyk elektrycznych.	68
4.5.5.3.	Metody ekstrakcji parametrów modeli przyrządów półprzewodnikowych oparte na optymalizacji.	74
4.5.5.4.	Parametry modeli przyrządów półprzewodnikowych jako źródło informacji o stanie technologii wytwarzania układów scalonych.	77
4.5.5.5.	Metody charakteryzacji rozrzutów charakterystyk przyrządów półprzewodnikowych.	79
4.5.6.	Opracowanie zintegrowanych narzędzi do charakteryzacji przyrządów półprzewodnikowych oraz analizy charakterystyk modeli typu "compact" zaimplementowanych w programach do symulacji elektrycznej układów elektronicznych.	82
4.5.7.	Zastosowanie modeli "compact" w projektowaniu układów scalonych CMOS.	90
4.6.	Podsumowanie	96

1. Imię i nazwisko.

Daniel Tomaszewski,
ur. 8.06.1956 r. w Warszawie

2. Posiadane dyplomy, stopnie naukowe/artystyczne – z podaniem nazwy, miejsca i roku ich uzyskania oraz tytułu rozprawy doktorskiej.

Magister inżynier; Wydział Elektroniki Politechniki Warszawskiej, 1980;
Tytuł pracy: "Analiza zjawiska wtórnego przebiecia cieplnego w tranzystorach bipolarnych";
Promotor: dr inż. Wiesław Kuźmich;
Dyplom z wyróżnieniem;

Doktor nauk technicznych, Instytut Technologii Elektronowej w Warszawie, 1998;
Tytuł pracy: "Małosygnałowy model pojemności tranzystora MOS SOI";
Promotor: prof. dr hab. inż. Andrzej Jakubowski;
Dyplom z wyróżnieniem.

3. Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych.

26.05.1980 – 25.08.1980	Instytut Technologii Elektronowej w Warszawie,	stażysta
26.08.1980 – 28.02.1981	Instytut Technologii Elektronowej w Warszawie,	elektronik
1.03.1981 – 1.07.1998	Instytut Technologii Elektronowej w Warszawie,	asystent
2.07.1998 –	Instytut Technologii Elektronowej w Warszawie,	adiunkt

4. Wskazanie osiągnięcia z art. 16 ust. 2 Ustawy z dnia 14 marca 2003 o stopniach naukowych i tytule naukowym oraz stopniach i tytule w zakresie sztuki (Dz. U. nr 65, poz. 595 ze zm.).

4.1. Tytuł osiągnięcia naukowego.

Zastosowanie modeli typu "compact" tranzystorów MOS i innych przyrządów półprzewodnikowych w technologiach mikro- i nanoelektronicznych.

4.2. Publikacje lub inne prace wchodzące w skład osiągnięcia naukowego.

4.2.1. Publikacje naukowe w czasopismach znajdujących się w bazie Journal Citation Reports (JCR).

1. **D. Tomaszewski**, G. Głuszko, L. Łukasiak, K. Kucharski, J. Malesińska, "Elimination of the channel current effect on the characterization of MOSFET threshold voltage using junction capacitance measurements", Solid-State Electronics, 128 (2017), pp. 92-101 (IF=1.58)

Mój wkład w powstanie tej pracy polegał na przeprowadzeniu symulacji numerycznych charakterystyk C(V) tranzystorów MOS, opracowaniu modelu zjawisk w tych przyrządach stanowiącego podstawę metody charakteryzacji, opracowaniu metody charakteryzacji, specyfikacji warunków pomiaru, opracowaniu wyników pomiarów, opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 50 %.

2. K. Domański, P. Prokaryn, **D. Tomaszewski**, M. Marchewka, P. Grabiec, "Development and Modeling of Thermal Energy Harvesting Setup", Journal of Nano Research, Vol. 39, pp. 191-201 (2016) (IF=0.511)

Mój wkład w powstanie tej pracy polegał na opracowaniu modelu działania urządzenia do odzyskiwania energii cieplnej i zamiany jej na energię pola elektrycznego za pomocą urządzenia składającego się z przetwornika elektrostatycznego wyposażonego w membranę bimetaliczną pokrytą warstwami naładowanego elektretu oraz prostownika diodowego - mostka Graetza z dołączonym kondensatorem magazynującym energię. Opracowany model zaimplementowałem w programie Qucs. Przeprowadziłem szereg symulacji, opracowałem wyniki, opracowałem fragment artykułu. Mój udział procentowy szacuję na 15 %.

3. G. Wielgoszewski, P. Pałetko, **D. Tomaszewski**, M. Zaborowski, G. Jóźwiak, D. Kopiec, T. Gotszalk, P. Grabiec, "Carrier Density Distribution in Silicon Nanowires Investigated by Scanning Thermal Microscopy and Kelvin Probe Force Microscopy", Micron, vol. 79, str. 93-100 (2015) (IF=1.838)

Mój wkład w powstanie tej pracy polegał na opracowaniu modelu nanodrutu krzemowego w programie Silvaco ATLAS, przeprowadzeniu symulacji numerycznych charakterystyk elektrycznych nanodrutu, wyznaczenia rozkładów pola elektrycznego i koncentracji nośników w nanodrucie. Opracowałem wyniki symulacji, brałem udział w opracowaniu fragmentu artykułu. Mój udział procentowy szacuję na 10 %.

4. J. Marczewski, W. Knap, **D. Tomaszewski**, M. Zaborowski, P. Zagrajek, "Silicon Junctionless Field Effect Transistors as Room Temperature THz Detectors", *Journal of Applied Physics*, Vol. 118, str. 104502-8 (2015) (IF=2.101)

Mój wkład w powstanie tej pracy polegał na udziale w pomiarach elektrycznych tranzystorów JLFET, specyfikacji warunków pomiarów, opracowaniu wyników tych pomiarów, dyskusji wpływu poziomu inwersji na fotoodpowiedź detektora THz z wykorzystaniem przyrządu JLFET, sformułowaniu zależności gęstości powierzchniowej ładunku nośników w kanale od polaryzacji bramki (wzory (1), (2)), udziale w redakcji tekstu. Mój udział procentowy szacuję na 10 %.

5. M. Zaborowski, **D. Tomaszewski**, P. Dumania, P. Grabiec, "Development and Characterization of Nanowire-Based FETs", *Microelectronics Reliability*, vol. 51, pp. 1162-1165 (2011) (IF=1.167)

Mój wkład w powstanie tej pracy polegał na udziale w specyfikacji warunków pomiarów tranzystorów MOS na bazie nanodrutów krzemowych, w pomiarach elektrycznych, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów tranzystorów, udziale w redakcji tekstu. Mój udział procentowy szacuję na 20 %.

6. Y. Yashchyshyn, J. Marczewski, **D. Tomaszewski**, "Investigation of the S-PIN Diodes for Silicon Monolithic Antennas With Reconfigurable Aperture", *IEEE Trans. Microwave Theory and Techniques*, Vol. 58, No. 5, pp. 1100-1106 (2010) (IF=2.025)

Mój wkład w powstanie tej pracy polegał na opracowaniu z wykorzystaniem programu Silvaco ATLAS modeli anten aktywnych na bazie powierzchniowych diod PIN (S-PIN) na podłożach Si i SOI, przeprowadzeniu symulacji numerycznych charakterystyk elektrycznych diod S-PIN, wyznaczenia rozkładów pola elektrycznego i koncentracji nośników w badanych przyrządach. Opracowałem wyniki symulacji, brałem udział w opracowaniu fragmentu artykułu. Mój udział procentowy szacuję na 10 %.

7. M. Zaborowski, **D. Tomaszewski**, A. Panas, P. Grabiec, "Double-fin FETs based on standard CMOS approach", *Microelectronic Engineering*, Vol.87, No.5-8, pp. 1396-1399 (2010) (IF=1.575)

Mój wkład w powstanie tej pracy polegał na udziale w specyfikacji warunków pomiarów, w pomiarach elektrycznych tranzystorów MOS typu FinFET, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów tranzystorów, udziale w redakcji tekstu. Mój udział procentowy szacuję na 30 %.

8. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, M. Caccia, W. Kucewicz, H. Niemiec, "Technology development for SOI monolithic pixel detectors", *Nuclear Instruments & Methods in Physics Research A*, Vol. 560, pp. 26-30 (2006) (IF=1.185) (Proc. 13th Int Workshop on Vertex Detectors: VERTEX 2004, Sep 13-18, 2004)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach elektrycznych testowych diod detekcyjnych oraz tranzystorów MOS SOI, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów diod i tranzystorów. Mój udział procentowy szacuję na 10 %.

9. B. Jaroszewicz, K. Domański, **D. Tomaszewski**, P. Janus, A. Kudła, B. Latecki, A. Kociubiński, M. Nikodem, J. Kątki, M. Wzorek, J. Marczewski, P. Grabiec, "Application of ion implantation for mono-Si piezoresistors manufacturing in silicon MEMS technology", *Vacuum*, Vol. 78, No. 2-4, pp. 263-267 (2005) (IF=0.909)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach elektrycznych testowych diod p-n na podłożach Si, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów diod, udziale w redakcji tekstu. Mój udział procentowy szacuję na 15 %.

10. J. Marczewski, **D. Tomaszewski**, K. Domański, P. Grabiec, M. Caccia, S. Borghi, R. Campagnolo, W. Kucewicz, "Charge sharing modeling in pixel detectors with capacitive charge division", *IEEE Trans. Electron Devices*, Vol. 50, No. 1, pp. 26-31 (2003) (IF=2.215)

Mój wkład w powstanie tej pracy polegał na opracowaniu w środowisku MS Excel VBA modelu pikselowego detektora promieniowania w postaci sieci konduktancji i pojemności, sformułowaniu równań układu, wykonywaniu symulacji czasowych działania detektora. Opracowałem wyniki symulacji, brałem udział w opracowaniu fragmentu artykułu. Mój udział procentowy szacuję na 30 %.

11. M. Sadowski, **D. Tomaszewski**, "An efficient approach to the measurement and characterization of MOSFET capacitances", *Microelectronics Reliability*, Vol. 40, No. 6, pp. 1045-1049 (2000) (IF=0.362)

Mój wkład w powstanie tej pracy polegał na opracowaniu metody ekstrakcji pojemności pasożytniczych w tranzystorach MOS, na specyfikacji warunków pomiarów, na wykonaniu pomiarów i opracowaniu ich wyników, oraz na opracowaniu części tekstu artykułu. Mój udział procentowy szacuję na 50 %.

4.2.2. Publikacje naukowe w czasopismach nieznajdujących się w bazie Journal Citation Reports (JCR).

12. H. Hara, G. Głuszko, **D. Tomaszewski**, "A test structure for characteriation of the shallow piezoresistor-based strain sensors", *Proc. 24th Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES)*, Bydgoszcz, 22-24.06.2017, pp. 121-126

Mój wkład w powstanie tej pracy polegał na opracowaniu metodyki ekstrakcji parametrów elementów opracowanej struktury testowej: struktur van der Pauwa, struktur typu cross-bridge, diod, kondensatorów MOS oraz na udziale w opracowaniu artykułu. Mój udział procentowy szacuję na 35 %.

13. **D. Tomaszewski**, G. Głuszko, K. Kucharski, J. Malesińska, L. Łukasiak, "FDSOI MOSFET threshold voltage characterization based on AC simulation and measurements", Proc. 2017 Joint Int. EUROSIOI Workshop and Int.l Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Athens, 3-5.04.2017, DOI: 10.1109/ULIS.2017.7962568

Mój wkład w powstanie tej pracy polegał na przeprowadzeniu symulacji numerycznych charakterystyk C(V) tranzystorów MOS FDSOI, opracowaniu modelu zjawisk w tych przyrządach stanowiącego podstawę metody charakteryzacji, opracowaniu metody charakteryzacji, specyfikacji warunków pomiarów, na opracowaniu wyników pomiarów, opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 50 %.

14. **D. Tomaszewski**, G. Głuszko, J. Malesińska, "A Method for Combined Characterization of MOSFET Threshold Voltage and Junction Capacitance Eliminating Channel Current Effect", Proc. 2016 Joint Int. EUROSIOI Workshop and Int. Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Wiedeń, 25-27.01.2016, str. 182-185, DOI: 10.1109/ULIS.2016.7440083

Mój wkład w powstanie tej pracy polegał na przeprowadzeniu symulacji numerycznych charakterystyk C(V) tranzystorów MOS, na opracowaniu modelu zjawisk w tych przyrządach stanowiącego podstawę metody charakteryzacji, opracowaniu metody charakteryzacji, specyfikacji warunków pomiarów, na opracowaniu wyników pomiarów, opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 55 %.

15. **D. Tomaszewski**, G. Głuszko, M. Brinson, V. Kuznetsov, W. Grabinski, "FOSS as an Efficient Tool for Extraction of MOSFET Compact Model Parameters", Proc. 23rd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Łódź, 23-25.06.2016, pp. 68-73

Mój wkład w powstanie tej pracy polegał na opracowaniu struktury systemu do charakteryzacji modeli tranzystorów MOS, opracowaniu schematów przepływu danych, opracowaniu programu w środowisku GNU Octave, wykonaniu testowych obliczeń, opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 60 %.

16. **D. Tomaszewski**, G. Głuszko, J. Malesińska, K. Domański, M. Zaborowski, K. Kucharski, D. Szmigiel, A. Sierakowski, "A Simple Method for Characterization of MOSFET Serial Resistance Asymmetry", Proc. 28th IEEE Int. Conf. on Microelectronic Test Structures, Phoenix, 23-26.03.2015, str. 116-121

Mój wkład w powstanie tej pracy polegał na opracowaniu metody identyfikacji rezystancji szeregowych w tranzystorach MOS, na udziale w specyfikacji warunków pomiarów, w opracowaniu wyników pomiarów i wyznaczeniu poszukiwanych parametrów, na udziale w opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 30 %.

17. **D. Tomaszewski**, K. Domański, P. Prokaryn, "Qucs-Based Development of an Energy Harvester Compact Model", Proc. 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015, pp. 198-203

Mój wkład w powstanie tej pracy polegał na opracowaniu modelu działania urządzenia do odzyskiwania energii cieplnej i zamiany na energię pola elektrycznego za pomocą urządzenia składającego się z przetwornika elektrostatycznego wyposażonego w membranę bimetaliczną pokrytą warstwami naładowanego elektretu oraz prostownika diodowego - mostka Graetza z dołączonym kondensatorem magazynującym energię. Opracowany model zaimplementowałem w programie Qucs. Przeprowadziłem szereg symulacji, opracowałem wyniki, opracowałem tekst artykułu. Mój udział procentowy szacuję na 55 %.

18. W. Grabiński, **D. Tomaszewski**, F. Jazaeri, A. Mangla, J.-M. Sallese, M.-A. Chalkiadaki, A. Bazigos, M. Bucher, "FOSS EKV 2.6 Parameter Extractor", Proc. 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015, pp. 181-186

Mój wkład w powstanie tej pracy polegał na udziale w opracowaniu artykułu. Udział procentowy szacuję na 10 %.

19. **D. Tomaszewski**, J. Malesińska, G. Głuszko, "Simple Methods of Threshold Voltage Parameter Extraction for MOSFET Models", Proc. 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015, pp. 222-226

Mój wkład w powstanie tej pracy polegał na opracowaniu metod ekstrakcji napięcia progowego, implementacji metody charakteryzacji w programie Qucs, na specyfikacji układu pomiarowego, na opracowaniu wyników pomiarów i ekstrakcji parametrów, opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 55 %.

20. **D. Tomaszewski**, M. Zaborowski, K. Kucharski, J. Marczewski, K. Domański, M. Ekwińska, P. Janus, T. Bieniek, G. Głuszko, B. Jaroszewicz, P. Grabiec, "SOI-Based Microsensors", **rozdział w książce** "Functional Nanomaterials and Devices for Electronics, Sensors and Energy Harvesting", Springer, 2014, str. 389-415

Mój wkład w powstanie tej pracy polegał na przeprowadzeniu obliczeń numerycznych diody S-PIN na podłożu SOI, stanowiącej część roboczą anteny inteligentnej (rys. 4, 5), na udziale w specyfikacji warunków pomiarów tranzystorów FDSOI MOS, przeprowadzeniu pomiarów i opracowaniu ich wyników (rys. 6, 8), na opracowaniu ilustracji konstrukcji

detektorów pikselowych (rys. 1), struktur FDSOI CMOS (rys. 7), tranzystorów NMOS jako detektorów promieniowania THz (rys. 9, 10), struktur typu FinFET wytwarzanych metodą PaDEOx (rys. 15), tranzystorów ISFET na podłożu SOI (rys. 17), na redagowaniu tekstu artykułu. Mój udział procentowy szacuję na 15 %.

21. **D. Tomaszewski**, G. Głuszko, M. Zaborowski, J. Malesińska, K. Kucharski, "A Simple Multi-Purpose Method for Compact Model Evaluation", Proc. 21st Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Lublin, 19-21.06.2014, pp. 74-78.

Mój wkład w powstanie tej pracy polegał na opracowaniu uniwersalnej metody oceny właściwości modeli typu "compact", na specyfikacji warunków pomiarów tranzystorów MOS, na opracowaniu wyników pomiarów i ekstrakcji parametrów, na opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 45 %.

22. M. Zaborowski, **D. Tomaszewski**, J. Malesińska, P. Grabiec, "Fabrication and Characterization of Junctionless MOSFETs for Sensor Applications", Proc. 21st Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Lublin, 19-21.06.2014, pp. 367-371.

Mój wkład w powstanie tej pracy polegał na opracowaniu schematu zastępczego przyrządu JLFET, na specyfikacji warunków pomiarów, na opracowaniu wyników pomiarów i ekstrakcji parametrów, na udziale w opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 40 %

23. G. Głuszko, **D. Tomaszewski**, J. Malesińska, K. Kucharski, "A Simple Method for Extraction of Threshold Voltage of FD SOI MOSFETs", Proc. 20th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gdynia, 20-22.06.2013, pp. 101-105

Mój wkład w powstanie tej pracy polegał na udziale w implementacji metod ekstrakcji parametrów, dyskusji wyników i opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 25 %.

24. **D. Tomaszewski**, G. Głuszko, J. Malesińska, K. Kucharski, "Characterization of Parameter Variability and Correlations for FD SOI CMOS Technology", Proc. 19th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Warszawa, 24-26.05.2012, pp. 60-65

Mój wkład w powstanie tej pracy polegał na udziale w wykonywaniu pomiarów, na implementacji metod ekstrakcji parametrów, na specyfikacji warunków pomiarów tranzystorów FDSOI MOS, na opracowaniu wyników pomiarów i charakteryzacji, na opracowaniu korelacji między parametrami, na udziale w opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 45 %.

25. M. Zaborowski, **D. Tomaszewski**, P. Dumania, P. Grabiec, "From FinFET to Nanowire ISFET", Proc. 42nd European Solid-State Device Research Conf., Bordeaux, 17-21.09.2012, str. 165-168

Mój wkład w powstanie tej pracy polegał na na specyfikacji warunków pomiarów testowanych przyrządów, przeprowadzeniu pomiarów elektrycznych tranzystorów nanodrutowych, opracowaniu wyników tych pomiarów, ekstrakcji parametrów, na udziale w opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 40 %.

26. **D. Tomaszewski**, M. Yakupov, "Analysis of a Simple Method of CMOS IC Design for Yield Optimization", Int. Journal of Microelectronics and Computer Science, vol. 3, nr. 3, str. 81-87 (2012)

Mój wkład w powstanie tej pracy polegał na opracowaniu podstaw bazującej na dystrybuancie zm. losowej metody optymalizacji projektu u.s. ze względu na uzysk parametryczny, na opracowaniu ilustracji tej metody (rys. 1), zdefiniowaniu funkcji (analitycznych) charakteryzujących projekt oscylatora pierścieniowego CMOS, który był poddany optymalizacji, na udziale w dyskusji korelacji funkcji oscylatora i wzmacniacza operacyjnego, dyskusji wyników optymalizacji projektu oscylatora i wzmacniacza, na udziale w opracowaniu artykułu. Mój udział procentowy szacuję na 50 %.

27. M. Zaborowski, **D. Tomaszewski**, A. Panas, P. Grabiec, "Characterization of Test Devices for Development of Nanowire Sensor FETs", Proc. 19th Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Warszawa, 24-26.05.2012, pp. 407-411

Mój wkład w powstanie tej pracy polegał na na specyfikacji warunków pomiarów, przeprowadzeniu pomiarów elektrycznych tranzystorów nanodrutowych, opracowaniu wyników tych pomiarów, ekstrakcji parametrów. Mój udział procentowy szacuję na 35 %.

28. M. Yakupov, **D. Tomaszewski**, "Parametric Yield-Oriented IC Design Based on Cumulative Distribution Function and Open-Source EDA Tools", MOS-AK/ESSDERC Workshop, Bordeaux 21.09.2012

Mój wkład w powstanie tej pracy polegał na zastosowaniu metody bazującej na dystrybuancie zm. losowej (CDF) do optymalizacji projektu oscylatora pierścieniowego CMOS (dobór szerokości kanałów tranzystorów NMOS, PMOS) ze względu na uzysk parametryczny. Opracowałem oprogramowanie w środowisku GNU Octave do analizy Monte-Carlo (MC) działania oscylatora za pomocą programu ngspice, wykonałem symulacje, w środowisku R wyznaczyłem korelacje pomiędzy parametrami tranzystorów MOS oraz funkcjami oscylatora, wyznaczyłem rozkłady uzysku parametrycznego w zależności od szerokości tranzystorów metodami MC, CDF, uzyskując dobrą zgodność. Mój udział procentowy szacuję na 60 %.

29. M. Yakupov, **D. Tomaszewski**, "Analysis of Selected Methods for CMOS Integrated Circuit Design for Yield Optimization", Proc. 18th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gliwice, 16-18.06.2011, pp. 71-76

Mój wkład w powstanie tej pracy polegał na opracowaniu podstaw metody optymalizacji projektu układu u.s. ze względu na uzysk parametryczny. Metoda ta wykorzystuje dystrybuantę zm. losowej. Opracowałem ilustrację tej metody (rys. 2). Zdefiniowałem analityczne funkcje charakteryzujące projekt oscylatora pierścieniowego CMOS, który był poddany optymalizacji. Uczestniczyłem w dyskusji korelacji funkcji oscylatora i wzmacniacza operacyjnego, w dyskusji wyników optymalizacji projektu oscylatora i wzmacniacza, oraz w opracowaniu artykułu. Mój udział procentowy szacuję na 45 %.

30. M. Zaborowski, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, "Non-Standard FinFET Devices for Small Volume Sample Sensors", Advanced Materials Research, Vol. 276, pp. 127-135 (2011)

Mój wkład w powstanie tej pracy polegał na na specyfikacji warunków pomiarów tranzystorów nanodrutowych, przeprowadzeniu pomiarów elektrycznych, opracowaniu wyników tych pomiarów, ekstrakcji parametrów. Mój udział procentowy szacuję na 35 %.

31. M. Yakupov, **D. Tomaszewski**, W. Grabiński, "Process Control Monitor Based Extraction Procedure for Statistical Compact MOSFET Modeling", Proc. 17th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Wrocław, June 24-26, 2010, pp. 85-90

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod symulacji u.s. z uwzględnieniem rozrzutów procesu, t.j. analizy kornerowej i metody Monte-Carlo oraz metod modelowania statystycznego (ekstrakcji parametrów charakteryzujących zmienność procesu technologicznego): PCA, FPV, BPV, na udziale w dyskusji modelu EKV pod kątem charakteryzacji rozrzutów, na dyskusji wyników, na udziale w opracowaniu artykułu. Mój udział procentowy szacuję na 30 %

32. **D. Tomaszewski**, A. Malinowski, M. Zaborowski, P. Sałek, L. Łukasiak, A. Jakubowski, "Fluctuations of Electrical Characteristics of FinFET Devices", Proc. 16th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Łódź, June 25-27, 2009, pp. 61-66

Mój wkład w powstanie tej pracy polegał na opisie źródeł rozrzutów charakterystyk tranzystorów MOS o bardzo małych rozmiarach, na specyfikacji warunków pomiarów, na udziale w pomiarach i ekstrakcji parametrów tranzystorów FinFET wytworzonych w IMEC oraz tranzystorów typu FinFET wytworzonych w ITE. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 25%.

33. J. Arabas, L. Bartnik, S. Szostak, **D. Tomaszewski**, "Global Extraction of MOSFET Parameters Using the EKV Model: Some Properties of the Underlying Optimization Task", Proc. 16th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Łódź, June 25-27, 2009, pp. 67-72

Mój wkład w powstanie tej pracy polegał na opracowaniu równań modelu EKV tranzystorów MOS dla potrzeb implementacji w programie do ekstrakcji parametrów modeli za pomocą algorytmów ewolucyjnych. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 20%.

34. A. Malinowski, A. Kociubiński, P. Sałek, L. Łukasiak, M. Zaborowski, **D. Tomaszewski**, A. Jakubowski, "Electrical Characterization of FinFETs", Proc. 15th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Poznań, June 19-21, 2008, pp. 65-69

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach tranzystorów FinFET, na sformułowaniu modelu prądu kanału I_{ch} i bramki I_G tranzystora FinFET zastosowanego do charakteryzacji, na ekstrakcji składowych prądu I_{ch} i I_G tranzystora oraz ekstrakcji parametrów. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 35%.

35. M. Zaborowski, B. Jaroszewicz, **D. Tomaszewski**, P. Prokaryn, E. Malinowska, E. Grygoliwicz-Pawlak, P. Grabiec, "Fabrication of MOS - compatible ion – sensitive devices for water pollution monitoring (WARMER)", Proc. 14th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Ciechocinek, June 21-23, 2007, pp. 477-481

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach elektrod jonoczułych i testowych tranzystorów MOS analogicznych do ISFET. Na podstawie charakterystyk $I(V)$ wyznaczałem parametry modeli tranzystorów. Uczestniczyłem w pomiarach przyrządów ISFET w roztworach buforowych podawanych w systemie przepływowym. Uczestniczyłem w opracowaniu części artykułu na temat charakteryzacji elementów testowych i części przedstawiającej wyniki pomiarów. Mój udział procentowy szacuję na 15%.

36. **D. Tomaszewski**, C.-M. Yang, B. Jaroszewicz, M. Zaborowski, P. Grabiec, D. G. Pijanowska, "Electrical characterization of ISFETs", J. Telecommunications and Information Technology, No. 3, 2007, pp. 55-60 (Proc. 7th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, June 25-28, 2006, Warsaw)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach zarówno tranzystorów testowych analogicznych do ISFET jak i przyrządów ISFET w roztworach buforowych o kontrolowanym

współczynnika pH. Przeprowadzałem charakteryzację badanych elementów. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 35%.

37. **D. Tomaszewski**, A. Kociubiński, J. Marczewski, K. Kucharski, K. Domański, P. Grabiec: "A Versatile Tool for Extraction of MOSFETs Parameters", J. Telecommunications and Information Technology, No. 1, 2005, pp. 129-134 (Proc. 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, June 22-25, 2003, Warsaw)

Mój wkład w powstanie tej pracy polegał na opracowaniu programu MOSTXX do ekstrakcji parametrów tranzystorów MOS na podstawie charakterystyk $I(V)$, wykorzystującego metody ekstrakcji lokalnej, bazującej na dopasowaniu modelu w podzakresach charakterystyk oraz na optymalizacji wykorzystującej pełne zakresy charakterystyk wzorcowych. W ramach pracy prowadziłem pomiary i przeprowadzałem charakteryzację tranzystorów MOS, do której wykorzystywałem opracowaną aplikację MOSTXX. Mój udział procentowy szacuję na 75 %.

38. M. Barański, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "TSSOI as an efficient tool for diagnostics of SOI technology in Institute of Electron Technology", J. Telecommunications and Information Technology, No. 1, 2005, pp. 85-93 (Proc. 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, June 22-25, 2003, Warsaw)

Mój wkład w powstanie tej pracy polegał na udziale w specyfikacji elementów technologicznej struktury testowej TSSOI projektowanej w ITE. Konstrukcyjna struktura testowa z elementami struktury technologicznej była projektowana przez zespół AGH. Głównym zadaniem struktury TSSOI było umożliwienie charakteryzacji technologii wytwarzania pikselowych detektorów promieniowania jonizującego na podłożach SOI. Określiłem warunki pomiarów przyrządów testowych. Uczestniczyłem w pomiarach i charakteryzacji tranzystorów MOS, do której wykorzystywałem opracowany przeze mnie program MOSTXX. Mój udział procentowy szacuję na 10 %.

39. **D. Tomaszewski**, K. Domański, L. Łukasiak, A. Zaręba, J. Gibki, A. Jakubowski, "DC and AC models of partially-depleted SOI MOSFETs in weak inversion", **rozdział w książce** "Progress in SOI Structures and Devices Operating at Extreme Conditions", Ed.: F. Balestra, A. Nazarov, V. S. Lysenko, NATO Science Series (Series II: Mathematics, Physics and Chemistry), vol 58, Springer, Dordrecht, 2002, pp. 289-298

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego modelu charakterystyk $I(V)$ tranzystora PDSOI MOS oraz małosygnałowego, niequasi-statycznego modelu charakterystyk $Y(V)$ dla zakresu podprogowego, z uwzględnieniem transportu nośników w kanale tranzystora, zjawisk (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (w złączach, obszarze "pinch-off"), prądów przesunięcia przez warstwę izolacyjną lub zubożoną.. Wykonałem symulacje charakterystyk $I(V)$, $C(V)$ oraz charakterystyk reprezentujących zależności zmiennych wewnętrznych (np. potencjału warstwy "pływającej" w tranzystorze PDSOI MOS) od polaryzacji. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

40. **D. Tomaszewski**, "Małosygnałowy model pojemności tranzystora MOS SOI", Prace ITE, z.1-4, 2000

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego modelu charakterystyk $I(V)$ tranzystora PDSOI MOS w zakresie nadprogowym, uwzględniającego transport nośników w kanale tranzystora, zjawiska (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (złącza, obszar "pinch-off") oraz w pełni spójnego z nim małosygnałowego, niequasi-statycznego modelu charakterystyk $Y(V)=G(V)+j\omega C(V)$ rozszerzonego na zakres nieprzewodzenia, uwzględniającego oprócz wyżej wymienionych zjawisk także prądy przesunięcia. Wykonałem symulacje charakterystyk $I(V)$, $G(V)$, $C(V)$ oraz zależności od polaryzacji składowych DC i AC zmiennych wewnętrznych (np. potencjału warstwy "pływającej" w tranzystorze PDSOI MOS). Opracowałem artykuł. Mój udział procentowy wyniósł 100 %.

41. **D. Tomaszewski**, A. Jakubowski, J. Gibki, "A Model of I-V Characteristics of Partially-Depleted SOI MOSFET", Electron Technology, vol. 32, no. 1/2, 1999, pp. 96-103 (Proc. 4th Symposium Diagnostics and Yield, SOI - materials, devices and characterizaton, D&Y'98, Warsaw, April 22-25, 1998)

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego modelu charakterystyk $I(V)$ tranzystora PDSOI MOS w zakresie nadprogowym, z uwzględnieniem transportu nośników w kanale tranzystora, zjawisk (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (złącza, obszar "pinch-off"), na wykonaniu symulacji charakterystyk $I(V)$ i zależności zmiennych wewnętrznych (np. potencjału warstwy "pływającej" w tranzystorze PDSOI MOS) od polaryzacji. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

42. **D. Tomaszewski**, A. Jakubowski, J. Gibki, "A Small-Signal Non-Quasistatic Model of PD SOI MOSFETs", Electron Technology, vol. 32, no. 1/2, 1999, pp. 104-109 (Proc. 4th Symposium Diagnostics and Yield, SOI - materials, devices and characterizaton, D&Y'98, Warsaw, April 22-25, 1998)

Mój wkład w powstanie tej pracy polegał na opracowaniu małosygnałowego, niequasi-statycznego modelu charakterystyk $Y(V)=G(V) + j\omega C(V)$ tranzystora PDSOI MOS w zakresie nadprogowym, uwzględniającego transport nośników w kanale tranzystora, zjawisk (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (złącza, obszar "pinch-off"), prądów przesunięcia, na wykonaniu symulacji charakterystyk $Y(V)$ oraz na opracowaniu artykułu. Mój udział procentowy szacuję na 80 %.

43. **D. Tomaszewski**, J. Gibki, A. Jakubowski, M. Jurczak, "A Small-Signal Non-Quasistatic Model of Partially Depleted SOI MOSFETs", in "Physics of Semiconductor Devices" (ed. V.Kumar, S.K.Agarwal), Narosa Publishing House, New Delhi, India 1998 (Proc. of the Ninth Int. Workshop on Physics of Semiconductor Devices, Dec.16-20, 1997, New Delhi, India)

Mój wkład w powstanie tej pracy polegał na opracowaniu modeli stałoprądowego charakterystyk $I(V)$ i małosygnałowego, niequasi-statycznego charakterystyk $C(V)$ tranzystora PDSOI MOS w zakresie nadprogowym, oraz na opracowaniu artykułu. Mój udział procentowy szacuję na 80 %.

44. **D. Tomaszewski**, J. Gibki, A. Jakubowski, "Analiza pojemności tranzystora MOS SOI", Materiały VI Konferencji Naukowej Technologia Elektronowa ELTE'97, Krynica, 6-9.05.1997

Mój wkład w powstanie tej pracy polegał na wykonaniu symulacji numerycznych charakterystyk $C(V)$ częściowo zubożonego tranzystora MOS SOI (PDSOI MOS), na udziale w wykonywaniu pomiarów charakterystyk $C(V)$ i w dyskusji wyników, oraz na opracowaniu artykułu. Mój udział procentowy szacuję na 50 %.

45. **D. Tomaszewski**, A. Jakubowski, "Model małosygnałowy tranzystora MOS SOI", Materiały VI Konferencji Naukowej Technologia Elektronowa ELTE'97, Krynica, 6-9.05.1997

Mój wkład w powstanie tej pracy polegał na wykonaniu symulacji numerycznych charakterystyk $I(V)$ i $C(V)$ częściowo zubożonego tranzystora MOS SOI (PDSOI MOS), na opracowaniu podstaw modeli typu "compact" stałoprądowego charakterystyk $I(V)$ i małosygnałowego niequasi-statycznego charakterystyk $C(V)$ tranzystora PDSOI MOS dla zakresu nadprogowego, oraz na opracowaniu artykułu. Mój udział procentowy szacuję na 80 %.

46. A. Czerwiński, J. Gibki, **D. Tomaszewski**, A. Bąkowski, "Accurate Determination of Minority Carrier Lifetime by Means of Electrical Measurements of a p-n Junction and Gated Diode", Prace ITE, z. 6-12, str. 76-89, 1996

Mój wkład w powstanie tej pracy polegał na udziale w opracowaniu modeli charakterystyk $I(V)$, $C(V)$ diod i diod z bramką oraz w opracowaniu metody przybliżonego określania profilu generacyjnego czasu życia nośników pod złączem p-n i pod bramką w przyrządach MOS. Mój udział procentowy szacuję na 10 %.

47. A. Bąkowski, A. Czerwiński, **D. Tomaszewski**, J. Gibki, "A Novel Approach to Generation Lifetime Determination from Gate-Controlled Diode Characteristics", Electron Technology, vol. 28, no. 4, 1995, pp. 241-250

Mój wkład w powstanie tej pracy polegał na udziale w opracowaniu modeli charakterystyk $I(V)$, $C(V)$ diod z bramką oraz w opracowaniu metody przybliżonego określania profilu generacyjnego czasu życia nośników pod złączem p-n i pod bramką w przyrządach MOS. Mój udział procentowy szacuję na 15 %.

48. **D. Tomaszewski**, T. Żebrowski, W. Jung, J. Gibki, A. Bąkowski, M. Hornowski, "Metodologia określania parametrów pojemnościowych dla modeli tranzystorów MOS", Prace ITE, z. 5-7, s. 7-24, 1992

Mój wkład w powstanie tej pracy polegał na analizie wcześniejszych opracowań dostępnych w literaturze przedmiotu, zaproponowaniu układów pomiarowych do określania parametrów pojemnościowych tranzystorów MOS, opracowaniu metod ekstrakcji pojemności pasożytniczych zakładek bramki tranzystora oraz złącza p-n, opracowaniu oprogramowania do ekstrakcji parametrów oraz wizualizacji wyników, na ekstrakcji parametrów na podstawie danych eksperymentalnych, oraz na opracowaniu głównej części tekstu artykułu. Mój udział procentowy szacuję na 55 %.

49. **D. Tomaszewski**, A. Bąkowski, J. Gibki, T. Żebrowski, W. Jung, S. Kasjaniuk, "Metodyka identyfikacji czasów życia oraz szybkości rekombinacji powierzchniowej na podstawie charakterystyk elektrycznych przyrządów półprzewodnikowych", Prace ITE, z. 7, s. 17-43, 1993

Mój wkład w powstanie tej pracy polegał na opracowaniu metody separacji składowych objętościowej i krawędziowej charakterystyk $I(V)$, $C(V)$ diod, na sformułowaniu równań charakterystyk $I(V)$, $C(V)$ cylindrycznej części krawędziowej złącza p-n, na selekcji i analizie metod charakteryzacji diod, diod z bramką, na opracowaniu oprogramowania w języku PASCAL umożliwiającego akwizycję i analizę charakterystyk elektrycznych typoszeręgów diod, diod z bramką, pochodzących z różnych stanowisk do pomiarów charakterystyk $I(V)$, $C(V)$. W oprogramowaniu tym zaimplementowano szereg metod charakteryzacji elementów testowych, w tym opracowane przez współpracujący zespół metody identyfikacji czasów życia oraz szybkości rekombinacji powierzchniowej, oraz na opracowaniu głównej części tekstu artykułu. Mój udział procentowy szacuję na 50 %.

50. **D. Tomaszewski**, "System programów do symulacji procesów technologicznych i tranzystorów MOS", Elektronika, Nr. 7, 1992

Mój wkład w powstanie tej pracy polegał na opracowaniu oprogramowania umożliwiającego przepływ danych pomiędzy programami do symulacji numerycznej procesów i przyrządów: PROMIS, BAMBI, MINIMOS oraz napisanym przeze mnie programem do graficznego zobrazowania wyników z programu MINIMOS oraz na opracowaniu tekstu artykułu. Mój udział procentowy wyniósł 100 %.

51. **D. Tomaszewski**, "Program do graficznego zobrazowania wyników uzyskanych z symulatora MINIMOS4.0", Prace ITE, z. 3, 1991

Mój wkład w powstanie tej pracy polegał na opracowaniu algorytmu do graficznego zobrazowania wyników symulacji tranzystorów MOS za pomocą programu MINIMOS, implementacji algorytmu w języku PASCAL, na uruchomieniu oprogramowania i wykazaniu poprawności, niezawodności i dużej efektywności jego działania oraz na opracowaniu artykułu. Mój udział procentowy wyniósł 100 %

52. **D. Tomaszewski**, W. Marciniak, "Nonlinear dynamic model for short-channel MOS transistor", Electron Technology, Vol. 21, no. 3/4, s. 47-60, 1990

Mój wkład w powstanie tej pracy polegał na opracowaniu modelu typu "compact" tranzystora MOS z krótkim kanałem, na wyprowadzeniu formuł opisujących zależności prądu tranzystora, ładunków w tranzystorze oraz pojemności od parametrów konstrukcyjnych i polaryzacji, na implementacji modelu w języku FORTRAN, na wykonaniu obliczeń jego charakterystyk oraz na współudziale w opracowaniu artykułu. Mój udział procentowy szacuję na 60 %

53. **D. Tomaszewski**, W. Marciniak, "Modele stałoprądowe tranzystora MOS w programie SPICE2G.6", Prace ITE, z. 9/10, 1987

Mój wkład w powstanie tej pracy polegał na analizie kodu programu SPICE, ekstrakcji równań modeli tranzystorów MOS LEVEL=1,2,3 z uwzględnieniem funkcji wyznaczania/inicjalizacji parametrów modeli oraz ich modyfikacji odpowiednio do zmian temperatury symulacji, oraz na udziale w opracowaniu tekstu artykułu. Mój udział procentowy szacuję na 60 %.

4.3. Wykaz innych (niewchodzących w skład osiągnięcia wymienionego w pkt 4.1) opublikowanych prac naukowych oraz wskaźniki dokonań naukowych.

W odniesieniu do niektórych prac wykazanych w punkcie 4.3. uzyskałem oświadczenia od niektórych ich współautorów o udziale w tych pracach. Oświadczenia te są zamieszczone w załączniku 6 po oświadczeniach dotyczących prac wykazanych w punkcie 4.2.

4.3.1. Publikacje naukowe w czasopismach znajdujących się w bazie Journal Citation Reports (JCR):

54. K. Kucharski, P. Zagrajek, **D. Tomaszewski**, A. Panas, G. Głuszko, J. Marczewski, P. Kopyt, "An Influence of Silicon Substrate Parameters on a Responsivity of MOSFET-Based THz Detectors", Acta Physica Polonica A, vol. 130, nr. 5, str. 1193-1195 (2016) (IF=0.469)

Mój wkład w powstanie tej pracy polegał na dyskusji warunków procesu technologicznego (wsparcie od strony symulacji numerycznych), udziale w redagowaniu artykułu (rys. 1). Mój udział procentowy szacuję na 10 %.

55. H. Videlier, N. Dyakonova, F. Teppe, C. Consejo, B. Chenaud, W. Knap, J. Łusakowski, **D. Tomaszewski**, J. Marczewski, P. Grabiec, "Terahertz Photovoltaic Response of Si-MOSFETs, Spin Related Effect", Acta Physica Polonica A, vol. 120, nr. 5, str. 927-929 (2011) (IF=0.444)

Mój wkład w powstanie tej pracy polegał na dyskusji mechanizmu detekcji promieniowania THz w tranzystorach MOS. Mój udział procentowy szacuję na 8%.

56. T. Piotrowski, **D. Tomaszewski**, M. Węgrzecki, V.K. Maluytenko, A.M. Tykhonov, "Planar Silicon Structure in Application to the Modulation of Infrared Radiation", Optica Applicata, vol. XLI, nr. 2, str. 333-339 (2011) (IF=0.398)

Mój wkład w powstanie tej pracy polegał na symulacjach numerycznych charakterystyk elektrycznych krzemowych złączy p-n, omawianych w pracy. Mój udział procentowy szacuję na 8%.

57. J. Marczewski, P. Grabiec, K. Kucharski, **D. Tomaszewski**, W. Kucewicz, T. Kusiak, H. Niemiec, M. Sapor, F. H. Ruddell, B. M. Armstrong, H. S. Gamble, B. W. Loster, S. Majewski, "Development of a Monolithic Active Pixel Sensor Using SOI Technology with a Thick Device Layer", IEEE Trans. on Nuclear Science, Vol. 57, No. 1, pp. 381-385 (2010) (IF=1.524)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów testowych diod detekcyjnych oraz tranzystorów MOS SOI, udziale w pomiarach elektrycznych, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów diod i tranzystorów. Mój udział procentowy szacuję na 12%.

58. F. H. Ruddell, S. L. Suder, M. Bain, J. H. Montgomery, B. M. Armstrong, H. S. Gamble, D. Denvir, G. Casse, T. J. V. Bowcock, P. P. Allport, J. Marczewski, K. Kucharski, **D. Tomaszewski**, H. Niemiec, "Fabrication and Characterisation of High-resistivity SOI Substrates for Monolithic High Energy Physics Detectors", Solid-State Electronics, Vol. 52, No. 12, pp. 1849-1853 (2008) (IF=1.422)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów elektrycznych, na udziale w pomiarach testowych diod detekcyjnych oraz tranzystorów MOS SOI, na opracowaniu wyników tych pomiarów, na wyznaczeniu parametrów diod i tranzystorów. Mój udział procentowy szacuję na 8%.

59. M. Jastrząb, M. Kozieł, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "Prototypes of large-scale SOI monolithic active pixel detector", Nuclear Instruments & Methods in Physics

Research A, vol.560, pp. 31-35, 2006 (IF=1.185) (Proc. 13th Int. Workshop on Vertex Detectors VERTEX 2004, Menaggio-Como, Sep 13-18, 2004)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych i charakteryzacji prototypowych pikselowych detektorów promieniowania jonizującego. Mój udział procentowy szacuję na 8%.

60. M. Caccia, L. Badano, M. Alemi, D. Berst, C. Bianchi, J. Bol, C. Cappellini, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, W. de Boer, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, M. Grodner, R. Lorusso, B. Jaroszewicz, M. Jastrząb, L. Jungermann, T. Klatka, A. Kociubiński, M. Kozieł, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, A. Mozzanica, H. Niemiec, R. Novario, Y. Popowski, M. Prest, A. Przykutta, J.-L. Riester, M. Rovere, M. Sapor, H. Schweickert, B. Sowicki, M. Szeleźniak, **D. Tomaszewski**, A. Zalewska, "The SUCIMA project: A status report on high granularity dosimetry and proton beam monitoring", Nuclear Instruments & Methods in Physics Research A, Vol. 560, Issue 1, pp. 153-157, 2006 (IF=1.185) (Proc. 13th Int. Workshop on Vertex Detectors VERTEX 2004, Menaggio-Como, Sep 13-18, 2004)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych dla weryfikacji procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 5%.

61. H. Niemiec, M. Jastrząb, W. Kucewicz, K. Kucharski, J. Marczewski, M. Sapor, **D. Tomaszewski**, "Full-size monolithic active pixel sensors in SOI technology - Design considerations, simulations and measurements results", Nuclear Instruments & Methods in Physics Research A, vol.568, pp 153-158, 2006 (IF=1.185) (Proc. 10th European Symp. on Semiconductor Detectors, Wildbad Kreuth, Jun 12-16, 2005)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych dla weryfikacji oraz badania powtarzalności procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 10%.

62. J. Marczewski, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Kozieł, W. Kucewicz, K. Kucharski, S. Kuta, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Silicon Pixel Detectors in SOI Technology", Nuclear Instruments & Methods in Physics Research A, Vol. 549, Issues 1-3, 2005, pp. 112-116 (IF=1.224) (Proc. 12th Int. Workshop on Vertex Detectors VERTEX 2003, Low Wood Lake Windermere Cumbria (UK), 14-19.09.2003)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowaniu procesu technologicznego na płytkach SOI oraz na udziale w opracowaniu artykułu (rozdz. 2). Mój udział procentowy szacuję na 10%.

63. H. Niemiec, A. Bulgheroni, M. Caccia, P. Grabiec, M. Grodner, M. Jastrząb, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, M. Sapor, **D. Tomaszewski**, "Monolithic Active Pixel Sensor Realized in SOI Technology - Concept and Verification", Microelectronics Reliability, Vol 45, Issue 7-8, 2005, pp. 1202-1207 (IF=0.724)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla weryfikacji i badania powtarzalności procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 8%.

64. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, W. Kucewicz, S. Kuta, Machowski, W. H. Niemiec, M. Sapor, M. Caccia, "SOI active pixel detectors of ionizing radiation-Technology and design development", IEEE Trans. Nuclear Science, Vol. 51, No. 3, 2004, pp. 1025-1028 (IF=1.737) (Proc. IEEE-Nuclear-Science Symposium/Medical Imaging Conf., Oct 19-25, 2003)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowaniu procesu technologicznego na płytkach SOI. Uczestniczyłem w opracowaniu komunikatu (rozdz. II, III-częściowo). Mój udział procentowy szacuję na 8%.

65. W. Kucewicz, M. Alemi, M. Amati, L. Badano, V. Bartsch, D. Berst, C. Bianchi, W. de Boer, H. Bol, A. Bulgheroni, M. Caccia, C. Cppellini, F. Cannillo, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, A. Dierlamm, K. Domański, W. Duliński, B. Dulny, O. Ferrando, P. Grabiec, E. Grigoriev, B. Jaroszewicz, L. Jungermann, K. Kucharski, S. Kuta, Leo, G. R. Lorusso, J. Marczewski, G. Mondry, W. Machowski, H. Niemiec, R. Novario, M. Pezzetta, Y. Popowski, M. Prest, J.L.Riester, C. Sampietro, M. Sapor, H. Schweickert, **D. Tomaszewski**, A. Zalewska, "Position-sensitive silicon detectors for real-time dosimetry in medical applications", Nuclear Instruments & Methods In Physics Research A, Vol. 518, No. 1-2, 2004, pp. 411-414 (IF=1.349) (Proc. Frontier Detectors for Frontier Physics, La biodola, May 25-31, 2003)

Mój wkład w powstanie tej pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowaniu procesu technologicznego na płytkach SOI. Biorąc pod uwagę wagę pomiarów charakterystycznych oraz liczebność zespołu wykonawców pracy mój udział procentowy szacuję na 5%.

66. A. Bulgheroni, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Kozieł, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Active Pixel Detector Realized in Silicon on Insulator Technology", Nuclear

Instruments & Methods in Physics Research A, Vol. 535, No 1-2, 2004, pp. 398-403 (IF=1.349) (Proc. 10th Int. Vienna Conf. on Instrumentation, Feb. 16-21, 2004)

Mój wkład w powstanie pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowaniu procesu technologicznego na płytkach SOI (rozdz.2.1, rys.5). Mój udział procentowy szacuję na 8%.

67. M. Amati, M. Baranski, A. Bulgheroni, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, W. Kucewicz, K. Kucharski, S. Kuta, W. Machowski, J. Marczewski, H. Niemieć, M. Sapor, **D. Tomaszewski**, "Hybrid active pixel sensors and SOI inspired option", Nuclear Instruments & Methods in Physics Research A, Vol. 511, No. 1-2, 2003, pp. 265-270 (IF=1.166)

Mój wkład w powstanie tej pracy polegał na opracowaniu modelu detektora dla analizy czasowej, na udziale w wykonaniu symulacji odpowiedzi detektora w czasie na impuls promieniowania laserowego (rozdz.1.1) oraz na udziale w elektrycznych pomiarach struktur testowych (rozdz.2.1, rys.5). Mój udział procentowy szacuję na 9%.

68. A. Czerwiński, E. Simoen, C. Claeys, K. Klima, D. Tomaszewski, J. Gibki, J. Kątecki, "Optimized diode analysis of electrical silicon substrate properties", J. Electrochemical Society, Vol. 145, No. 6, pp. 2107-2112 (1998) (IF=2.110)

Mój wkład w powstanie tej pracy polegał na zastosowaniu metod separacji objętościowych i brzegowych składowych charakterystyk $I(V)$, $C(V)$ diod i diod z bramką wchodzących w skład typoszeregów przyrządów testowych omawianych w pracy. Mój udział procentowy szacuję na 8%.

4.3.2. Udzielone patenty międzynarodowe i krajowe.

69. A. Bąkowski, A. Czerwiński, **D. Tomaszewski**, J. Gibki, "Sposób wyznaczania generacyjnego czasu życia nośników mniejszościowych", Patent PL 176456 B1 ogłoszony dn. 31.05.1999, (zgłoszenie patentowe nr 310930 dn. 13.10.1995 w Urzędzie Patentowym RP przez Instytut Technologii Elektronowej)

Mój wkład w przygotowanie patentu polegał na udziale w opracowaniu modeli charakterystyk $I(V)$, $C(V)$ diod z bramką oraz w opracowaniu metody przybliżonego określania profilu generacyjnego czasu życia nośników pod złączem p-n i pod bramką. Mój udział procentowy szacuję na 15 %.

4.3.3. Monografie, publikacje naukowe w czasopismach międzynarodowych lub krajowych innych niż znajdujące się w bazie, o której mowa w pkt 4.3.1.

70. G. Głuszko, **D. Tomaszewski**, K. Domański, "Electrical Characterization of Different Types of Transistors Fabricated in VeSTIC Process", Proc. 24th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Bydgoszcz, 22-24.06.2017, pp. 132-136.

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji wyników pomiarów charakterystyk elektrycznych tranzystorów wytworzonych w procesie VeSTIC, w dyskusji metod ekstrakcji parametrów i ich wyników. Uczestniczyłem w opracowaniu komunikatu. Mój udział procentowy szacuję na 20%.

71. M. Zaborowski, **D. Tomaszewski**, J. Malesińska, P. Zagrajek, "Detection of THz Radiation by SOI Sensors. Influence of Doping and Polarization on Output Signal", Proc. 24th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Bydgoszcz, 22-24.06.2017, pp. 392-397

Mój wkład w powstanie tej pracy polegał na udziale w pomiarach kwalifikacyjnych tranzystorów bezzłączowych MOS, stanowiących eksperymentalne detektory THz, oraz tranzystorów MOS, będących przyrządami referencyjnymi (rys. 2, 4). Przeprowadziłem symulacje (za pomocą programu Silvaco/ATHENA) procesu wytwarzania tranzystorów bezzłączowych (rys. 6, 8-10) celem doboru pożądanej odległości pomiędzy krawędziami bramki i obszarów źródła/drenu. Przeprowadziłem symulacje (za pomocą programu Silvaco/ATLAS) charakterystyk I-V tranzystorów bezzłączowych celem doboru napięcia progowego. Uczestniczyłem w opracowaniu i interpretacji wyników pomiarów. Mój udział procentowy szacuję na 20%.

72. P. Zagrajek, J. Marczewski, **D. Tomaszewski**, D. Obrębski, K. Kucharski, "FET Based THz Detector with Integrated Antenna and Source Follower", Proc. 41st Int. Conf. on Infrared, Millimeter and Terahertz Waves, Kopenhaga, 25-30.09.2016, str. 1-2

Mój wkład w tę pracę polegał na pomiarach kwalifikacyjnych tranzystorów MOS z antenami zintegrowanymi oraz na pomiarach, których celem był dobór punktu pracy wtórnika źródłowego. Mój udział procentowy szacuję na 10%.

73. A. Szymański, D. Obrębski, J. Marczewski, **D. Tomaszewski**, M. Grodner, J. Pieczyński, "CMOS Readout Circuit Integrated with Ionizing Radiation Detectors", Int. Journal of Electronics and Telecommunications, vol. 60, nr. 1, str. 117-124 (2014)

Mój wkład w powstanie tej pracy polegał na pomiarach struktur testowych zawierających złącza detekcyjne wytworzone w IMS oraz na ekstrakcji parametrów tych złączy p-n (rys. 2). Mój udział procentowy szacuję na 10%.

74. D. Obrębski, A. Szymański, **D. Tomaszewski**, M. Grodner, J. Marczewski, J. Pieczyński, "Development of Ionizing Radiation Detectors Integrated with Readout Electronics", Proc. 20th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gdynia, 20-22.06.2013, str. 229-234

Mój wkład w powstanie tej pracy polegał na pomiarach struktur testowych zawierających złącza detekcyjne wytworzone w IMS oraz na ekstrakcji parametrów tych złączy p-n (rys. 2). Mój udział procentowy szacuję na 10%.

75. M. Zaborowski, P. Dumania, **D. Tomaszewski**, J. Czupryniak, T. Ossowski, Kokot M., P. Pałetko, T. Gotszalk, P. Grabiec, "Development of Si Nanowire Chemical Sensors", Procedia Engineering, vol. 47, str. 1053-1056 (2012)

Mój wkład w powstanie tej pracy polegał na udziale w pomiarach elektrycznych nanodrutowych czujników chemicznych. Uczestniczyłem w interpretacji wyników pomiarów oraz w przygotowaniu finalnej wersji komunikatu. Mój udział procentowy szacuję na 10%.

76. D. Obrębski, K. Kucharski, **D. Tomaszewski**, H. Kłos: "The MPW Service Development", Elektronika, vol. LII, nr. 3, str. 16-21 (2011)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach struktur testowych CMOS oraz na ekstrakcji parametrów. Uczestniczyłem w opracowaniu części artykułu dotyczącej systemu do charakteryzacji technologii CMOS. Uczestniczyłem także w opracowaniu części przedstawiającej wyniki pomiarów. Mój udział procentowy szacuję na 25%.

77. K. Kucharski, C. Renaux, A. Crahay, P. Grabiec, M. Grodner, T. Bieniek, A. Panas, A. Sierakowski, H. Kłos, **D. Tomaszewski**, D. Obrębski, J. Marczewski, D. Flandre: "Implementation of FD SOI CMOS Technology in ITE", Elektronika, vol. LII, nr. 3, str. 13-16 (2011)

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji procesu technologicznego FDSOI CMOS, na opisie stosowanych struktur testowych, pomiarów elektrycznych i wyników charakteryzacji, w tym zależności napięcia progowego od dawki implantacji kanału. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 20%.

78. A. Malinowski, M. Sekine, M. Hori, K. Ishikawa, H. Kondo, T. Suzuki, W. Takeuchi, H. Yamamoto, A. Jakubowski, L. Łukasiak, **D. Tomaszewski**, "Sticking Coefficient of Hydrogen Radicals on ArF Photoresist Estimated by Parallel Plate Structure in Conjunction with Numerical Analysis", Proc. Int. Conf. on Simulation of Semiconductor Processes and Devices SISPAD, Osaka, 8-10.09.2011, str. 235-238

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji finalnej wersji artykułu. Mój udział procentowy szacuję na 6 %.

79. A. Sawicka, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Model prądu drenu i pojemności w dwubramkowym tranzystorze MOS o krótkim kanale", Elektronika, vol. LII, nr. 2, str. 80-84 (2011)

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod modelowania kompaktowego tranzystorów dwubramkowych MOS. Mój udział procentowy szacuję na 8 %.

80. M. Zaborowski, **D. Tomaszewski**, B. Jaroszewicz, J. Taff, P. Grabiec, "Integracja czujników na podłożu Si w modułowym systemie przepływowym", XI Konferencja Naukowa "Czujniki Optoelektroniczne i Elektronika", Nałęczów 20-23.06.2010 oraz Elektronika, vol. LI, nr. 6/2010, str. 33-36

Mój wkład w powstanie tej pracy polegał na udziale w opracowaniu procedur pomiarów elektrycznych przy użyciu systemu przepływowego. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 15 %.

81. M. Zaborowski, **D. Tomaszewski**, B. Jaroszewicz, P. Grabiec, "Si-Based Electrodes for Potentiometric Measurements of Aqueous Solutions", J. Telecommunications and Information Technology, vol. 4, str. 71-75 (2009), (Proc. 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warszawa 22-24.06.2009)

Mój wkład w powstanie tej pracy polegał na wykonaniu pomiarów elektrycznych rezystancji złotych elektrod potencjometrycznych (rys. 2), wykonaniu symulacji numerycznych (za pomocą programu Silvaco/ATHENA) operacji domieszkowania złącza p-n stanowiącego termometr zintegrowany z elektrodą potencjometryczną. Uczestniczyłem w dyskusji wyników elektrycznych pomiarów elektrod w środowisku wodnym. Zaproponowałem schemat zastępczy wyjaśniający zależność mierzonej siły elektromotorycznej od odległości pomiędzy elektrodą i elektrodą referencyjną (rys. 9, 10). Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 25 %.

82. A. Malinowski, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, M. Sekine, M. Hori, M. Korwin-Pawłowski, "Analysis of Dispersion of Electrical Parameters and Characteristics of FinFET Devices", J. Telecommunications and Information Technology, No. 4, pp. 45-50 (2009), (Proc. 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warszawa 22-24.06.2009)

Mój wkład w powstanie tej pracy polegał na dyskusji metod ekstrakcji parametrów tranzystorów FinFET, będących przedmiotem symulacji. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 10 %.

83. Ł. Bartnik, J. Arabas, S. Szostak, **D. Tomaszewski**, "Weryfikacja możliwości globalnej ekstrakcji parametrów tranzystora MOS z użyciem modelu EKV", *Elektronika*, Vol. L, Nr. 8, str. 258-266 (2009)

Mój wkład w powstanie tej pracy polegał na opracowaniu równań modelu EKV tranzystorów MOS dla potrzeb implementacji w programie do ekstrakcji parametrów modeli za pomocą algorytmów ewolucyjnych. Uczestniczyłem w opracowaniu artykułu. Mój udział procentowy szacuję na 20%.

84. W. Kucewicz, P. Grabiec, K. Kucharski, J. Marczewski, W. Maziarz, H. Niemiec, F.H. Ruddell, M. Sapor, **D. Tomaszewski**, "Development of Monolithic Active Pixel Sensor in SOI Technology Fabricated on the Wafer with Thick Device Layer", 2008 IEEE Nuclear Science Symposium Conference Record, Proc. 2008 IEEE Nuclear Science Symposium and Medical Imaging Conference and 16th International Workshop on Room Temperature Semiconductor, Dresden, 19-25th Oct 2008, pp. 1123-1125

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów testowych diod detekcyjnych oraz tranzystorów MOS SOI, udziale w pomiarach elektrycznych, opracowaniu wyników tych pomiarów, identyfikacji parametrów diod i tranzystorów. Mój udział procentowy szacuję na 12%.

85. M. Niemiec, W. Kucewicz, M. Sapor, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, B. M. Armstrong, M. Bain, P. Baine, H.S. Gamble, S.L. Suder, F.H. Ruddell, "SOI Monolithic Active Pixel Detector Technology for Improvement of I-V Characteristics and Reliability", *Electronics and Telecommunications Quarterly*, vol. 54, nr. 4, str. 507-512 (2008)

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów testowych diod detekcyjnych oraz tranzystorów MOS SOI, udziale w pomiarach elektrycznych, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów diod i tranzystorów. Mój udział procentowy szacuję na 10%.

86. H. Niemiec, W. Kucewicz, M. Sapor, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, B. M. Armstrong, M. Bain, P. Baine, H. S. Gamble, S. L. Suder, F. H. Ruddell, "Technology of SOI monolithic active pixel detectors for improvement of I-V characteristics and reliability", Proc. 15th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 19-21, 2008, pp.463-465

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów testowych diod detekcyjnych oraz tranzystorów MOS SOI, udziale w pomiarach elektrycznych, opracowaniu wyników tych pomiarów, wyznaczeniu parametrów diod i tranzystorów. Mój udział procentowy szacuję na 10%.

87. M. Zaborowski, K. Kucharski, **D. Tomaszewski**, A. Panas, T. Budzyński, P. Grabiec, "Opracowanie submikronowego tranzystora testowego typu FinFET", *Elektronika*, Vol. 49, no 1, pp. 67-70, 2008

Mój wkład w powstanie tej pracy polegał na wykonaniu symulacji numerycznych (za pomocą programu Silvaco/ATHENA) operacji domieszkowania w projektowanych tranzystorach typu FinFET, na pomiarach elektrycznych wytworzonych testowych tranzystorów, oraz na wyznaczeniu ich parametrów i dyskusji wyników. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 20 %.

88. Ł. Łukasiak, **D. Tomaszewski**, A. Sawicka, G. Głuszko, M. Iwanowicz, A. Jakubowski, "Modelowanie prądu pompowania ładunku w dwubramkowych strukturach MOS z bardzo cienką warstwą aktywną", *Elektronika*, nr 9, s. 92-95 (2008)

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod modelowania kompaktowego tranzystorów dwubramkowych MOS i ich zastosowania w interpretacji wyników pomiaru prądu pompowania ładunku. Mój udział procentowy szacuję na 10 %.

89. D. Obrębski, K. Kucharski, M. Grodner, A. Kokoszka, A. Malinowski, J. Lesiński, **D. Tomaszewski**, J. Malesińska, "Development of MPW service for academies based on ITE proprietary CMOS process", Proc. 14th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Cichocinek, June 21-23, 2007, pp. 71-74

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach struktur testowych CMOS oraz na ekstrakcji parametrów. Uczestniczyłem w opracowaniu części artykułu dotyczącej systemu do charakteryzacji technologii CMOS (ITE) z uwzględnieniem systemu pomiarowego ELECT-2002, struktur testowych i oprogramowania do charakteryzacji. Uczestniczyłem także w opracowaniu części przedstawiającej wyniki pomiarów. Mój udział procentowy szacuję na 20%.

90. B. Jaroszewicz, **D. Tomaszewski**, P. Grabiec, M. Wzorek, C.M. Yang, C.S. Lai, D. Pijanowska, M. Dawgul, W. Torbic, "Parametry przyrządów typu ISFET/MOSFET z dielektrykiem bramkowym HfO₂", *Mat. IX Konferencji Naukowej Technologia Elektronowa ELTE 2007*, Kraków, 3-7 września 2007, s. 15-19.

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów elektrycznych wytworzonych testowych tranzystorów z warstwą HfO₂ jako dielektrykiem bramkowym, na udziale w wykonaniu tych pomiarów, na wyznaczeniu ich parametrów i dyskusji wyników. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 18 %.

91. B. Jaroszewicz, M. Zaborowski, **D. Tomaszewski**, J. Taff, A. Panas, K. Skwara, A. Malinowski, P. Grabiec, "Rozwój konstrukcji technologii struktur ISFET z kontaktami od spodu (BSC ISFET) przeznaczonych do

monitorowania środowiska wodnego", Mat. IX Konferencji Naukowej Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007, str. 133-136.

Mój wkład w powstanie tej pracy polegał na wykonaniu symulacji numerycznych (za pomocą programu Silvaco/ATHENA) operacji domieszkowania kontaktów w tranzystorach ISFET (rys.4), na specyfikacji warunków pomiarów elektrycznych wytworzonych testowych tranzystorów i udziale w wykonaniu tych pomiarów (rys. 7, 8), na udziale w pomiarach przyrządów funkcjonalnych w środowisku wodnym (rys. 9), na wyznaczeniu ich parametrów i dyskusji wyników. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 20 %.

92. A. Malinowski, P. Grabiec, M. Grodner, K. Kucharski, **D. Tomaszewski**, A. Jakubowski, "Analysis of the Technological Processes Dispersion Based on Electrical Measurements of Test Structures", Mat. IX Konferencji Naukowej Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007, str. 35-38

Mój wkład w powstanie tej pracy polegał na dyskusji zastosowanych metod ekstrakcji parametrów tranzystorów FinFET, będących przedmiotem symulacji. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 10 %.

93. **D. Tomaszewski**, G. Głuszko, A. Sawicka, L. Łukasiak, A. Jakubowski, "Influence of the Parameters of Thin SOI Structures on Surface Potential and Carrier Concentration", Mat. IX Konferencji Naukowej Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007, str. 25-28.

Mój wkład w powstanie tej pracy polegał na udziale w wykonywaniu symulacji numerycznych (za pomocą programu Silvaco/ATLAS) rozkładów pola elektrycznego (potencjału) w tranzystorach MOS SOI o różnych grubościach warstwy Si, różnych koncentracjach domieszki w warstwie Si, różnych grubościach warst dielektryka bramkowego i zagrzebanego. Na podstawie rozkładów potencjałów powierzchniowych wyznaczane były quasi-statyczne charakterystyki $C(V)$ rozpatrywanych tranzystorów. Do tego celu zaproponowałem prostą zależność analityczną wiążącą pojemność bramki z pochodną potencjału powierzchniowego. Uczestniczyłem w interpretacji wyników i opracowaniu komunikatu. Mój udział procentowy szacuję na 40%.

94. **D. Tomaszewski**, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, S. Kuta, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, "Design, Fabrication and Characterization of SOI Pixel Detectors of Ionizing Radiation", **rozdział w książce** "Science and Technology of Semiconductor-On-Insulator Structures and Devices Operating in a Harsh Environment", Ed.: D. Flandre, A. N. Nazarov, P. L. Hemment, NATO Science Series II: Mathematics, Physics and Chemistry, vol 185, Springer, Dordrecht, 2005, str. 291-296

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków i wykonaniu pomiarów charakterystyk $I(V)$ tranzystorów MOS wykonanych w ITE w technologii wytwarzania pikselowych detektorów promieniowania jonizującego na podłożach SOI, oraz na charakteryzacji tych tranzystorów. Do tego celu wykorzystywałem opracowany przeze mnie program MOSTXX. Opracowałem komunikat. Mój udział procentowy szacuję na 10 %.

95. **D. Tomaszewski**, L. Łukasiak, S. Magierowski, K. Iniewski, "2-D Numerical Modeling of MOSFET Varactors for Application in High-Speed Voltage Controlled Oscillators", Proc. 12th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Kraków, June 22-25, 2005, pp. 873-876

Mój wkład w powstanie tej pracy polegał na udziale w wykonywaniu symulacji numerycznych (za pomocą programu Silvaco/ATLAS) charakterystyk $C(V)$ waraktorów bazujących na tranzystorach MOS o różnych typach bramki (PoliSi typu n, p) i o różnych długościach kanału, na udziale w interpretacji wyników i opracowaniu charakterystyk elektrycznych waraktorów. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 35%.

96. **D. Tomaszewski**, A. Malinowski, A. Kociubiński, "Extraction of EKV Model Parameters Using MOSTXX Application", Proc. 12th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Krakow, June 22-25, 2005, pp. 919-922

Mój wkład w powstanie tej pracy polegał na opracowaniu programu MOSTXX przeznaczonego do ekstrakcji parametrów modeli tranzystorów MOS za pomocą metod lokalnego dopasowania oraz metod optymalizacji, na implementacji równań modelu EKV w aplikacji MOSTXX, na wykonywaniu eksperymentów obliczeniowych prowadzących do ekstrakcji parametrów tego modelu. Brałem udział w opracowaniu komunikatu. Mój udział procentowy szacuję na 60%.

97. W. Grabiński, **D. Tomaszewski**, L. Lemaitre, A. Jakubowski, "Standardization of the Compact Model Coding: Non-Fully Depleted SOI MOSFET Example", J. Telecommunications and Information Technology, No. 1, 2005, pp. 135-141, (Proc. 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, June 22-25, 2003, Warsaw)

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego modelu charakterystyk $I(V)$ i zmiennoprądowego małosygnałowego modelu charakterystyk $C(V)$ tranzystora PDSOI MOS w zakresie silnej inwersji. Uczestniczyłem w opracowaniu programu obliczeniowego i wykonaniu symulacji charakterystyk $I(V)$, $C(V)$. Brałem udział w opracowaniu artykułu. Mój udział procentowy szacuję na 35 %.

98. H. Niemiec, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Jasielski, J. Marczewski, M. Sapor, M. Szeleźniak, **D. Tomaszewski**,

"Monolithic active pixel detector in SOI technology preliminary results", Proc. 24th Int. Conf. on Microelectronics MIEL 2004, Nis, May 16-19, 2004, pp. 209-212

Mój wkład w powstanie pracy polegał na specyfikacji warunków pomiaru i udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowaniu i diagnostyce procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 7%.

99. M. Grodner, T. Klatka, M. Kozieł, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "CMOS SOI Technology Characterization and Verification of Device Models for Analogue Design", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 437-440

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach struktur próbnych CMOS oraz na ekstrakcji parametrów. Uczestniczyłem w opracowaniu części komunikatu dotyczącej systemu do charakteryzacji technologii CMOS w ITE. Mój udział procentowy szacuję na 14%.

100. K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Kozieł, W. Kucewicz, K. Kucharski, S. Kuta, W. Machowski, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Active Pixel Detector in SOI Technology", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 413-416

Mój wkład w powstanie pracy polegał na specyfikacji warunków elektrycznych pomiarów struktur testowych, na udziale w pomiarach elektrycznych niezbędnych dla opracowaniu procesu technologicznego na płytkach SOI, na interpretacji wyników. Mój udział procentowy szacuję na 8%.

101. K. Kucharski, D. Tomaszewski, M. Grodner, W. Dutkiewicz, P. Grabiec, K. Hejduk, A. Kociubiński, J. Malesińska, D. Obrębski, J. Szyńska, "MPW Service For Manufacturing of CMOS ASICs in a National Center of Silicon Micro- And Nano-Technology", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 361-364

Mój wkład w powstanie tej pracy polegał na specyfikacji warunków pomiarów, na udziale w pomiarach struktur próbnych CMOS oraz na ekstrakcji parametrów. Uczestniczyłem w opracowaniu części komunikatu dotyczącej systemu do charakteryzacji technologii CMOS w ITE z uwzględnieniem systemu pomiarowego ELECT-2002, struktur testowych i oprogramowania do charakteryzacji. Uczestniczyłem także w opracowaniu części przedstawiającej wyniki pomiarów. Mój udział procentowy szacuję na 20%.

102. J. Zając, J. Wójcik, **D. Tomaszewski**, H. Niemiec, K. Kucharski, A. Kociubiński, "A System for Testing and Characterization of ASIC/MPWs", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 475-477

Uczestniczyłem w specyfikacji wymagań na opracowany w PIE system do testowania struktur próbnych na płytkach. Uczestniczyłem w dyskusji zastosowanych rozwiązań, a w szczególności interfejsu DDE umożliwiającego komunikację pomiędzy programami do sterowania proberem (ELECT-2002) i urządzeniami pomiarowymi (METRICS). Przeprowadziłem pomiary testujące poprawność działania opracowanego systemu. Mój udział procentowy szacuję na 14%.

103. B. Jaroszewicz, **D. Tomaszewski**, A. Kociubiński, M. Nikodem, P. Grabiec, A. Dybko, Z. Brzózka, D. Pijanowska, W. Torbic, "Design and Process Development of Ion Sensitive FET's", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 349-352

Mój wkład w powstanie pracy polegał na specyfikacji warunków elektrycznych pomiarów tranzystorów jonoczułych (ISFET) testowych i funkcjonalnych, na udziale w pomiarach elektrycznych niezbędnych dla opracowaniu procesu technologicznego, na opracowaniu metod ekstrakcji parametrów przyrządów ISFET, oraz na interpretacji wyników. Mój udział procentowy szacuję na 22%.

104. L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling MOS Capacitor with SiGe Gate", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 385-388

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod modelowania kompaktowego przyrządów półprzewodnikowych MOS i ich zastosowania w modelowaniu kondensatorów MOS z bramką krzemogermanową. Mój udział procentowy szacuję na 10 %.

105. L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling I-V Characteristics of a p-MOSFET with a SiGe Channel", Mat. VIII Krajowej Konferencji Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004, str. 381-384

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod modelowania kompaktowego przyrządów półprzewodnikowych MOS i ich zastosowania w modelowaniu tranzystorów MOS z kanałem krzemogermanowym. Mój udział procentowy szacuję na 10 %.

106. B. Jaroszewicz, **D. Tomaszewski**, A. Kociubiński, M. Nikodem, P. Grabiec, D. Pijanowska, W. Torbic, M. Chudy "Rozwój konstrukcji i technologii jonoczułych tranzystorów polowych", Elektronika, no. 10/2004, pp. 27-28

Mój wkład w powstanie pracy polegał na specyfikacji warunków elektrycznych pomiarów tranzystorów jonoczułych testowych i funkcjonalnych, na udziale w pomiarach elektrycznych niezbędnych dla opracowania procesu technologicznego, na opracowaniu metod ekstrakcji parametrów przyrządów ISFET, oraz na interpretacji wyników. Mój udział procentowy szacuję na 22%.

107. K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, J. Jasielski, M. Jatrząb, T. Klatka, M. Kozieł, W. Kucwicz, K. Kucharski, S. Kuta, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "Mozaikowy detektor monolityczny z aktywnymi komórkami w technologii SOI", Elektronika, no. 10/2004, pp. 39-41

Mój wkład w powstanie pracy polegał na specyfikacji warunków elektrycznych pomiarów struktur testowych, na udziale w pomiarach elektrycznych niezbędnych dla opracowania procesu technologicznego na płytkach SOI, na interpretacji wyników. Mój udział procentowy szacuję na 8%.

108. H. Niemiec, M. Jastrząb, W. Kucwicz, S. Kuta, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, A. Czermak, B. Dulny, B. Sowicki, A. Zalewska, A. Bulgheroni, M. Caccia, "Preliminary Measurements of the Monolithic Active Pixel Detector Realized in the SOI Technology". Proc. 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24-26 June 2004 pp. 234-237

Mój wkład w powstanie pracy polegał na udziale w elektrycznych pomiarach struktur testowych wykonanych dla opracowania procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 6%.

109. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, W. Kucwicz, S. Kuta, W. Machowski, H. Niemiec, M. Sapor, M. Caccia, "SOI Active Pixel Detectors of Ionizing Radiation - Technology & Design Development", Proc. 2003 IEEE Nuclear Science Symposium/Medical Imaging Conf., Portland (Oregon), USA, 19-25.10.2003, pp. 365-367

Mój wkład w powstanie pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowania procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 8%.

110. **D. Tomaszewski**, W. Grabinski, L. Lemaitre, A. Jakubowski, "Silicon-On-Insulator MOSFET Modeling and Its VERILOG-A Coding", Proc. 10th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 26-28, 2003, Łódź, pp. 105-110

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego i zmiennoprądowego małosygnałowego modelu charakterystyk I(V) tranzystora PDSOI MOS w zakresie silnej inwersji. Uczestniczyłem w opracowaniu programu obliczeniowego i wykonaniu symulacji charakterystyk I(V), C(V). Brałem udział w opracowaniu artykułu. Mój udział procentowy szacuję na 45 %.

111. H. Niemiec, T. Klatka, M. Kozieł, W. Kucwicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Technology Development for Silicon Monolithic Pixel Sensor in SOI Technology", Proc. 10th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 26 – 28, 2003, Łódź, pp. 508-511

Mój wkład w powstanie pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowania procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 8%.

112. H. Niemiec, T. Klatka, M. Kozieł, W. Kucwicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Rozwój technologii SOI do realizacji monolitycznego detektora mozaikowego", Elektronizacja, nr 10/2003, s. 19-24

Mój wkład w powstanie pracy polegał na udziale w elektrycznych pomiarach struktur testowych niezbędnych dla opracowania procesu technologicznego na płytkach SOI. Mój udział procentowy szacuję na 8%.

113. **D. Tomaszewski**, L. Łukasiak, K. Domański, A. Jakubowski, K. Kucharski, J. Gibki, "Consistent DC and AC models of non-fully depleted SOI MOSFETs in strong inversion", Proc. 9th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, 20-22.06.2002, Wrocław, pp. 111-114

Mój wkład w powstanie tej pracy polegał na opracowaniu stałoprądowego i zmiennoprądowego małosygnałowego modelu charakterystyk I(V) tranzystora PDSOI MOS w zakresie silnej inwersji, z uwzględnieniem zjawisk (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (złącza, obszar "pinch-off"), na opracowaniu programu obliczeniowego i na wykonaniu symulacji charakterystyk I(V), C(V). Opracowałem artykuł. Mój udział procentowy szacuję na 75 %.

114. A. Zaręba, A. Jakubowski, **D. Tomaszewski**, "Modelowanie napięcia Early'ego w tranzystorach HBT z bazą SiGe", Materiały Pierwszej Krajowej Konferencji Elektroniki KKE'2002, Kołobrzeg, 10-12.06.2002, str. 729-734

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metod modelowania kompaktowego bipolarnych przyrządów półprzewodnikowych i ich zastosowania w modelowaniu heterozłączowych tranzystorów bipolarnych (HBT). Mój udział procentowy szacuję na 10 %.

115. J. Gibki, J. Kątki, J. Ratajczak, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Characterization of SOI Fabrication Process Using Gated-diode Measurements and TEM Studies", J. Telecommunication and Information Technology, no. 3,4/2000, pp. 81-83 (Proc. 5th Symposium Diagnostics and Yield – Advanced Silicon Devices and Technologies for ULSI Era – D&Y'2000, Warsaw, June 28-30, 2000)

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji zagadnień charakteryzacji struktur SOI za pomocą pomiarów elektrycznych diod z bramką. Mój udział procentowy szacuję na 10 %.

116. **D. Tomaszewski**, L. Łukasiak, J. Gibki, A. Jakubowski, "An Impact of Physical Phenomena on Admittances of Partially-Depleted SOI MOSFETs", J. Telecommunication and Information Technology, no. 1/2001, pp. 57-60 (Proc. 5th Symposium Diagnostics and Yield – Advanced Silicon Devices and Technologies for ULSI Era – D&Y'2000, Warsaw, June 28-30, 2000)

Mój wkład w powstanie tej pracy polegał na analizie zależności admitancji tranzystora PDSOI MOS od prądów przesunięcia w obszarach ładunku przestrzennego złącza źródło-plywajace podłoże, dren-plywajace podłoże i od jonizacji zderzeniowej w obszarze "pinch-off", oraz na wykonaniu symulacji charakterystyk I(V), C(V). Do analizy zastosowałem opracowany małosygnałowy, niequasi-statyczny model tranzystora oraz oprogramowanie do symulacji numerycznes Silvaco/ATLAS. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

117. **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, K. Domański, "A Model of Partially-Depleted SOI MOSFETs in the Subthreshold Range", J. Telecommunication and Information Technology, no. 1/2001, pp. 61-64 (Proc. 5th Symposium Diagnostics and Yield – Advanced Silicon Devices and Technologies for ULSI Era – D&Y'2000, June 28-30, 2000, Warsaw)

Mój wkład w powstanie tej pracy polegał na opracowaniu staoprądowego modelu charakterystyk I(V) tranzystora PDSOI MOS w zakresie podprogowym, z uwzględnieniem transportu nośników w kanale tranzystora, zjawisk (jonizacja zderzeniowa, generacja, rekombinacja) w obszarach ładunku przestrzennego (złącza, obszar "pinch-off"), na wykonaniu symulacji charakterystyk I(V) i zależności zmiennych wewnętrznych (np. potencjał warstwy "plywającej" w tranzystorze PDSOI MOS) od polaryzacji. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

118. **D. Tomaszewski**, L. Łukasiak, A. Zaręba, A. Jakubowski, "An Impact of Frequency on Capacitances of Partially Depleted SOI MOSFETs", J. Telecommunication and Information Technology, no. 3,4/2000, pp. 67-71 (Proc. 5th Symposium Diagnostics and Yield – Advanced Silicon Devices and Technologies for ULSI Era – D&Y'2000, June 28-30, 2000, Warsaw)

Mój wkład w powstanie tej pracy polegał na analizie i symulacji zależności pojemności tranzystora PDSOI MOS od częstotliwości sygnału AC. Do analizy zastosowałem opracowany małosygnałowy, niequasi-statyczny model tranzystora oraz oprogramowanie do symulacji numerycznes Silvaco/ATLAS. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

119. **D. Tomaszewski**, A. Jakubowski, J. Gibki, T. Dębski, M. Korwin-Pawłowski, "Influence of silicon film parameters on C-V characteristics of partially depleted SOI MOSFETs", **rozdział w książce** "Perspectives, Science And Technologies For Novel Silicon On Insulator Devices", Ed.: P. L. F. Hemment, V. S. Lysenko, A. N. Nazarov, NATO Science Series (Series 3. High Technology), vol. 73, Springer, Dordrecht, 2000, pp. 295-305

Mój wkład w powstanie tej pracy polegał na analizie wpływu grubości warstwy Si oraz wartości czasów życia w różnych obszarach tranzystora PDSOI MOS na charakterystyki elektryczne C(V). Do analizy zastosowałem opracowany model tranzystora. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

120. J. Gibki, A. Jakubowski, L. Łukasiak, **D. Tomaszewski**, M. Korwin-Pawłowski, "Determination of Doping Concentration and Effective Carrier Lifetime in SOI Structures from Electrical Measurements of Gate Controlled Diode", Electron Technology, vol.32, no.1/2, 1999, pp.116-118

Mój wkład w powstanie tej pracy polegał na udziale w dyskusji metody określania czasu życia nośników na podstawie pomiarów elektrycznych diod z bramką. Mój udział procentowy szacuję na 8 %.

121. M. Sadowski, **D. Tomaszewski**, "An Efficient Approach to the Characterization of MOSFETs Fringing Capacitances", Proc. 6th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 17-19, 1999, Kraków, pp. 417-420

Mój wkład w powstanie tej pracy polegał na opracowaniu metody ekstrakcji pojemności pasożytniczych w tranzystorach MOS, na specyfikacji warunków pomiarów, na wykonaniu pomiarów i opracowaniu ich wyników, oraz na opracowaniu części tekstu artykułu. Mój udział procentowy szacuję na 50 %.

122. **D. Tomaszewski**, A. Jakubowski, T. Dębski, "An Effect of PD SOI MOSFET Parameters Variations on Its Electrical Characteristics", Electron Technology, vol. 32, no. 1/2, 1999, pp. 91-95 (Proc. 4th Symposium Diagnostics and Yield, SOI - materials, devices and characterizatón, D&Y'98, Warsaw, April 22-25, 1998)

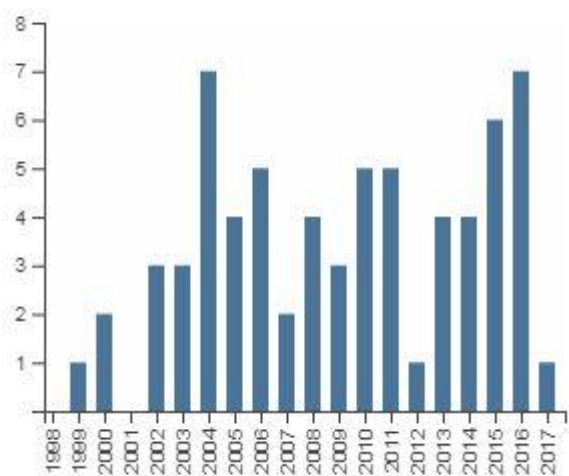
Mój wkład w powstanie tej pracy polegał na analizie wpływu zmian parametrów konstrukcji tranzystora PDSOI MOS na jego charakterystyki I(V), C(V). Do analizy zastosowałem opracowany model tranzystora oraz oprogramowanie do symulacji numerycznes Silvaco/ATLAS. Opracowałem artykuł. Mój udział procentowy szacuję na 80 %.

4.3.4. Sumaryczny impact factor według listy Journal Citation Reports (JCR), zgodnie z rokiem opublikowania.

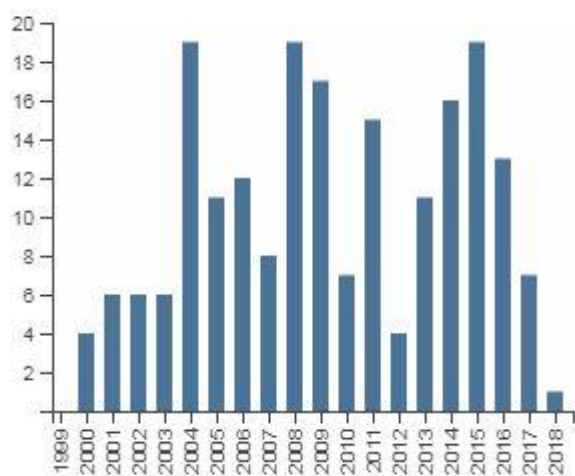
Rok opublikowania	Nr na liście publikacji wchodzących w skład osiągnięcia naukowego (p.4.2.1)	IF zgodnie z rokiem opublikowania	Nr na liście publikacji niewchodzących w skład osiągnięcia naukowego (p.4.3.1)	IF zgodnie z rokiem opublikowania
2017	1	1.580		
2016	2	0.511	54	0.469
2015	3	1.838		
	4	2.101		
2011	5	1.167	55	0.444
			56	0.398
2010	6	2.025	57	1.524
	7	1.575		
2008			58	1.422
2006	8	1.185	59	1.185
			60	1.185
			61	1.185
2005	9	0.909	62	1.224
			63	0.724
2004			64	1.737
			65	1.349
			66	1.349
2003	10	2.215	67	1.166
2000	11	0.362		
1998			68	2.110
Sumaryczny IF		15.468		17.471
Sumaryczny IF razem		32.939		

4.3.5. Liczba cytowań publikacji według bazy Web of Science (WoS).

dn. 28.02.2018 r.: 219 (162 bez autocytowań)



publikacje w latach



sumaryczne cytowania w latach

4.3.6. Indeks Hirscha według bazy Web of Science (WoS).

h-index (dn. 28.02.2018 r.): 9

4.3.7. Kierowanie międzynarodowymi i krajowymi projektami badawczymi oraz udział w takich projektach.

- | | |
|-------------------|---|
| 11.2000 - 12.2004 | Udział (wykonawca) w projekcie FP5 (G1RD-CT-2001-00561) "Ultraszybkie krzemowe kamery do pomiaru źródeł promieniowania beta i gamma dla zastosowań medycznych" (ang. "Silicon Ultra fast Cameras for electron and gamma sources In Medical Applications" - SUCIMA |
| 12.2008 - 11.2012 | Udział (wykonawca, koordynowanie w ITE) w projekcie FP7 (PEOPLE-2007-3-1-IAPP) "Compact Modeling Network" – COMON |
| 12.2009 - 11.2012 | Udział (wykonawca) w projekcie FP7 (ACP7_GA-2008_212859) "Rozwój wytwarzania bloków funkcjonalnych do monitorowania stanu konstrukcji (SHM) na potrzeby aeronautyki" - TRIADE |
| 2013 - 2017 | Udział (wykonawca) w projekcie PBS1/A3/4/2012 "VESTIC: nowy sposób wytwarzania układów scalonych" |
| 2013 - 2017 | Udział (wykonawca) w projekcie PBS1/A9/11/2012 "Wieloprofilowy detektor promieniowania THz zrealizowany z wykorzystaniem selektywnych tranzystorów MOS i jego zastosowanie w biologii, medycynie i systemach bezpieczeństwa (ThzOnLine)" |

4.3.8. Wygłoszenie referatów na międzynarodowych i krajowych konferencjach tematycznych.

1. **D. Tomaszewski**, "Compact Modeling and Statistical Modeling for Parametric Yield Improvement", 3rd Training Course on Compact Modeling (TCCM) - IEEE EDS Distinguished Lecturer Mini-Colloquium, Toruń 24-24.06.2015
2. **D. Tomaszewski**, M. Yakupov, "Kompaktowe modelowanie tranzystorów MOS na potrzeby analizy uzysku parametrycznego", referat zaproszony, XI Konferencja Naukowa Technologia Elektronowa ELTE, Ryn 16-20.04.2013
3. **D. Tomaszewski**, M. Zaborowski, K. Kucharski, J. Marczewski, K. Domański, M. Ekwińska, P. Janus, T. Bieniek, G. Głuszko, B. Jaroszewicz, P. Grabiec, "SOI-Based Microsensors", referat zaproszony, 7 th Int. Workshop "Functional Nanomaterials and Devices for Electronics, Sensors, Energy Harvesting", 8-11.04.2013, Kyiv, Ukraine
4. J. Marczewski, K. Kucharski, **D. Tomaszewski**, P. Grabiec, J. Łusakowski, K. Karpierz, M. Białek, P. Kopyt, W. Gwarek, P. Zagrajek, W. Knap, "Si Metal-Oxide-Semiconductor Field-Effect Transistor for THz Detection", The Int. Joint Sinano/Nanofunction/New Member States-Eastern Europe/ENI2 Workshop on "Advanced Process and Device Integration and Innovative Nanofunctions in Nanoelectronics", Kijów, 8-11.04.2013
5. **D. Tomaszewski**, J.-M. Sallese, N. Chevillon, F. Pregaldiny, C. Lallement, A. Yesayan, J. Alvarado, D. Flandre, U. Monga, T. Fjeldly, A. Bazigos, M. Bucher, T. Gneiting, E. Seebacher, T. Sadi, F. Schwier, G. Depeyrot, M. Yakupov, R. Ritzenthaler, W. Grabiński, B. Iniguez, "COMON - The European Compact Modelling Network and Verilog-A Compact Model Standardization", referat zaproszony, Companion Workshop Compact Model and Its Emerging Technology Linking New Device Technology and Advanced Circuit Design, Osaka 07.09.2011
6. W. Grabiński, B. Iniguez, J.-M. Sallese, A. Bazigos, **D. Tomaszewski**, M. Yakupov, G. Depeyrot: "COMON - The European Compact Modeling Network", 8th Int. Workshop on Compact Modeling, Jokohama, 25.01.2011

4.4. Dorobek dydaktyczny i popularyzatorski oraz informacja o współpracy międzynarodowej habilitanta.

4.4.1. Aktywny udział w międzynarodowych i krajowych konferencjach naukowych.

1. **D. Tomaszewski**, G. Głuszko, J. Malesińska, "A method for characterization of gate overlap capacitances and effective channel size in MOSFETs", komunikat zgłoszony na 2018 Joint International. EUROSIOI Workshop and Int. Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Granada, March 19-21, 2018
2. **D. Tomaszewski**, G. Głuszko, K. Kucharski, J. Malesińska, L. Łukasiak, "FDSOI MOSFET threshold voltage characterization based on AC simulation and measurements", 2017 Joint Int. EUROSIOI Workshop and Int. Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Ateny, 3-5.04.2017
3. **D. Tomaszewski**, K. Domański, G. Głuszko, D. Szmigiel, A. Sierakowski, "MOSFETs in the VeSTIC Process - Fabrication and Characterization", Proc. 2017 Joint Int. EUROSIOI Workshop and Int. Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Ateny, 3-5.04.2017
4. H. Hara, G. Głuszko, **D. Tomaszewski**, "A test structure for characterization of the shallow piezoresistor-based strain sensors", 24th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Bydgoszcz, 22-24.06.2017

5. G. Głuszko, **D. Tomaszewski**, K. Domański, "Electrical Characterization of Different Types of Transistors Fabricated in VeSTIC Process", 24th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Bydgoszcz, 22-24.06.2017
6. M. Zaborowski, **D. Tomaszewski**, J. Malesińska, P. Zagrajek, "Detection of THz Radiation by SOI Sensors. Influence of Doping and Polarization on Output Signal", 24th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Bydgoszcz, 22-24.06.2017
7. **D. Tomaszewski**, G. Głuszko, J. Malesińska, "A Method for Combined Characterization of MOSFET Threshold Voltage and Junction Capacitance Eliminating Channel Current Effect", 2016 Joint Int. EUROSIOI Workshop and Int. Conf. on Ultimate Integration on Silicon (EUROSIOI-ULIS), Wiedeń, 25-27.01.2016
8. **D. Tomaszewski**, G. Głuszko, M. Brinson, V. Kuznetsov, W. Grabinski, "FOSS as an Efficient Tool for Extraction of MOSFET Compact Model Parameters", 23rd Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Łódź, 23-25.06.2016
9. **M. Zaborowski**, **D. Tomaszewski**, J. Marczewski, "A Test Structure for Investigation of Junctionless FETs as THz Radiation Sensors", XII Konferencja Naukowa Technologia Elektronowa ELTE, Wisła 11-14.09.2016
10. P. Mierzwiński, W. Kuźmich, K. Domański, **D. Tomaszewski**, G. Głuszko, "Bipolar Transistor in VESTIC Technology, Prototype", XII Konferencja Naukowa Technologia Elektronowa ELTE, Wisła 11-14.09.2016
11. K. Kucharski, P. Zagrajek, **D. Tomaszewski**, A. Panas, G. Głuszko, J. Marczewski, "An Influence of Silicon Substrate Parameters on a Resposivity of MOSFET-Based THz Detectors", 45th "Jaszowiec" 2016 Int. School & Conference on the Physics of Semiconductors, Szczyrk 20-24.06.2016
12. **D. Tomaszewski**, G. Głuszko, J. Malesińska, K. Domański, M. Zaborowski, K. Kucharski, D. Szmigiel, A. Sierakowski, "A Simple Method for Characterization of MOSFET Serial Resistance Asymmetry", 28th IEEE Int. Conf. on Microelectronic Test Structures, Phoenix, 23-26.03.2015
13. **D. Tomaszewski**, K. Domański, P. Prokaryn, "Qucs-Based Development of an Energy Harvester Compact Model", 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015
14. W. Grabiński, **D. Tomaszewski**, F. Jazaeri, A. Mangla, J.-M. Sallese, M.-A. Chalkiadaki, A. Bazigos, M. Bucher, "FOSS EKV 2.6 Parameter Extractor", 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015
15. **D. Tomaszewski**, J. Malesińska, G. Głuszko, "Simple Methods of Threshold Voltage Parameter Extraction for MOSFET Models", 22nd Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, 25-27.06.2015
16. K. Domański, Prokaryn P., **D. Tomaszewski**, Marchewka M., P. Grabiec, "Development and Modeling of Thermal Energy Harvesting Setup", NATO Advanced Research Workshop "Functional Nanomaterials and Devices for Electronics, Sensors, Energy Harvesting", Lwów 13-16.04.2015
17. **D. Tomaszewski**, G. Głuszko, M. Zaborowski, J. Malesińska, K. Kucharski, "A Simple Multi-Purpose Method for Compact Model Evaluation", 21st Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Lublin, 19-21.06.2014
18. M. Zaborowski, **D. Tomaszewski**, J. Malesińska, P. Grabiec, "Fabrication and Characterization of Junctionless MOSFETs for Sensor Applications", 21st Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Lublin, 19-21.06.2014
19. Prokaryn P., K. Domański, Marchewka M., **D. Tomaszewski**, P. Grabiec, O. Puscasu, S. Monfray, T. Skotnicki, "Thermal Energy Harvesters with Piezoelectric or Electrostatic Transducer", SPIE 9291, 13th International Scientific Conference on Optical Sensors and Electronic Sensors, 19th August, 2014
20. P. Prokaryn, K. Domański, M. Marchewka, **D. Tomaszewski**, P. Grabiec, O. Puscasu, S. Monfray, T. Skotnicki, "Thermal Energy Harvesters with Piezoelectric or Electrostatic Transducer", XIII Konferencja Naukowa (COE2014), Łódź 22-25.06.2014
21. G. Głuszko, **D. Tomaszewski**, J. Malesińska, K. Kucharski, "A Simple Method for Extraction of Threshold Voltage of FD SOI MOSFETs", 20th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gdynia, 20-22.06.2013
22. D. Obrębski, A. Szymański, **D. Tomaszewski**, M. Grodner, J. Marczewski, J. Pieczyński, "Development of Ionizing Radiation Detectors Integrated with Readout Electronics", 20th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gdynia, 20-22.06.2013
23. M. Zaborowski, **D. Tomaszewski**, P. Grabiec, "Adjustment of sensivity of ISFET-type micro- and nanosensors", XI Konferencja Naukowa Technologia Elektronowa ELTE, Ryn 16-20.04.2013
24. J. Marczewski, K. Kucharski, **D. Tomaszewski**, P. Grabiec, J. Łusakowski, K. Karpierz, M. Białek, P. Kopyt, W. Gwarek, P. Zagrajek, W. Knap, "Si Metal-Oxide-Semiconductor Field-Effect Transistor for THz Detection",

- The Int. Joint Sinano/Nanofunction/New Member States-Eastern Europe/ENI2 Workshop on "Advanced Process and Device Integration and Innovative Nanofunctions in Nanoelectronics", Kijów, 8-11.04.2013
25. G. Wielgoszewski, P. Paletko, M. Moczala, G. Jóźwiak, M. Zaborowski, **D. Tomaszewski**, P. Grabiec, T. Gotszalk, "Scanning Thermal Microscopy and Kelvin Probe Force Microscopy Investigation of a Silicon Nanowire with Relation to the Carrier Density Distribution", Int. Scanning Probe Microscopy (ISPM 2013), Dijon 30.06-03.07.2013
 26. M. Zaborowski, **D. Tomaszewski**, P. Dumania, P. Grabiec, "From FinFET to Nanowire ISFET", 42nd European Solid-State Device Research Conf., Bordeaux, 17-21.09.2012
 27. M. Zaborowski, **D. Tomaszewski**, A. Panas, P. Grabiec, "Characterization of Test Devices for Development of Nanowire Sensor FETs", 19th Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES), Warszawa, 24-26.05.2012
 28. M. Zaborowski, P. Dumania, **D. Tomaszewski**, T. Ossowski, P. Paletko, T. Gotszalk, P. Grabiec, "Development of Si Nanowire Chemical Sensors", Eurosensors XXVI, Kraków 09-12.09.2012
 29. **D. Tomaszewski**, G. Głuszko, J. Malesińska, K. Kucharski, "Characterization of Parameter Variability and Correlations for FD SOI CMOS Technology", 19th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Warszawa, 24-26.05.2012
 30. M. Yakupov, **D. Tomaszewski**, "Parametric Yield-Oriented IC Design Based on Cumulative Distribution Function and Open-Source EDA Tools", MOS-AK/ESSDERC Workshop, Bordeaux 21.09.2012
 31. **D. Tomaszewski**, M. Yakupov, "A Method for CMOS IC Design Towards Yield Optimization", MOS-AK/GSA Workshop, Drezno, 26-27.04.2012
 32. M. Yakupov, **D. Tomaszewski**, "A Cumulative Distribution Function-Based Method for Yield Optimization of CMOS ICs", MOS-AK/GSA ESSDERC Workshop, Helsinki 16-16.09.2011
 33. M. Yakupov, **D. Tomaszewski**, "Analysis of Selected Methods for CMOS Integrated Circuit Design for Yield Optimization", 18th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Gliwice, 16-18.06.2011
 34. M. Yakupov, **D. Tomaszewski**, "Stand-Alone Application for Parameter Extraction and Statistical Evaluation of FinFET Verilog-A Models", MOS-AK/GSA Workshop, Paryż 07-08.04.2011
 35. Malinowski A., M. Hori, M. Sekine, K. Ishikawa, H. Kondo, H. Yamamoto, W. Takeuchi, T. Suzuki, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Radical Flux Analysis in ArF Photoresist Plasma Etching using Parallel Plate Structures", 58th Spring Meeting of Japanese Society of Applied Physics (SMJSAP11), Kanagawa 24-27.03.2011
 36. A. Malinowski, M. Hori, M. Sekine, K. Ishikawa, H. Kondo, H. Yamamoto, W. Takeuchi, T. Suzuki, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Time-Dependent Radical Flux Analysis in ArF Photoresist Plasma Etching using Parallel Plate Structure", 72nd Fall Meeting of the Japan Society of Applied Physics (FMJSAP2011), Yamagata 28.08-02.09.2011
 37. A. Malinowski, M. Sekine, M. Hori, K. Ishikawa, H. Kondo, T. Suzuki, W. Takeuchi, H. Yamamoto, A. Jakubowski, L. Łukasiak, **D. Tomaszewski**, "Development of Radical Kinetic Behavior Investigation Method and Its Application for Sticking Coefficient Estimation", fringe poster, 41st European Solid-State Device Research Conference ESSDERC, Helsinki 12-16.09.2011
 38. A. Malinowski, M. Hori, M. Sekine, K. Ishikawa, H. Kondo, H. Yamamoto, W. Takeuchi, T. Suzuki, Y. Miyawaki, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Radical Transport Simulation under Roof on Substrate in Processing", 71st Fall Meeting of the Japan Society of Applied Physics (JSAP11), Nagasaki 14-17.09.2011
 39. M. Zaborowski, **D. Tomaszewski**, A. Panas, P. Grabiec, "Double-fin FETs based on standard CMOS approach", 35th Int. Conf. on Micro and Nano Engineering (MNE09), Gandawa 28.09-01.10.2009
 40. M. Zaborowski, **D. Tomaszewski**, B. Jaroszewicz, J. Taff, P. Grabiec, "Integracja czujników na podłożu Si w modułowym systemie przepływowym", XI Konferencja Naukowa "Czujniki Optoelektroniczne i Elektroniczne" (COE10), Nałęczów 20-23.06.2010
 41. O. Militaru, T. Bergauer, M. Bergholz, P. Blüm, W. de Boer, K. Borrás, E. Cortina Gil, A. Dierlamm, M. Dragicevic, D. Eckstein, J. Erfle, M. Fernandez, L. Feld, M. Frey, M. Friedl, E. Fretwurst, E. Gaubas, F. J. Gonzalez, P. Grabiec, M. Grodner, F. Hartmann, S. Hänsel, K. -H. Hoffmann, J. Hrubec, R. Jaramillo, W. Karpinski, V. Kazukauskas, K. Klein, V. Khomenkov, R. Klanner, M. Krammer, K. Kucharski, W. Lange, V. Lemaitre, D. Moya, J. Marczewski, A. Mussgiller, T. Rodrigo, T. Müller, J. Sammet, P. Schleper, J. Schwandt, H. -J. Simonis, A. Srivastava, G. Steinbrück, **D. Tomaszewski**, S. Sakalauskas, J. Storasta, J. Vaitkus, A. Lopez Virto, I. Vila, E. Zinasas, "Simulation of Electrical Parameters of New Design of SLHC

- Silicon Sensors for Large Radii", Proc. 11th Pisa Meeting on Advanced Detectors, La Biodola, 24–30 May 2009, Nuclear Instruments & Methods in Physics Research A, Vol. 617, Issues 1–3, 11–21 May 2010, pp. 563-564
42. A. Malinowski, M. Hori, M. Sekine, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Introduction to Modeling of a Transport Mechanism in Single Carbon Nano Wall Field Effect Transistor Based on Landauer-Buttiker Formalism", The 57th Japanese Society of Applied Physics Meeting, Kanagawa 17-20.03.2010
 43. A. Malinowski, L. Łukasiak, A. Jakubowski, M. Sekine, M. Hori, **D. Tomaszewski**, "Simulation of 3D Gate Fabrication by Plasma Etching for Environment-Friendly Processing", The 10th Int. Workshop of Advanced Plasma Processing and Diagnostics, Nagasaki 08-10.01.2010
 44. A. Malinowski, M. Hori, M. Sekine, T. Suzuki, H. Yamamoto, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling of Radical Transformation under PAPE Structure and Method of Estimation for Surface Loss Probabilities of Radicals", 2nd International Symposium on Advanced Plasma Science and Its Applications for Nitrides and Nanomaterials (ISAPS10), Nagoya 07-10.03.2010
 45. A. Malinowski, M. Hori, M. Sekine, H. Kondo, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Investigation of Influence of Single Carbon Nano Wall Structure on Field Effect Transistor Electrical Parameters and Characteristics", The 3rd Int. Conference on Plasma & Science, Nagoya 11-12.03.2010
 46. M. Yakupov, **D. Tomaszewski**, W. Grabiński, "Process Control Monitor Based Extraction Procedure for Statistical Compact MOSFET Modeling", Proc. 17th Int. Conf. on Mixed Design of Integrated Circuits and Systems MIXDES, Wrocław, 24-26.06.2010
 47. K. Nogajewski, M. Białek, K. Karpierz, J. Łusakowski, M. Grynberg, **D. Tomaszewski**, J. Marczewski, J. Szyńska, W. Knap, "Sub-THz Room Temperature Detection with Si Metal-Oxide-Semiconductor Field-Effect Transistors", XXXIX "Jaszowiec" Int. School and Conference on the Physics of Semiconductors, Krynica-Zdrój 19-24.06.2010
 48. M. Zaborowski, **D. Tomaszewski**, P. Dumania, P. Grabiec, "Development of Device Technology for Chemical Molecule Detection", 10th Conference "Electron Technology" ELTE 2010, Wrocław 22-25.09.2010
 49. T. Piotrowski, **D. Tomaszewski**, M. Węgrzecki, V.K. Malyutenko, A.M. Tykhonov, "Planar Silicon Structure in Application to the Modulation of Infrared Radiation", 10th Conference "Electron Technology" ELTE 2010, Wrocław 22-25.09.2010
 50. D. Obrębski, Kucharski K., **D. Tomaszewski**, Kłos H.: "The MPW Service Development", 10th Conference "Electron Technology" ELTE 2010, Wrocław 22-25.09.2010
 51. K. Kucharski, C. Renaux, A. Crahay, P. Grabiec, M. Grodner, T. Bieniek, A. Panas, A. Sierakowski, H. Kłos, **D. Tomaszewski**, D. Obrębski, J. Marczewski, D. Flandre, "Implementation of FD SOI CMOS Technology in ITE", 10th Conference "Electron Technology" ELTE 2010, Wrocław 22-25.09.2010
 52. M. Yakupov, **D. Tomaszewski**, K. Kucharski, W. Grabiński, "BPV Method as a Tool for Statistical Compact Modeling of SOI CMOS Technology", MOS-AK/GSA ESSDERC Workshop, Sewilla 17.09.2010
 53. M. Zaborowski, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, "Non-Standard FinFET Devices for Small Volume Sample Sensors", 1st Ukrainian-French Sem "Semiconductor-on-Insulator Materials, Devices and Circuits: Physics, Technology and Diagnostics" and 6th Int. SemOI Workshop "Nanoscaled Semiconductor-on-Insulator Materials, Sensors and Devices", Kijów, 25-29.04.2010
 54. **D. Tomaszewski**, A. Malinowski, M. Zaborowski, P. Sałek, L. Łukasiak, A. Jakubowski, "Fluctuations of Electrical Characteristics of FinFET Devices", Proc. 16th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Łódź, June 25-27, 2009, pp. 61-66
 55. J. Arabas, Ł. Bartnik, S. Szostak, **D. Tomaszewski**, "Global Extraction of MOSFET Parameters Using the EKV Model: Some Properties of the Underlying Optimization Task", Proc. 16th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Łódź, June 25-27, 2009, pp. 67-72
 56. J. Arabas, Ł. Bartnik, S. Szostak, **D. Tomaszewski**, "Global Extraction of Parameters using the EKV Model: Some Properties of the Underlying Optimization Task", MOS-AK Workshop, Frankfurt/Oder, 03-03.04.2009
 57. A. Sawicka, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "A New Compact Model for Short-Channel Symmetric DG MOSFET", MOS-AK/ESSDERC Workshop, Ateny, 18.09.2009
 58. T. Bieniek, G. Janczyk, P. Janus, J. Szyńska, P. Grabiec, A. Kociubiński, M. Ekwńska, **D. Tomaszewski**, A. Malinowski, "Multi-Domain Modeling and Simulations of the Heterogeneous Systems", 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warszawa, 22-24.06.2009
 59. A. Malinowski, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, M. Sekine, M. Hori, M. Korwin-Pawłowski, "Analysis of Dispersion of Electrical Parameters and Characteristics of FinFET Devices", 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warszawa, 22-24.06.2009

60. W. Kucewicz, B.M. Armstrong, H.S. Gamble, P. Grabiec, M. Jastrząb, K. Kucharski, J. Marczewski, H. Niemiec, F.H. Ruddell, M. Sapor, **D. Tomaszewski**, "Progress in Development of Monolithic Active Pixel Sensors in SOI Technology", New Developments in Radiation Detectors 11 th European Symposium on Semiconductor Detectors, Wildbad Kreuth 07-11.06.2009
61. A. Srivastava, D. Eckstein, E. Fretwurst, R. Klanner, G. Steinbruck, F. Hartmann, T. Bergauer, M. Dragicevic, A. Mussgiller, V. Khomenkov, P. Schleper, J. Schwandt, L. Feld, W. Karpinski, K. Klein, J. Sammet, M. Bergholz, K. Borras, G. Eckerlin, W. Lange, W. de Boer, P. Blum, A. Dierlamm, J. Erfle, M. Frey, H. Hoffmann, T. Muller, J. Simonis, E. Cortina Gil, V. Lemaitre, O. Militaru, M. Fernandez, F.J. Gonzales, R. Jaramillo, A. Lopez Virto, D. Moya, T. Rodrigo, I. Vila, M. Friedl, S. Hansel, J. Hrubec, M. Krammer, J.V. Vaitkus, E. Gaubas, V. Kazukauskas, S. Sakalauskas, J. Storasta, E. Zasinias, J. Marczewski, P. Grabiec, K. Kucharski, M. Grodner, **D. Tomaszewski**, "Strixel Sensor Design for Large Radii of a New CMS Tracker for SLHC", IEEE Nuclear Science Symposium and Medical Imaging Conference, Orlando, Florida, 25-31.10.2009
62. M. Zaborowski, **D. Tomaszewski**, B. Jaroszewicz, P. Grabiec, "Si-Based Electrodes for Potentiometric Measurements of Aqueous Solutions", Proc. 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warszawa 22-24.06.2009, Journal of Telecommunications and Information Technology, vol. 4, str. 71-75 (2009)
63. A. Malinowski, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, M. Sekine, M. Hori, M. Korwin-Pawłowski, "FinFET Scaling - Analysis of Electrical Parameters and Characteristics", Nano and Giga Challenges in Electronics, Photonics and Renewable Energy, Ontario 10-14.08.2009
64. A. Malinowski, M. Hori, M. Sekine, W. Takeuchi, T. Bieniek, **D. Tomaszewski**, "Modeling Considerations and Performance Estimation of Single Carbon Nano Wall Based Field Effect Transistor by 3D TCAD Simulation Study", 19th Symposium of MRS-Japan, Jokohama, 07-09.12.2009
65. W. Kucewicz, P. Grabiec, K. Kucharski, J. Marczewski, W. Maziarz, H. Niemiec, F.H. Ruddell, M. Sapor, **D. Tomaszewski**, "Development of Monolithic Active Pixel Sensor in SOI Technology Fabricated on the Wafer with Thick Device Layer", 2008 IEEE Nuclear Science Symposium and Medical Imaging Conference and 16th International Workshop on Room Temperature Semiconductor, Dresden, 19-25th Oct 2008
66. H. Niemiec, W. Kucewicz, M. Sapor, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, B. M. Armstrong, M. Bain, P. Baine, H. S. Gamble, S. L. Suder, F. H. Ruddell, "Technology of SOI monolithic active pixel detectors for improvement of I-V characteristics and reliability", 15th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 19-21, 2008
67. A. Malinowski, A. Kociubiński, P. Sałek, L. Łukasiak, M. Zaborowski, **D. Tomaszewski**, A. Jakubowski, "Electrical Characterization of FinFETs", 15th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Poznań, June 19-21, 2008
68. J. Jasiński, G. Głuszko, M. Iwanowicz, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, "Electrical Characterization of MOSFETs with Ultrathin SiON Gate Dielectric", 15th Int. Conference Mixed Design of Integrated Circuits and Systems MIXDES, Poznań, 19-21 June 2008
69. A. Malinowski, M. Sekine, M. Hori, **D. Tomaszewski**, A. Jakubowski, "Influence of RIE Process Dispersion on FinFET Transistor Performance Estimated by Process and Device Simulations", 30th Int. Symposium on Dry Process - DPS2008, Tokio 26-28.11.2008
70. A. Malinowski, M. Sekine, W. Takeuchi, M. Hori, **D. Tomaszewski**, "Nano Carbon Based Transistor for Future Generation FET Devices", The IUMRS Int. Conf. in Asia 2008 (IUMRS-ICA 2008), Nagoya 09-13.12.2008
71. M. Zaborowski, B. Jaroszewicz, **D. Tomaszewski**, P. Prokaryn, E. Malinowska, E. Grygoliwicz-Pawlak, P. Grabiec, "Fabrication of MOS - compatible ion – sensitive devices for water pollution monitoring (WARMER)", 14th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Ciechocinek, June 21-23, 2007
72. D. Obrębski, K. Kucharski, M. Grodner, A. Kokoszka, A. Malinowski, J. Lesiński, **D. Tomaszewski**, J. Malesińska, "Development of MPW service for academies based on ITE proprietary CMOS process", 14th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Ciechocinek, June 21-23, 2007
73. **D. Tomaszewski**, C.-M. Yang, B. Jaroszewicz, M. Zaborowski, P. Grabiec, D. G. Pijanowska "Electrical characterization of ISFETs", 7th Symp. "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, June 25-28, 2006, Warsaw
74. B. Jaroszewicz, **D. Tomaszewski**, P. Grabiec, M. Wzorek, C.M. Yang, C.S. Lai, D. Pijanowska, M. Dawgul, W. Torbic, "Parametry przyrządów typu ISFET/MOSFET z dielektrykiem bramkowym HfO₂", IX Konferencja Naukowa Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007
75. B. Jaroszewicz, M. Zaborowski, **D. Tomaszewski**, J. Taff, A. Panas, K. Skwara, A. Malinowski, P. Grabiec, "Rozwój konstrukcji technologii struktur ISFET z kontaktami od spodu (BSC ISFET) przeznaczonych do monitorowania środowiska wodnego", IX Konferencja Naukowa Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007

76. A. Malinowski, P. Grabiec, M. Grodner, K. Kucharski, **D. Tomaszewski**, A. Jakubowski, "Analysis of the Technological Processes Dispersion Based on Electrical Measurements of Test Structures", IX Konferencja Naukowa Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007
77. M. Zaborowski, K. Kucharski, **D. Tomaszewski**, A. Panas, T. Budzyński, P. Grabiec, "Development of FINFET-Type Submicron Test Device", IX Konferencja Naukowa Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007
78. **D. Tomaszewski**, G. Głuszko, A. Sawicka, L. Łukasiak, A. Jakubowski, "Influence of the Parameters of Thin SOI Structures on Surface Potential and Carrier Concentration", IX Konferencja Naukowa Technologia Elektronowa ELTE 2007, Kraków, 3-7 września 2007
79. A. Bulgheroni, L. Badano, D. Berst, C. Bianchi, J. Bol, M. Caccia, C. Cppellini, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, W. de Boer, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, M. Grodner, R. Lorusso, B. Jaroszewicz, M. Jastrząb, L. Jungermann, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, A. Mozzanica, H. Niemiec, R. Novario, L. Paolucci, Y. Popowski, M. Prest, A. Przykutta, J.L.Riester, M. Rovere, M. Sapor, H. Schweickert, B. Sowicki, B. Spano, M. Szeleźniak, **D. Tomaszewski**, A. Zalewska, "Silicon ultra fast cameras for electron and gamma sources in medical applications: a progress report", 9th Topical Seminar on Innovative Particle and Radiation Detectors, May 23-26, 2004
80. B. Jaroszewicz, **D. Tomaszewski**, P. Grabiec, C.-M. Yang, D. Pijanowska, M. Dawgul, J. Kruk, W. Torbicz, "Liniowa matryca czujników chemicznych typu p-well i SOI ISFET", IX Konferencja Naukowa Czujniki Optoelektroniczne i Elektroniczne COE, Kraków-Zakopane, 19-22 czerwca 2006
81. P. Dumania, P. Grabiec, M. Grodner, A. Kociubiński, K. Kucharski, A. Malinowski, J. Marczewski, A. Panas, **D. Tomaszewski**, J. Wójcik, J. Zając, "Development, integration and characterization of CMOS technology in the IET" (poster), 7th Symposium Diagnostics & Yield, Advanced Silicon Devices and Technologies for ULSI Era, Warsaw, June 26-28, 2006
82. B. Jaroszewicz, C.-M. Yang, **D. Tomaszewski**, M. Zaborowski, P. Grabiec, D. Pijanowska, "Electrical characterization of ISFETs", 7th Symposium Diagnostics & Yield, Advanced Silicon Devices and Technologies for ULSI Era, Warsaw, June 26-28, 2006
83. **D. Tomaszewski**, W. Grabiński, "Advanced MOST modeling for CMOS technology characterization", 7th Symposium Diagnostics & Yield, Advanced Silicon Devices and Technologies for ULSI Era, Warsaw, June 26-28, 2006
84. M. Zaborowski, B. Jaroszewicz, P. Janus, **D. Tomaszewski**, P. Grabiec, M. Nikodem, W. Wroblewski, "pH and temperature microsensor for biological application", EUROSENSORS'2006, 17-20 September 2006, Göteborg, Sweden
85. **D. Tomaszewski**, D. Flandre, P. Grabiec, A. Kociubiński, C. Renaux, K. Kucharski, "Characterization of FD-SOI MOSFETs based on EKV model", poster presentation at MOS-AK/ESSDERC Workshop Principles and Practice of the Compact Modelling and its Standardization", Grenoble, Sept 16, 2005
86. M. Caccia, A. Bulgheroni, M. Jastrząb, M. Koziel, W. Kucewicz, H. Niemiec, M. Sapor, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "SOI Detector R&D", International Linear Collider Physics and Detector Workshop and Second ILC Accelerator Workshop, Snowmass (Colorado, USA), 14-27 August 2005
87. M. Jastrząb, W. Kucewicz, H. Niemiec, M. Sapor, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Full-size Monolithic Active Pixel Sensors in SOI Technology - Design Considerations, Simulations, and Measurements Results", European Symp. on Semiconductor Detectors, Wildbad Kreuth, Germany, 12-16 June 2005
88. **D. Tomaszewski**, L. Łukasiak, S. Magierowski, K. Iniewski, "2-D Numerical Modeling of MOSFET Varactors for Application in High-Speed Voltage Controlled Oscillators", 12th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Kraków, June 22-25, 2005
89. **D. Tomaszewski**, A. Malinowski, A. Kociubiński, "Extraction of EKV Model Parameters Using MOSTXX Application", 12th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Krakow, June 22-25, 2005
90. H. Niemiec, M. Jastrząb, W. Kucewicz, K. Kucharski, J. Marczewski, M. Sapor, **D. Tomaszewski**, "Full-size monolithic active pixel sensors in SOI technology - Design considerations, simulations and measurements results", 10th European Symp. on Semiconductor Detectors, June 12-16, 2005
91. A. Bulgheroni, M. Caccia, C. Cappellini, M. Jastrząb, M. Koziel, W. Kucewicz, H. Niemiec, M. Sapor, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Status of the SOI Detector R&D", The 2005 International Linear Collider Workshop, Stanford (California, USA), March 18-22, 2005
92. **D. Tomaszewski**, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kuta, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, "Design, Fabrication and Characterization of SOI Pixel Detectors of Ionizing Radiation", NATO Advanced Research Workshop on

93. H. Niemiec, M. Jastrząb, W. Kucewicz, S. Kuta, M. Sapor, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Status of the SOI Monolithic Active Pixel Detector Development", Int. Conf. on Linear Colliders LCWS2004, Paris, France, April 19-23, 2004
94. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, M. Caccia, W. Kucewicz, H. Niemiec, "Technology development for SOI monolithic pixel detectors", 13th Int. Workshop on Vertex Detectors, Sep 13-18, 2004
95. M. Jastrząb, M. Koziel, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "Prototypes of large-scale SOI monolithic active pixel sensors", 13th Int. Workshop on Vertex Detectors, Sep 13-18, 2004
96. M. Caccia, L. Badano, D. Berst, C. Bianchi, J. Bol, C. Cappellini, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, W. de Boer, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, M. Grodner, R. Lorusso, B. Jaroszewicz, M. Jastrząb, L. Jungermann, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, A. Mozzanica, H. Niemiec, R. Novario, Y. Popowski, M. Prest, A. Przykutta, J. L. Riester, M. Rovere, M. Sapor, H. Schweickert, B. Sowicki, M. Szeleźniak, **D. Tomaszewski**, A. Zalewska, "The SUCIMA project: A status report on high granularity dosimetry and proton beam monitoring", 13th Int. Workshop on Vertex Detectors, Sep 13-18, 2004
97. W. Kucewicz, M. Alemi, M. Amati, L. Badano, V. Bartsch, D. Berst, C. Bianchi, W. de Boer, H. Bol, A. Bulgheroni, M. Caccia, C. Cppellini, F. Cannillo, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, A. Dierlamm, K. Domański, W. Duliński, B. Dulny, O. Ferrando, P. Grabiec, E. Grigoriev, B. Jaroszewicz, L. Jungermann, K. Kucharski, S. Kuta, Leo, G. R. Lorusso, J. Marczewski, G. Mondry, W. Machowski, H. Niemiec, R. Novario, M. Pezzetta, Y. Popowski, M. Prest, J.L.Riester, C. Sampietro, M. Sapor, H. Schweickert, **D. Tomaszewski**, A. Zalewska, "Position-sensitive silicon detectors for real-time dosimetry in medical applications", 9th Pisa Meeting on Advanced Detectors, May 25-31, 2003
98. H. Niemiec, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Jasielski, J. Marczewski, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic active pixel detector in SOI technology preliminary results", 24th Int. Conf. on Microelectronics MIEL 2004, Nis, May 16-19, 2004
99. M. Grodner, T. Klatka, M. Koziel, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "CMOS SOI Technology Characterization and Verification of Device Models for Analogue Design", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
100. K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, W. Machowski, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Active Pixel Detector in SOI Technology", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
101. K. Kucharski, **D. Tomaszewski**, M. Grodner, W. Dutkiewicz, P. Grabiec, K. Hejduk, A. Kociubiński, J. Malesińska, D. Obrębski, J. Szynka, "MPW Service For Manufacturing of CMOS ASICs in a National Center of Silicon Micro- And Nano-Technology", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
102. J. Zając, J. Wójcik, **D. Tomaszewski**, H. Niemiec, K. Kucharski, A. Kociubiński, "A System for Testing and Characterization of ASIC/MPWs", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
103. B. Jaroszewicz, **D. Tomaszewski**, A. Kociubiński, M. Nikodem, P. Grabiec, A. Dybko, Z. Brzózka, D. Pijanowska, W. Torbicz, "Design and Process Development of Ion Sensitive FET's", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
104. A. Kociubiński, P. Grabiec, **D. Tomaszewski**, K. Kucharski, T. Budzyński, K. Domański, J. Marczewski, "Polysilicon Fuses as an Efficient Tool for Programming of Semiconductor Sensor Arrays", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
105. L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling Threshold Voltage of a MOS Structure with SiGe Channel and Gate", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004
106. L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling MOS Capacitor with SiGe Gate", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19-22.04.2004

107. L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Modeling I-V Characteristics of a p-MOSFET with a SiGe Channel", VIII Krajowa Konferencja Technologia Elektronowa ELTE, Stare Jabłonki, 19–22.04.2004
108. A. Bulgheroni, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Active Pixel Detector Realized in Silicon on Insulator Technology", 10th Int. Vienna Conf. on Instrumentation, Feb. 16-21, 2004
109. H. Niemiec, M. Jastrząb, W. Kucewicz, S. Kuta, M. Sapor, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, A. Bulgheroni, M. Caccia, "Status of the SOI Monolithic Active Pixel Detector Development", Int. Conf. on Linear Colliders - LCWS2004, Paris, 19-23 April 2004
110. H. Niemiec, M. Jastrząb, W. Kucewicz, S. Kuta, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, D. Tomaszewski, A. Czermak, B. Dulny, B. Sowicki, A. Zalewska, A. Bulgheroni, M. Caccia, "Preliminary Measurements of the Monolithic Active Pixel Detector Realized in the SOI Technology". 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24-26 June 2004
111. W. Kucewicz, A. Bulgheroni, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, M. Jastrząb, A. Kociubiński, K. Kucharski, S. Kuta, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "Fully Depleted Monolithic Active Pixel Sensor in SOI Technology", Nuclear Science Symposium/Medical Imaging Conf., Oct 16-22, 2004
112. A. Bulgheroni, L. Badano, D. Berst, C. Bianchi, J. Bol, M. Caccia, C. Cappellini, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, W. deBoer, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, M. Grodner, R. Lorusso, B. Jaroszewicz, M. Jastrząb, L. Jungermann, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, J. Marczewski, A. Mozzanica, H. Niemeci, R. Novario, L. Paoluccia, Y. Popowski, M. Prest, A. Przykuttaj, J.-L. Riester, M. Rovere, M. Sapor, H. Schweickert, B. Spano, M. Szeleźniak, **D. Tomaszewski**, A. Zalewska, "Silicon Ultra fast Cameras for electron and γ sources In Medical Applications: a progress report", 9-th Topical Seminars on Innovative Particle and Radiation Detectors, Siena (Italy), 23—16 May 2004
113. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, M. Caccia, W. Kucewicz, H. Niemiec, "Technology Development for SOI Monolithic Pixel Detectors", VERTEX 2004, Menaggio, Italy, 2004
114. H. Niemiec, W. Kucewicz, S. Kuta, M. Sapor, K. Domański, P. Grabiec, K. Kucharski, J. Marczewski, **D. Tomaszewski**, A. Bulgheroni, M. Caccia, "The SOI silicon active pixel sensor", VERTEX 2004, Menaggio, Italy, 2004
115. H. Niemiec, T. Klatka, M. Koziel, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, M. Caccia, "Monolithic Pixel Sensor in SOI Technology - Latest Results", ECFA Study of Physics and Detectors for a Linear Collider - 1st Workshop, 13-16 Nov. 2003, Montpellier, France
116. H. Niemiec, T. Klatka, M. Koziel, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, M. Caccia, "Research and Development on SOI Pixel Detector", The 6-th ACFA Workshop on Physics and Detector at Linear Collider, 16-17 Dec. 2003, Mumbai, India
117. J. Marczewski, M. Caccia, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, T. Klatka, A. Kociubiński, M. Koziel, W. Kucewicz, K. Kucharski, S. Kuta, H. Niemiec, M. Sapor, M. Szeleźniak, **D. Tomaszewski**, "Monolithic Silicon Pixel Detectors in SOI Technology", 12th Int. Workshop on Vertex Detectors VERTEX 2003, Low Wood Lake Windermere Cumbria (UK), 14-19.09.2003
118. **D. Tomaszewski**, A. Kociubiński, J. Marczewski, K. Kucharski, K. Domański, P. Grabiec: "A Versatile Tool for Extraction of MOSFETs Parameters", 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, Warsaw, June 22-25, 2003
119. M. Barański, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, W. Kucewicz, K. Kucharski, J. Marczewski, H. Niemiec, M. Sapor, **D. Tomaszewski**, "TSSOI as an efficient tool for diagnostics of SOI technology in Institute of Electron Technology", 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, Warsaw, June 22-25, 2003
120. W. Grabiński, **D. Tomaszewski**, L. Lemaitre, A. Jakubowski, "Standardization of the Compact Model Coding: Non-Fully Depleted SOI MOSFET Example", 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, Warsaw, June 22-25, 2003

121. J. Zając, J. Wójcik, A. Kociubiński, **D. Tomaszewski**, "Semi-Automatic Test System for Characterization of ASIC/MPWS", 6th Symposium "Diagnostics & Yield: Advanced Silicon Devices and Technologies for ULSI Era", Eds. A. Jakubowski, L. Łukasiak, Warsaw, June 22-25, 2003
122. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, W. Kucewicz, S. Kuta, Machowski, W. H. Niemiec, M. Sapor, M. Caccia, "SOI active pixel detectors of ionizing radiation-Technology and design development", IEEE-Nuclear-Science Symposium/Medical Imaging Conf., Oct 19-25, 2003
123. H. Niemiec, M. Baranski, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, K. Domański, P. Grabiec, M. Grodner, K. Kucharski, B. Jaroszewicz, J. Marczewski, **D. Tomaszewski**, "SOI Inspired Pixel Sensors", World-Wide Linear Collider Vertex Detector Workshop, Arlington (USA), January 8, 2003
124. H. Niemiec, M. Kozieł, T. Klatka, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, M. Caccia, "Monolithic Pixel Sensor in SOI Technology - First Test Results", The 4th ECFA/DESY Workshop on Physics and Detectors", Amsterdam, Holland, 1-4.04.2003
125. W. Kucewicz, M. Alemi, M. Amati, L. Badano, V. Bartsch, D. Berst, C. Bianchi, W. de Boer, H. Bol, A. Bulgheroni, M. Caccia, C. Cappellini, F. Cannillo, G. Claus, C. Colledani, L. Conte, A. Czermak, G. Deptuch, A. Dierlamm, K. Domański, W. Duliński, B. Dulny, O. Ferrando, P. Grabiec, E. Grigoriev, B. Jaroszewicz, L. Jungermann, K. Kucharski, S. Kuta, G. Leo, R. Lorusso, J. Marczewski, G. Mondry, W. Machowski, H. Niemiec, R. Novario, M. Pezzetta, Y. Popowski, M. Prest, J-L. Riester, C. Sampietro, M. Sapor, H. Schweickert, **D. Tomaszewski**, A. Zalewska, "Position Sensitive Silicon Detectors for Real Time Dosimetry in Medical Applications", 9th Pisa Meeting on Advanced Detectors, La Biadola, Italy, 25-31.05.2003 (prez.)
126. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, **D. Tomaszewski**, W. Kucewicz, S. Kuta, W. Machowski, H. Niemiec, M. Sapor, M. Caccia, "SOI Active Pixel Detectors of Ionizing Radiation - Technology & Design Development", 2003 IEEE Nuclear Science Symposium/Medical Imaging Conf., Portland (Oregon), USA, 19-25.10.2003
127. M. Caccia, M. Alemi, L. Badano, J. Bol, D. Berst, C. Bianchi, A. Bulgheroni, F. Cannillo, C. Cappellini, A. Czermak, G. Claus, C. Colledani, L. Conte, G. Deptuch, A. Dierlamm, W. de Boer, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, R. Lorusso, B. Jaroszewicz, M. Jastrząb, L. Jungermann, W. Kucewicz, K. Kucharski, S. Kuta, G. Leo, W. Machowski, J. Marczewski, G. Mondry, H. Niemiec, R. Novario, L. Nowak, M. Pezzetta, Y. Popowski, J. -L. Riester, C. Sampietro, M. Sapor, H. Schweickert, B. Sowicki, F. Tanzi, **D. Tomaszewski**, A. Zalewska, "SUCIMA - Silicon Ultra fast Cameras for Electron and Gamma Sources in Medical Applications", 2003 IEEE Nuclear Science Symposium/Medical Imaging Conf., Portland (Oregon), USA, 19-25.10.2003
128. **D. Tomaszewski**, W. Grabiński, L. Lemaitre, A. Jakubowski, "Silicon-On-Insulator MOSFET Modeling and Its VERILOG-A Coding", 10th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 26 – 28, 2003, Łódź
129. H. Niemiec, T. Klatka, M. Kozieł, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, "Technology Development for Silicon Monolithic Pixel Sensor in SOI Technology", 10th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 26 – 28, 2003, Łódź
130. M. Bettini, E. Borsato, P. Checchia, M. Nicoletto, B. Nadalut, E. Vallazza, B. Jaroszewicz, J. Marczewski, **D. Tomaszewski**, S. Bertolucci, S. Miscetti, M. Alemi, A. Bulgheroni, M. Caccia, C. Cappellini, M. Prest, W. Kucewicz, "Silicon Pad Detectors For An Electromagnetic Calorimeter At Future Linear Collider Experiments: Characterisation And Test Beam Results", 8th Conf. Astroparticle, Particle and Space Physics, Detectors and Medical Physics Applications, Como, Italy, 6 – 11 October 2003
131. H. Niemiec, T. Klatka, M. Kozieł, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, M. Caccia, "Monolithic Pixel Sensor in SOI Technology - Latest Results", ECFA Study of Physics and Detectors for a Linear Collider - 1st Workshop, 13-16 Nov. 2003, Montpellier, France
132. **D. Tomaszewski**, A. Kociubiński, K. Kucharski, "MOSTXX - program do ekstrakcji parametrów modeli tranzystorów MOS", IV Krajowa Konf. "Metody i systemy komputerowe w badaniach naukowych i projektowaniu inżynierskim", 26-28.11.2003, Kraków
133. H. Niemiec, T. Klatka, M. Kozieł, W. Kucewicz, S. Kuta, W. Machowski, M. Sapor, M. Szeleźniak, K. Domański, P. Grabiec, M. Grodner, B. Jaroszewicz, A. Kociubiński, K. Kucharski, J. Marczewski, **D. Tomaszewski**, M. Caccia, "Research and Development on SOI Pixel Detector", The 6-th ACFA Workshop on Physics and Detector at Linear Collider, 16-17th Dec. 2003, Mumbai, India

134. **D. Tomaszewski**, L. Łukasiak, K. Domański, A. Jakubowski, "Small-signal model of partially-depleted SOI MOSFETs and its parameter extraction", Fourth IEEE Int. Caracas Conference on Devices, Circuits and Systems, Aruba, Netherlands, 17-19.04.2002
135. **D. Tomaszewski**, L. Łukasiak, K. Domański, A. Jakubowski, K. Kucharski, J. Gibki, "Consistent DC and AC models of non-fully depleted SOI MOSFETs in strong inversion", 9th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, 20-22.06.2002, Wrocław
136. A. Zaręba, A. Jakubowski, **D. Tomaszewski**, "Modelowanie napięcia Early'ego w tranzystorach HBT z bazą SiGe", Pierwsza Krajowa Konf. Elektroniki KKE'2002, Kołobrzeg, 10-12.06.2002
137. Baranski M. , W. Kucwicz, S. Kuta, W. Machowski, H. Niemiec, M. Sapor, K. Domański, P. Grabiec, M. Grodner, K. Kucharski, B. Jaroszewicz, J. Marczewski, **D. Tomaszewski**, M. Amati, A. Bulgheroni, M. Caccia: Hybrid Active Pixel Sensors and SOI-Inspired Option, 11th Int. Workshop on VERTEX Detectors, Kailua-Kona, Hawaii USA, 3-8.11.2002
138. J. Marczewski, K. Domański, P. Grabiec, M. Grodner, K. Kucharski, B. Jaroszewicz, A. Kociubiński, **D. Tomaszewski**, W. Kucwicz, S. Kuta, H. Niemiec, M. Sapor, M. Caccia, "Monolithic Silicon Pixel Detectors in SOI Technology", Third Workshop of the Extended ECFA/DESY Study, Prague, Czech Republic, 15-18.11.2002
139. M. Caccia, A. Airoidi, M. Alemi, M. Amati, L. Badano, V. Bartsch, D. Berst, C. Bianchi, H. Bol, A. Bulgheroni, F. Cannillo, C. Cappellini, A. Czermak, G. Claus, C. Colledani, L. Conte, G. Deptuch, W. de Boer, A. Dierlamm, K. Domański, W. Duliński, B. Dulny, O. Ferrando, E. Grigoriev, P. Grabiec, R. Lorusso, B. Jaroszewicz, L. Jungermann, W. Kucwicz, K. Kucharski, S. Kuta, G. Leo, W. Machowski, J. Marczewski, G. Mondry, H. Niemiec, R. Novario, L. Paolucci, M. Pezzetta, Y. Popowski, J. L. Riester, C. Sampietro, M. Sapor, H. Schweickert, B. Spano, **D. Tomaszewski**, A. Zalewska, "Silicon Ultra fast Cameras for electron and gamma sources in medical applications", 8th Topical Seminar on Innovative Particle and Radiation Detectors, Oct 21-24, 2002
140. M. Caccia, S. Borghi, R. Campagnolo, M. Battaglia, W. Kucwicz, H. Palka, A. Zalewska, K. Domański, J. Marczewski, **D. Tomaszewski**, "Characterization of Hybrid Pixel Detectors with Capacitive Charge Division", Proc. Linear Collider Workshop 2000, Fermi National Accelerator Laboratory, October 24-28, 2000
141. **D. Tomaszewski**, L. Łukasiak, J. Gibki, K. Domański, A. Jakubowski, A. Zaręba, "Measurement and Modelling of SOI MOSFETs Capacitances", 9th Int. Workshop on the Physics of Semiconductor Devices (ed. V. Kumar, P. K. Basu)
142. K. Domański, **D. Tomaszewski**, P. Grabiec, Z. Gniazdowski, A. Kudła, R. B. Beck, A. Jakubowski, T. Gotszalk, I. W. Rangelow, "Silicon Piezoresistive Cantilever Beam with Porous Silicon Element", 9th Int. Workshop on the Physics of Semiconductor Devices (ed. V. Kumar, P. K. Basu)
143. T. Dębski, W. Barth, Tz. Ivanow, N. Abedinow, K. Domański, **D. Tomaszewski**, B. Volland, H. Heerlein, P. Hudek, P. Grabiec, I. W. Rangelow, A. Jakubowski, "Development and realisation of piezoresistive effect based AFM sensors for space application", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
144. T. Dębski, W. Barth, Tz. Ivanow, N. Abedinow, K. Domański, **D. Tomaszewski**, B. Volland, H. Heerlein, P. Hudek, P. Grabiec, I. W. Rangelow, A. Jakubowski, "Piezoresistive sensors for Atomic Force Microscopy – numerical simulations by means of VWF (Virtual Wafer Fab)", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
145. **D. Tomaszewski**, L. Łukasiak, J. Gibki, A. Jakubowski, "An Impact of Physical Phenomena on Admittances of Partially-Depleted SOI MOSFETs", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
146. **D. Tomaszewski**, L. Łukasiak, A. Zaręba, A. Jakubowski, "An Impact of Frequency on Capacitances of Partially Depleted SOI MOSFETs", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
147. **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, K. Domański, "A Model of Partially-Depleted SOI MOSFETs in the Subthreshold Range", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
148. J. Gibki, J. Kątki, J. Ratajczak, L. Łukasiak, A. Jakubowski, **D. Tomaszewski**, "Characterization of SOI Fabrication Process Using Gated-diode Measurements and TEM Studies", 5th Symposium "Diagnostics & Yield 2000, Warsaw, June 2000
149. M. Sadowski, **D. Tomaszewski**, "Efektywna charakteryzacja pojemności tranzystora MOS", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
150. J. Marczewski, K. Domański, W. Jung, B. Jaroszewicz, **D. Tomaszewski**, "Analiza wysokonapięciowych przyrządów pracujących w warunkach całkowitego zubożenia na przykładzie detektorów promieniowania jonizującego", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
151. T. Dębski, W. Barth, Tz. Ivanow, N. Abedinov, K. Domański, **D. Tomaszewski**, T. Gotszalk, P. Hudek, I. Kostic, P. Grabiec, I. W. Rangelow, A. Jakubowski, "Piezorezystywne sensory dla mikroskopii sił atomowych –

symulacje numeryczne przy użyciu oprogramowania do symulacji procesów technologicznych VWF (VIRTUAL WAFER FAB)", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000

152. J. Gibki, J. Kątki, J. Ratajczak, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, "Elektryczne i elektronomikroskopowe badanie częściowo zubożonych struktur SOI", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
153. J. Gibki, **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, "Wyznaczanie rekombinacyjnego czasu życia nośników w całkowicie zubożonych strukturach SOI", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
154. **D. Tomaszewski**, L. Łukasiak, A. Jakubowski, K. Domański, "Model częściowo zubożonego tranzystora MOS SOI w zakresie podprogowym", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
155. **D. Tomaszewski**, A. Zaręba, L. Łukasiak, A. Jakubowski, J. Marczewski, "Metoda nie-quasi-statyczna w modelowaniu charakterystyk C-V częściowo zubożonych tranzystorów MOS SOI ", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
156. **D. Tomaszewski**, L. Łukasiak, A. Zaręba, J. Gibki, A. Jakubowski, "Małosygnałowy model częściowo zubożonych tranzystorów MOS SOI i identyfikacja jego parametrów", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
157. **D. Tomaszewski**, L. Łukasiak, J. Gibki, A. Jakubowski, "Wpływ zjawisk fizycznych na admitancje częściowo zubożonych tranzystorów MOS SOI", VII Konferencja Naukowa „Technologia Elektronowa” ELTE, Polanica Zdrój, 18-22.09.2000
158. **D. Tomaszewski**, K. Domański, L. Łukasiak, A. Zaręba, J. Gibki, A. Jakubowski, "DC and AC Models of Partially-Depleted SOI MOSFETs in Weak Inversion", NATO Advanced Research Workshop: Perspectives, Science and Technology for Novel Silicon-On-Insulator Devices "Progress in Semiconductor-On-Insulator Structures and Devices Operating at Extreme Conditions", Kyiv, 15-20.10.2000
159. M. Sadowski, **D. Tomaszewski**, "An Efficient Approach to the Characterization of MOSFETs Fringing Capacitances", 6th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, June 17-19, 1999, Kraków

4.4.2. Udział w komitetach organizacyjnych międzynarodowych i krajowych konferencji naukowych.

- | | |
|-------------|---|
| 2006 - 2009 | udział w Technical Program Committee konferencji 7th, 8th Symposium Diagnostics & Yield "Advanced Silicon Devices and Technologies for ULSI Era", Warszawa, 25-28.06.2006, 22-24.06.2009, |
| 2007 - 2018 | współorganizowanie sesji specjalnych n.t. modelowania typu "compact" podczas konferencji International Conference Mixed Design of Integrated Circuits and Systems MIXDES |
| 2009 - | udział w Komitecie Naukowym konferencji International Conference Mixed Design of Integrated Circuits and Systems MIXDES |
| 2015 | współorganizowanie EDS Distinguished Lecturers Mini-Colloquium "3rd Training Course on Compact Modeling", Toruń, 24.06.2015 r. |
| 2016 | współorganizowanie EDS Distinguished Lecturers Mini-Colloquium "GaN HEMT Technology, Modeling and Applications", Łódź, 22.06.2016 r. |
| 2017 | współorganizowanie EDS Distinguished Lecturers Mini-Colloquium "Characterization and SPICE Modeling for Nanoscaled IC Designs", Bydgoszcz, 21.06.2017 r. |
| 2018 | współorganizowanie EDS Distinguished Lecturers Mini-Colloquium "SiC: technology, devices, modeling", Gdynia, 20.06.2018 r. |
| 2017 - | udział w Technical Program Committee konferencji European Solid-State Device Research Conference ESSDERC |
| 2017 | zaproszenie do Int. Program Committee konferencji 1st Int. Conf. on Microelectronic Devices and Technologiess, (MicDAT '2018), 20-22 June 2018, Barcelona |

4.4.3. Udział w konsorcjach i sieciach badawczych.

Od roku 2007 - udział w pracach sieci MOS-AK (Modeling of Systems and Parameter Extraction Working Group) www.mos-ak.org

4.4.4. Udział w komitetach redakcyjnych i radach naukowych czasopism.

2015 - EDS Newsletter Regional Editor, Region 8 East Europe; udział w redagowaniu 4 wydań rocznie

4.4.5. Członkostwo w międzynarodowych i krajowych organizacjach oraz towarzystwach naukowych.

2010 - 2016 członkostwo Sekcji Mikroelektroniki Komitetu Elektroniki i Telekomunikacji PAN

2015 - członkostwo IEEE, IEEE Electron Devices Society (EDS)

2016 - członkostwo IEEE Solid State Circuit Society (SSCS)

2017 - członkostwo IEEE EDS Subcommittee for Regions/Chapters (SRC), funkcja Region 8 SRC Vice Chair

4.4.6. Recenzowanie publikacji w czasopismach międzynarodowych i krajowych.

2009 - 2018:

IEEE Electron Device Letters	3
IEEE Transactions on Electron Devices	11
IEEE Journal of the Electron Devices Society	2
IEEE Sensors Journal	5
Int. Journal of Numerical Modelling	16
Microelectronic Engineering	2
Microelectronics Journal	12
Solid-State Electronics	2
Int. Journal of Electronics and Communications	1

4.5. Omówienie wyników osiągnięcia: Zastosowanie modeli typu "compact" tranzystorów MOS i innych przyrządów półprzewodnikowych w technologiach mikro- i nanoelektronicznych.

W niniejszym opracowaniu w.w. osiągnięcie jest omówione na tle szerszego piśmiennictwa. Odwołania do literatury dotyczą wykazu w Załączniku 4, zawierającym bibliografię wspólną dla autoreferatów w języku polskim (Załącznik 2) i angielskim (Załącznik 3).

Opracowanie procesów technologicznych, konstruowanie z nich kompletnych sekwencji operacji umożliwiających wytwarzanie mikro- i nanoelektronicznych struktur półprzewodnikowych, projektowanie przyrządów półprzewodnikowych i układów scalonych oraz ich charakteryzacja są podstawowymi etapami tzw. technologii mikro- i nanoelektronicznych. Ze względu na złożoność zadania te są realizowane obecnie przy pomocy technik komputerowych, m.in. wspomaganego komputerowo projektowania technologii (*Technology Computer-Aided Design* - TCAD) i narzędzi do automatyzacji projektowania w elektronice (*Electronic Design Automation* - EDA). Narzędzia TCAD wykorzystują obliczeniowe modele procesów technologicznych i zaawansowane modele zjawisk fizycznych, w tym transportu nośników w półprzewodnikach. Narzędzia EDA wykorzystują obliczeniowe modele typu "compact" przyrządów półprzewodnikowych. Modele w większości wspomagają w.w. zadania nie tylko jako narzędzie obliczeniowe, ale także, a może w szczególności jako platforma ułatwiająca zrozumienie złożonych procesów technologicznych oraz działanie przyrządów półprzewodnikowych. Trzeba zaznaczyć, że kategoria modeli przyrządów półprzewodnikowych obejmuje zarówno projektowane przyrządy funkcjonalne jak i nierozzerwalnie z nimi związane tzw. elementy pasożytnicze i elementy wynikające z połączeń pomiędzy przyrządami funkcjonalnymi tworzącymi układ elektroniczny.

Intensywne prace w zakresie modelowania elementów półprzewodnikowych były i są prowadzone w licznych zespołach akademickich, laboratoriach półprzewodnikowych, zespołach projektantów układów scalonych. Wiele prac było udokumentowanych publikacjami. Były wśród nich monografie obejmujące opis zjawisk fizycznych w przyrządach półprzewodnikowych, których rozmiary są na tyle duże, że uprawnione jest założenie, że są zbudowane z litych materiałów i zastosowanie znajdują zasady fizyki klasycznej (np. [1]), oraz w elementach półprzewodnikowych, których rozmiary są na tyle małe, że znaczenie ma dyskretna budowa materii i konieczne jest uwzględnienie praw fizyki kwantowej (np.[2]). Powstały monografie opisujące zjawiska fizyczne w przyrządach półprzewodnikowych typu MOS, bipolarnych i in., w których wychodząc z praw fizyki klasycznej (jak w [1]), wyprowadzone zostały modele typu "compact" wielu mechanizmów obecnych w przyrządach półprzewodnikowych [3, 4, 5, 6, 7]. Te "cząstkowe" modele zjawisk traktowanych z osobna stanowią elementy składowe do budowy pełnych modeli typu "compact" użytecznych n.p. w symulacji układów scalonych. Trzeba nadmienić, że integracja modeli "cząstkowych" jest chyba najtrudniejszym etapem konstrukcji modeli pełnych ponieważ wymaga pogodzenia licznych i czasem wzajemnie niespójnych założeń leżących u podstaw modeli składowych. Modele pełne oraz pewne aspekty ich zastosowania, np. w projektowaniu układów scalonych zostały omówione w pracach [8, 9, 10, 11]. Ze względu na to, że w "cząstkowych" modelach typu "compact" uwzględnione są tylko pewne mechanizmy fizyczne, modele takie są często stosowane do określania (ekstrakcji) parametrów przyrządów półprzewodnikowych. Ta dziedzina aplikacji modeli "cząstkowych" została przedstawiona np. w pracach [6, 7, 12].

Najbardziej dojrzałą bazą dla projektowania i wytwarzania układów scalonych (u.s.) wielkiej skali integracji jest technologia CMOS (Complementary Metal-Oxide-Semiconductor). W ciągu ok. 50-letniego rozwoju tej technologii (szczególnie intensywnego od lat 70-tych XX w.) opracowano wiele wariantów procesu CMOS i konstrukcji tranzystorów MOS, wiele modeli tranzystorów MOS i przyrządów wytwarzanych za pomocą procesów CMOS oraz metod charakteryzacji technologii, przyrządów i układów scalonych CMOS.

W tabeli 1 przedstawiono w sposób syntetyczny obszary zastosowania modelowania przyrządów półprzewodnikowych (przede wszystkim tranzystorów MOS) w poszczególnych fazach "życia" technologii CMOS. Tabela nie uwzględnia zadań związanych z modelowaniem układów scalonych na poziomie bramek logicznych, rejestrów, czy też modelowaniem behawioralnym za pomocą języków opisu sprzętu. Zadania te są również elementem cyklu projektowania układów scalonych. Modele stosowane w w.w. zadaniach nie dotyczą bowiem bezpośrednio przyrządów półprzewodnikowych, a obiektów znacznie bardziej złożonych. Aby zapewnić rozsądny czas obliczeń (lub wystarczająco wysoką szybkość obliczeniową), modele te wykorzystują wydajne metody przetwarzania wielkości elektrycznych (stanów logicznych reprezentujących potencjał) i specjalne metody reprezentowania obiektów fizycznych (na przykład bramek logicznych reprezentujących grupy tranzystorów wraz z połączeniami). Oczywiście takie podejście zmniejsza dokładność obliczeń. Tabela 1 uwzględnia natomiast zadania związane z modelowaniem indywidualnych przyrządów półprzewodnikowych za pomocą narzędzi należących do kategorii TCAD oraz zadania związane z modelowaniem typu "compact".

Trzy duże grupy: modele numeryczne TCAD, modele "compact" oraz modele na poziomie bramek są zobrazowane na rys. 1 w układzie współrzędnych dokładność-szybkość działania [13]. Na rys. 2 w powyższy schemat wkomponowana została dodatkowa oś przedstawiająca fazy rozwoju/zastosowania technologii mikro- i nanoelektronicznych. Poszczególnym kategoriom modeli przyrządów półprzewodnikowych przyporządkowane zostały fazy rozwoju technologii, co pokazuje obszary ich zastosowań. Wg diagramu na rys. 2, obrazującego subiektywny pogląd autora niniejszego opracowania, modele typu "compact" są najbardziej uniwersalnym narzędziem dla rozwoju/zastosowania technologii mikro- i nanoelektronicznych.

W niniejszym opracowaniu przedstawione są wybrane aspekty modelowania (głównie typu "compact") przyrządów półprzewodnikowych (w szczególności tranzystorów MOS i przyrządów półprzewodnikowych wytworzonych w technologii CMOS), oraz zastosowania tych modeli w charakteryzacji technologii mikroelektronicznych i projektowaniu struktur

zintegrowanych. W opracowaniu znajdują się przede wszystkim odniesienia do wyników prac prowadzonych z udziałem autora zarówno w Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych Instytutu Technologii Elektronowej (ITE) jak i we współpracy z innymi zespołami w Polsce i za granicą. W zależności od zakresu uczestnictwa autora w tych pracach odpowiadające im części niniejszego opracowania są zredagowane z różnym poziomem szczegółowości.

Prezentacja osiągnięcia jest zorganizowana następująco. W rozdziale 4.5.1 omówione są pokrótce modele typu TCAD dostępne w postaci złożonych programów do obliczeń numerycznych charakterystyk przyrządów półprzewodnikowych. Są one punktem wyjścia dla konstrukcji modeli typu "compact". Przykłady zastosowania tych modeli w pracach prowadzonych w Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE z udziałem autora zilustrowano w rozdziale 4.5.2. W rozdziale 4.5.3 omówiono pokrótce stan wiedzy w zakresie modelowania typu "compact" przyrządów półprzewodnikowych. Przedstawiono kilka reprezentatywnych grup modeli przyrządów MOS oraz bipolarnych. W rozdziale 4.5.4 przedstawiono wybrane modele typu "compact" przyrządów półprzewodnikowych i bardziej złożonych struktur opracowane przez autora. Zastosowania modeli "compact" w różnych fazach rozwoju technologii przedyskutowano w rozdziale 4.5.5. Rozdział ten składa się z pięciu części. Pierwsza z nich dotyczy opracowania z udziałem autora struktur testowych do charakteryzacji technologii mikroelektronicznych. Druga część poświęcona jest metodom charakteryzacji technologii i przyrządów półprzewodnikowych tj. ekstrakcji parametrów modeli typu "compact". Wyodrębniono w tej części kilka kategorii metod począwszy od prostych dedykowanych metod jednopunktowych, a skończywszy na metodach wykorzystujących pomiary typoszeręgów przyrządów. Trzecia część rozdziału 4.5.5. dotyczy uniwersalnych metod charakteryzacji bazujących na algorytmach optymalizacyjnych. Czwarta część przedstawia metodykę wykorzystania informacji uzyskanych w procesie charakteryzacji do oceny stanu/jakości technologii. Ostatnia, piąta część rozdziału 4.5.5. dotyczy zastosowania modeli typu "compact" w tzw. modelowaniu statystycznym, które jest nieodzowną częścią charakteryzacji współczesnych technologii mikro-i nanoelektronicznych. Rozdział 4.5.6 obejmuje wspomaganie modelowania typu "compact" poprzez opracowanie autorskich narzędzi umożliwiających łatwy dostęp do charakterystyk różnych modeli przyrządów półprzewodnikowych, ich porównywanie pomiędzy sobą oraz z danymi eksperymentalnymi. Ostatni rozdział niniejszej pracy (4.5.7) przedstawia zastosowanie modelowania statystycznego w projektowaniu układów scalonych.

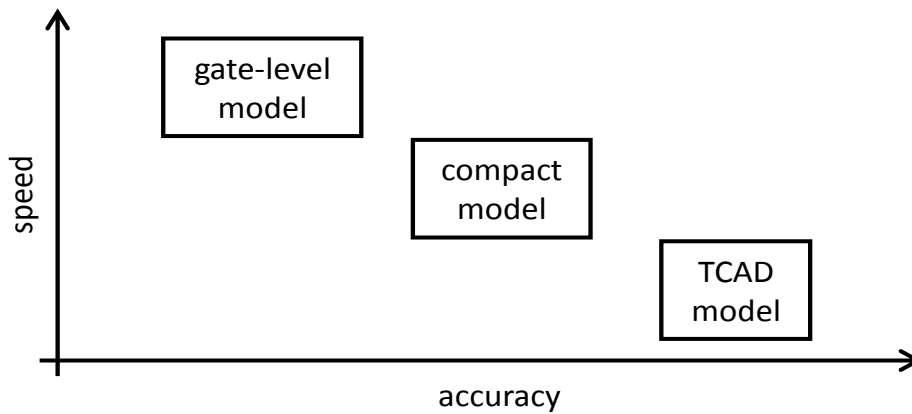
W opracowaniu stosowane będą następujące skróty dla terminów częściej używanych:

- p.t. - proces technologiczny / procesy technologiczne (skrót użyty tylko w Załączniku 2);
- u.s. - układ scalony / układy scalone;
- p.p. - przyrząd półprzewodnikowy / przyrządy półprzewodnikowe (skrót użyty tylko w Załączniku 2);
- s.t. - struktura testowa / struktury testowe (skrót użyty tylko w Załączniku 2);
- PDK - pakiet do projektowania w procesie, pakiet technologiczny (ang. *process design kit*);
- EDA - automatyzacja projektowania w elektronice (ang. *electronic design automation*);
- TCAD - wspomagane komputerowo projektowanie technologii (ang. *technology CAD* = *technology computer-aided design*);

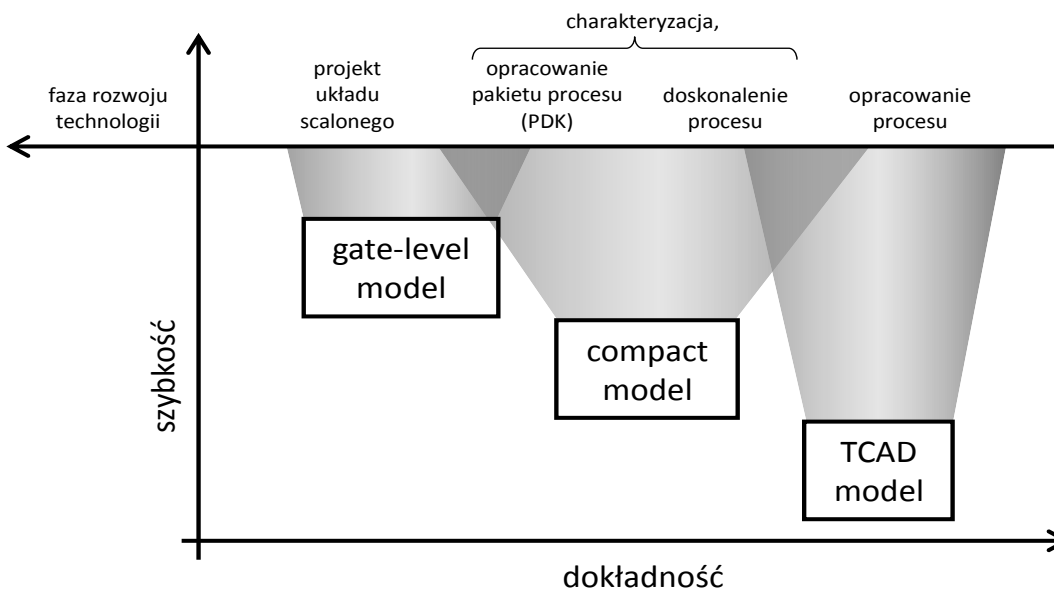
Skróty innych terminów będą wprowadzane w razie potrzeby.

Tabela 1. Modelowanie, pomiary i charakteryzacja w opracowaniu technologii CMOS, śledzeniu jej stanu oraz projektowaniu układów scalonych

		Fazy rozwoju technologii		
		Opracowanie technologii	Dojrzewanie technologii; śledzenie jej stanu	Zastosowanie technologii / Projektowanie przyrządów półprzewodnikowych (p.p.), układów scalonych (u.s.) i mikrosystemów
Zadania z zastosowaniem modelowania	Symulacje numeryczne procesu technologicznego (p.t.) i przyrządów półprzewodnikowych (p.p.) przy użyciu "skalibrowanych" modeli zjawisk towarzyszących p.t. oraz praw fizyki i modeli transportu w p.p.	projektowanie struktury i przewidywanie działania przyrządów półprzewodnikowych, które będą wytworzone w danym procesie technologicznym; prognozowanie efektów ich skalowania oraz wzajemnego oddziaływania	optymalizacja technologii; analiza ew. błędnego działania zaprojektowanych przyrządów oraz niepożądanych sprzężeń pomiędzy nimi	×
	Opracowanie technologicznych struktur testowych (s.t.); opracowanie metod pomiarowych opartych na modelach p.p.	opracowanie narzędzi do weryfikacji działania p.p., efektów skalowania, wzajemnego oddziaływania między przyrządami, reguł projektowania;	opracowanie narzędzi do zbierania informacji o stanie technologii, tj. wartości wybranych parametrów charakteryzujących p.t. i p.p.: – wartości nominalnych; – wartości granicznych; – charakterystyk rozkładów statystycznych (rozrzuty lokalne i globalne);	opracowanie narzędzi do wyznaczenia wartości parametrów modeli typu "compact" p.p. w symulatorach elektrycznych u.s.: - wartości nominalnych; - wartości granicznych; - charakterystyk rozkładów statystycznych (rozrzuty lokalne i globalne);
	Pomiary elektryczne przyrządów/zestawów przyrządów w technologicznych s.t.	- weryfikacja działania p.p., efektów skalowania, wzajemnego oddziaływania; weryfikacja reguł projektowania; - opracowanie pakietu technologicznego (ang. <i>proces design kit</i> - PDK): - ekstrakcja parametrów nominalnych, - ekstrakcja parametrów granicznych;	- aktualizacja pakietu technologicznego (PDK): - ekstrakcja parametrów nominalnych, granicznych, charakterystyk rozkładów statystycznych; - śledzenie zmienności w czasie wybranych parametrów p.t. oraz parametrów p.p.; - śledzenie korelacji pomiędzy parametrami; - statystyczna kontrola procesu (SPC);	aktualizacja pakietu technologicznego (PDK): ekstrakcja wartości nominalnych, wartości granicznych, rozkładów statystycznych i rozrzutów lokalnych parametrów modeli w programach automatyzacji projektowania (<i>electronic design automation</i> - EDA) dla potrzeb: - analiz nominalnych; - analiz na najgorszy przypadek (<i>worst case</i>); - analiz typu Monte-Carlo;
	Ekstrakcja parametrów modeli p.p. w technologicznych s.t.			
	Opracowanie konstrukcyjnych s.t.	×	opracowanie narzędzi: - do weryfikacji działania komórek u.s., wzajemnego oddziaływania elementów w komórkach u.s.; - do określania korelacji pomiędzy funkcjami u.s.; - do określania metodą wstecznej propagacji wariancji (<i>backward propagation of variance</i> - BPV) charakterystyk rozkładów statystycznych parametrów modeli p.p.	opracowanie narzędzi: - do weryfikacji konstrukcji bloków u.s.; - do określania metodą BPV charakterystyk rozkładów statystycznych parametrów modeli "compact" p.p. w programach EDA dla potrzeb analiz typu Monte-Carlo;
	Pomiary elektryczne elementów konstrukcyjnych s.t.	×	- weryfikacja działania komórek u.s., wzajemnego oddziaływania elementów w komórkach u.s.; - określania korelacji pomiędzy funkcjami u.s.; - aktualizacja PDK: - określania metodą BPV charakterystyk rozkładów statystycznych parametrów modeli p.p.; - określania rozrzutów lokalnych (<i>mismatch</i>); - SPC	aktualizacja PDK: określanie metodą BPV charakterystyk rozkładów statystycznych parametrów modeli "compact" p.p. w programach EDA dla potrzeb analiz typu Monte-Carlo;
	Wyznaczenie parametrów elementów konstrukcyjnych s.t.			
	Symulacje numeryczne działania u.s. / podukładów	×	×	- szacowanie uzysku parametrycznego; - opracowanie narzędzi/modeli do optymalizacji uzysku; wnioskowanie o możliwości wytworzenia u.s. w danej technologii z założonym minimalnym uzyskiem parametrycznym



Rys.1 Relacja pomiędzy dokładnością a szybkością (efektywnością) obliczeń za pomocą różnych klas modeli przyrządów półprzewodnikowych [13]



Rys.2 Zastosowania różnych klas modeli przyrządów półprzewodnikowych w rozwoju i zastosowaniu technologii mikro- i nanoelektronicznych (na podstawie [13])

4.5.1. Modele przyrządów półprzewodnikowych dla wspomaganego komputerowo projektowania technologii (TCAD).

W przyrządach półprzewodnikowych o rozmiarach znacznie większych od długości fali de Broglie'a nośników w pasmach przewodnictwa lub walencyjnym (w krzemie jest ona rzędu 10 nm) efekty kwantowe odgrywają rolę dalszoplanową. Przy ich zaniedbaniu odniesieniem dla modeli TCAD jest tzw. równanie transportu Boltzmanna (np. [1,2]), które określa funkcję rozkładu zbioru nośników w przestrzeni położenia, pędu i czasu ($\vec{r}, \vec{k}, t$). W równaniu tym jest uwzględniona struktura pasmowa ośrodka oraz oddziaływanie nośników z ośrodkiem (m.in. z siecią krystaliczną i jej defektami). Równanie to wraz z równaniem Poissona opisuje najpełniej zjawiska w przyrządach półprzewodnikowych o dostatecznie dużych rozmiarach. Jest ono rozwiązywane w sposób przybliżony metodami Monte Carlo. Takie rozwiązanie wiąże się jednak z bardzo wysokim nakładem zasobów obliczeniowych (czas obliczeń, zajętość pamięci).

Przy zastosowaniu tzw. metody momentów [2] na podstawie równania transportu Boltzmanna można skonstruować uproszczone modele transportu nośników w przyrządach półprzewodnikowych [1]. Najprostszą aproksymacją jest model transportu dryftowo-dyfuzyjnego (ang. *drift-diffusion transport*), który składa się z dwóch równań: równania ciągłości prądu z uwzględnieniem członu generacyjno-rekombinacyjnego oraz równania prądu z uwzględnieniem mechanizmu unoszenia i dyfuzji. Cechą charakterystyczną tej aproksymacji jest warunek równowagi nośników z siecią krystaliczną ośrodka wyrażony stałością temperatury nośników równej temperaturze sieci krystalicznej. Standardowe modele przyrządów półprzewodnikowych w programach TCAD (np. PISCES [14], Silvaco ATLAS [15], Synopsys Sentaurus Device [16]) są oparte na równaniu Poissona oraz na modelu dryftowo-dyfuzyjnym transportu, który jest uzupełniony parametrami opisującymi transport, takimi jak ruchliwość nośników i jej zależność od koncentracji domieszek, natężenia pola elektrycznego i in. [1, 17]. Ważną częścią składową tej klasy modeli TCAD są warunki brzegowe. Układy w.w. równań różniczkowych z uwzględnieniem warunków brzegowych rozwiązywane były wcześniej w sposób przybliżony metodą różnic skończonych (lub jej uogólnioną wersją, tj. metodą "finite boxes" [18]), a obecnie na ogół za pomocą metody elementów skończonych (MES, ang. *finite element method* - FEM). Dla obu metod na rozpatrywaną strukturę półprzewodnikową jest nakładana siatka dyskretizacyjna, która może być jedno-, dwu- lub trójwymiarowa. Model dryftowo-dyfuzyjny przepływu prądu nie uwzględnia niejednorodności temperatury nośników w rozpatrywanej strukturze półprzewodnikowej. Tymczasem w miarę

zmniejszania wymiarów przyrządów w zakresie submikrometrowym (a więc jeszcze poza zakresem, w którym należy uwzględniać efekty kwantowe) rosną wartości natężenia pola elektrycznego, czego skutkiem jest wzrost gęstości wydzielanej mocy i wzrost temperatury nośników. Pojawiają się bardzo wąskie bariery potencjału, wytworzone zarówno przez granice struktur jak i indukowane przez polaryzację prowadzą do kwantyzacji dozwolonych poziomów energetycznych i do zjawisk tunelowania nośników przez bariery. Ponadto długość odległość pomiędzy kontaktami danego przyrządu jest już tak mała, że nośniki ładunku nie doznają rozpraszania na drodze pomiędzy kontaktami. Model dryftowo-dyfuzyjny staje się nieadekwatny.

Bardziej dokładną aproksymacją równania transportu Boltzmanna, tj. przybliżeniem drugiego rzędu uzyskanym za pomocą metody momentów, jest model hydrodynamiczny [2, 19, 20], który opisuje transport nośników w półprzewodniku na podobieństwo ruchu cieczy z uwzględnieniem transportu ciepła oraz rozproszeń nośników na innych obiektach. Kolejnym przybliżeniem jest model transportu energii. Tak skomplikowane modele przyrządów półprzewodnikowych uwzględniają wiele zjawisk oraz strukturę pasmową materiału półprzewodnikowego. Mogą być zatem bardzo dokładne, o ile parametry modeli zjawisk zawartych w modelach przyrządów i parametry strukturalne są dobrze określone. Niezależnie od tego obliczenia przy zastosowaniu złożonych modeli absorbują wielkie zasoby mocy obliczeniowej (czas, rozmiar pamięci). Z tego powodu nie mogą być one zastosowane w programach do automatyzacji projektowania (EDA), np. w programach do elektrycznej symulacji u.s. zawierających tysiące tranzystorów. W tym celu zostały opracowane modele p.p. kategorii "compact", które w przeciwieństwie do modeli numerycznych opisują charakterystyki elektryczne przyrządów półprzewodnikowych w postaci jawnych zależności wyprowadzonych przy określonych założeniach na bazie praw fizyki oraz na bazie omówionych wcześniej modeli złożonych, zwłaszcza na bazie modelu dryftowo-dyfuzyjnego.

Warto wspomnieć, że współczesne programy TCAD do symulacji przyrządów półprzewodnikowych umożliwiają także symulacje typu "mixed-mode", w których obiekt fizyczny będący przedmiotem symulacji (struktura półprzewodnikowa / fragment układu scalonego) jest reprezentowany przez model o parametrach rozłożonych połączony elektrycznie z siecią modeli typu "compact". Modele przyrządów półprzewodnikowych (n.p. tranzystorów MOS) skonstruowane na różnych poziomach szczegółowości są wykorzystywane we wszystkich fazach życia technologii i przy realizacji większości zadań związanych z ich rozwojem.

4.5.2. Zastosowanie modeli typu TCAD elementów półprzewodnikowych w opracowaniu technologii mikro- i nanoelektronicznych oraz w analizie zjawisk w przyrządach półprzewodnikowych.

Narzędzia TCAD znalazły zastosowanie w szeregu pracach, których celem była analiza zjawisk fizycznych w strukturach półprzewodnikowych zaprojektowanych i wytwarzanych w ITE. Autor uczestniczył w szeregu takich projektów i wykonywał symulacje numeryczne procesów technologicznych oraz przyrządów półprzewodnikowych. Prace te zostały zapoczątkowane na początku lat 90-tych XX w. Polegały one na symulacjach procesów technologicznych za pomocą programu PROMIS oraz charakterystyk elektrycznych tranzystorów MOS i bipolarnych, odpowiednio za pomocą programów MINIMOS i BAMBI. Programy te zostały pozyskane z Politechniki w Wiedniu. Autor opracował wówczas szereg programów służących do przekazywania danych pomiędzy symulatorami i spinających je w funkcjonalny system oprogramowania do symulacji procesów technologicznych i przyrządów półprzewodnikowych [21]. Ważnym elementem tego systemu był program do graficznej wizualizacji wyników symulacji tranzystorów MOS za pomocą programu MINIMOS [22]. Wówczas było to w ITE unikalne narzędzie, bardzo użyteczne w analizie wyników modelowania TCAD.

Począwszy od końca lat 90-tych podstawowym narzędziem do modelowania typu TCAD stosowanym w Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE było oprogramowanie firmy SILVACO, którego najważniejszymi elementami są programy ATHENA/S-SUPREM4 do symulacji procesów technologicznych oraz ATLAS/S-PISCES do symulacji elektrofizycznej przyrządów półprzewodnikowych. Zostały one opracowane na bazie programów SUPREM4 i PISCES z uniwersytetu w Stanford (USA). Zakres ich zastosowania został bardzo poszerzony poprzez implementację modeli zachowania się wielu nowych materiałów (zarówno stanowiących "budulec" p.p. jak i służących do modyfikacji ich właściwości elektrycznych - domieszek) podczas procesów technologicznych, dodanie modułów do symulacji p.p. spoza rodziny krzemowych przyrządów mikro- i nanoelektronicznych, takich jak tranzystory wysokonapięciowe, tranzystory HEMT oraz dodanie modułów do symulacji z uwzględnieniem np. oświetlenia przyrządów półprzewodnikowych. Poniżej opisano pokrótce dwa zadania w zakresie modelowania TCAD wykonane z udziałem autora za pomocą oprogramowania Silvaco. Modelowanie typu TCAD było wykorzystane także jako podbudowa w pracach w zakresie modelowania typu "compact" i opracowania metod charakteryzacji p.p., które są opisane w dalszej części niniejszego opracowania.

4.5.2.1. Modelowanie działania powierzchniowej diody p-i-n (S-PIN) jako elementu monolitycznej anteny inteligentnej.

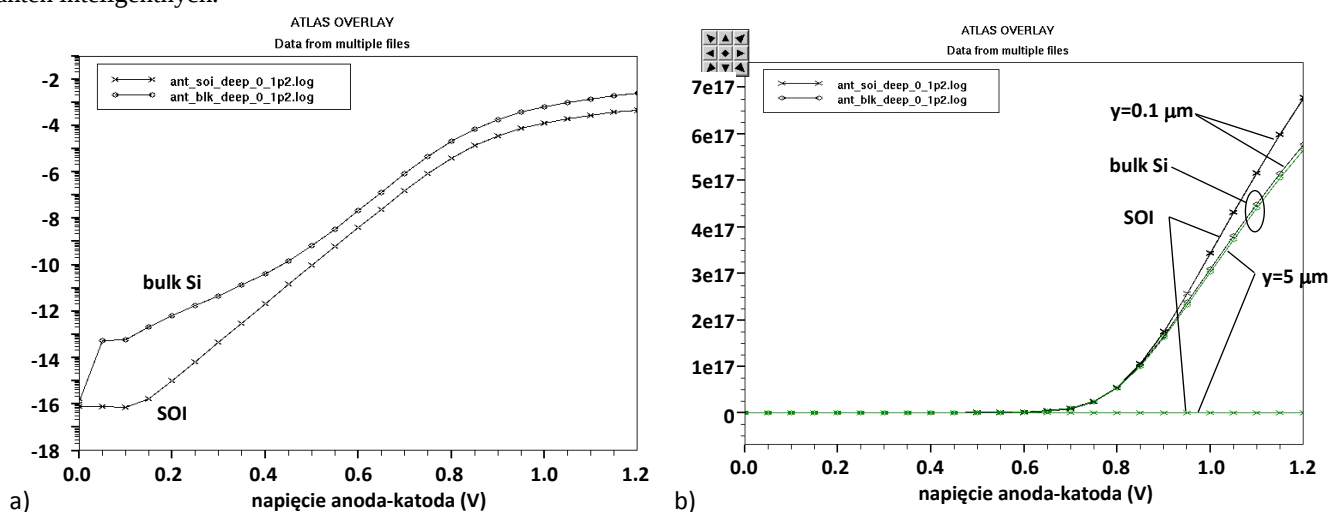
W pracy [23] została opisana zasada działania krzemowych monolitycznych anten inteligentnych, w których można elektronicznie sterować wzorem powierzchni emitującej promieniowanie elektromagnetyczne, a zatem m.in. częstotliwością promieniowania. Zmiana wzoru odbywa się poprzez lokalną modyfikację przewodności przy powierzchni krzemu. Stan wysokiej przewodności oznacza wytworzenie quasi-metalicznej powierzchni, która stanowi tor dla fali biegnącej w niedomieszkowanym krzemie. Do modyfikacji przewodności stosowana jest powierzchniowa dioda p-i-n (ang. *surface p-i-n diode* - S-PIN). Poprzez wprowadzenie diody w stan silnego wstrzykiwania lub w stan polaryzacji zaporowej jest indukowana lub usuwana plazma nośników (dziur i elektronów).

Projekt anteny został opracowany w Instytucie Radioelektroniki i Technik Multimedialnych Politechniki Warszawskiej w zespole prof. Y. Yashchyshyna. W ITE został opracowany proces technologiczny wytworzenia anten na wysokorezystywnych płytkach krzemowych (dr K. Kucharski). Celem symulacji w środowisku Silvaco-TCAD była analiza działania anten, ocena wpływu parametrów strukturalnych (poziom domieszkowania, długość bazy w diodzie p-i-n) na efektywność sterowania aperturą anteny, a przede wszystkim zbadanie roli typu płytki (Si/SOI) w określeniu charakterystyk anten. W tym celu autor przeprowadził symulacje rozkładów pola elektrycznego i koncentracji nośników w bazie diod oraz charakterystyk $I(V_F)$ diod na płytkach Si oraz SOI. Wykazały one, że w diodach S-PIN na płytkach SOI sterowanie wzorem anteny jest znacznie bardziej efektywne niż w diodach na płytkach Si.

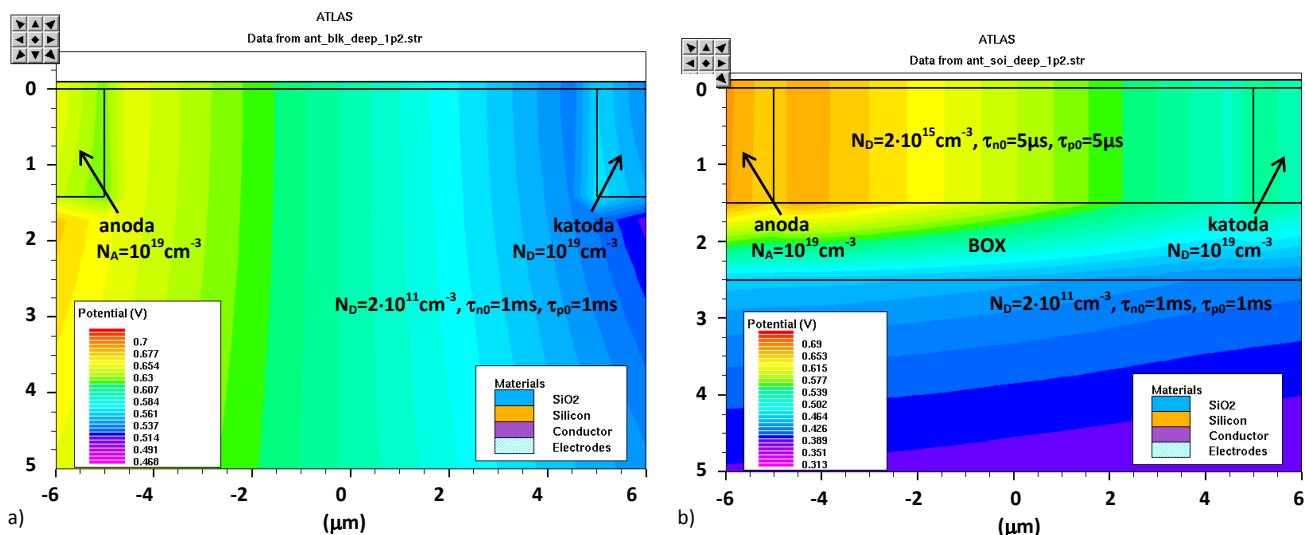
Na rys. 3a przedstawiono charakterystyki prądowo-napięciowe $I(V_F)$ obu diod w kierunku przewodzenia. V_F oznacza napięcie anoda-katoda. Można zauważyć, że dioda S-PIN na wysokorezystywnym podłożu krzemowym przewodzi kilkakrotnie większy prąd niż dioda na płytce SOI z niskorezystywną warstwą Si i wysokorezystywnym podłożem krzemowym. Zatem pobór energii przez antenę na płytce SOI jest odpowiednio mniejszy. Jest to istotny argument przemawiający za wyborem płytek SOI do wytworzenia anten. Na rys. 3b. przedstawiono zależność koncentracji dziur i elektronów od napięcia V_F na dwóch głębokościach $y=0.1\mu\text{m}$ i $y=5\mu\text{m}$. Koncentracje te są miarą konduktywności krzemu na tych głębokościach. Można zauważyć, że na głębokości $0.1\mu\text{m}$ koncentracje nośników w obu diodach przy tej samej wartości napięcia V_F są zbliżone. Jednak ze wzrostem napięcia V_F koncentracje nośników w bazie diody na płytce SOI są coraz większe, niż w bazie diody na podłożu Si. Oznacza to większą efektywność sterowania konduktywnością obszaru przypowierzchniowego w antenie na płytce SOI. Natomiast można zauważyć ogromną różnicę między koncentracjami nośników na głębokości $5\mu\text{m}$. W przypadku podłoża Si koncentracje nośników są tam prawie takie same jak przy powierzchni. Natomiast w przypadku płytki SOI są one zerowe (w skali rys. 3b), a w rzeczywistości są one dane przez koncentrację domieszek w wysokorezystywnym krzemie pod zagrzebaną warstwą SiO_2 (ang. *buried oxide* - BOX). Warstwa BOX określa obszar dostępny dla nośników wprowadzanych do bazy diody S-PIN. Sprawia że w cienkiej warstwie Si płytki SOI koncentracja nośników jest większa, a zatem większa jest konduktywność tej warstwy przy jednoczesnym mniejszym poborze energii (mniejsza wartość prądu). Warstwa BOX zapobiega bowiem rozprzestrzenianiu się plazmy nośników w kierunku podłoża. Efektywność sterowania konduktywnością obszaru przypowierzchniowego krzemu jest drugim istotnym argumentem za wyborem płytek SOI.

Na rys. 4 przedstawiono dwuwymiarowe rozkłady potencjału w obu diodach S-PIN w stanie silnego wstrzykiwania ($V_F=1.2\text{V}$). W diodzie na płytce SOI (rys. 4b) obserwujemy niemal liniowy rozkład potencjału w kierunku równoległym do powierzchni oraz niemal stały rozkład w obrębie cienkiej warstwy Si w kierunku prostopadłym do powierzchni. Charakter rozkładu potencjału zmienia się w warstwie BOX i poniżej. Tam linie ekwipotencjalne układają się równolegle do powierzchni krzemu. Zatem pole elektryczne anoda-katoda ma charakter niemal jednowymiarowy i występuje praktycznie tylko w przypowierzchniowej warstwie Si. Natomiast w diodzie na podłożu Si (rys. 4a) można zauważyć większą nieliniowość rozkładu potencjału pomiędzy anodą i katodą oraz znacznie głębszą penetrację pola elektrycznego pomiędzy elektrodami w głąb podłoża. Obserwacje te korespondują z przedstawionymi powyżej uwagami na temat porównania rozkładów nośników w obu diodach.

Dodatkową zaletą diod na płytce SOI jest o 1-3 rzędów wartości niższy prąd w stanie blokowania (rys. 3a). Można także dodać, że ze względu na znacznie niższy czas życia nośników w cienkiej warstwie Si płytki SOI niż w wysokorezystywnej płytce Si szybkość przełączania diody S-PIN na płytce SOI jest większa. Zatem wyniki symulacji potwierdziły zatem zasadność zastosowania płytek SOI z wysokorezystywnym podłożem do wytworzenia monolitycznych anten inteligentnych.



Rys.3 Charakterystyki diod S-PIN na podłożach bulk-Si i SOI [23]: a) charakterystyki $I(V)$ w kierunku przewodzenia, b) zależność koncentracji dziur/elektronów od napięcia anoda-katoda na dwóch głębokościach $y=0.1\mu\text{m}$, $5.0\mu\text{m}$.

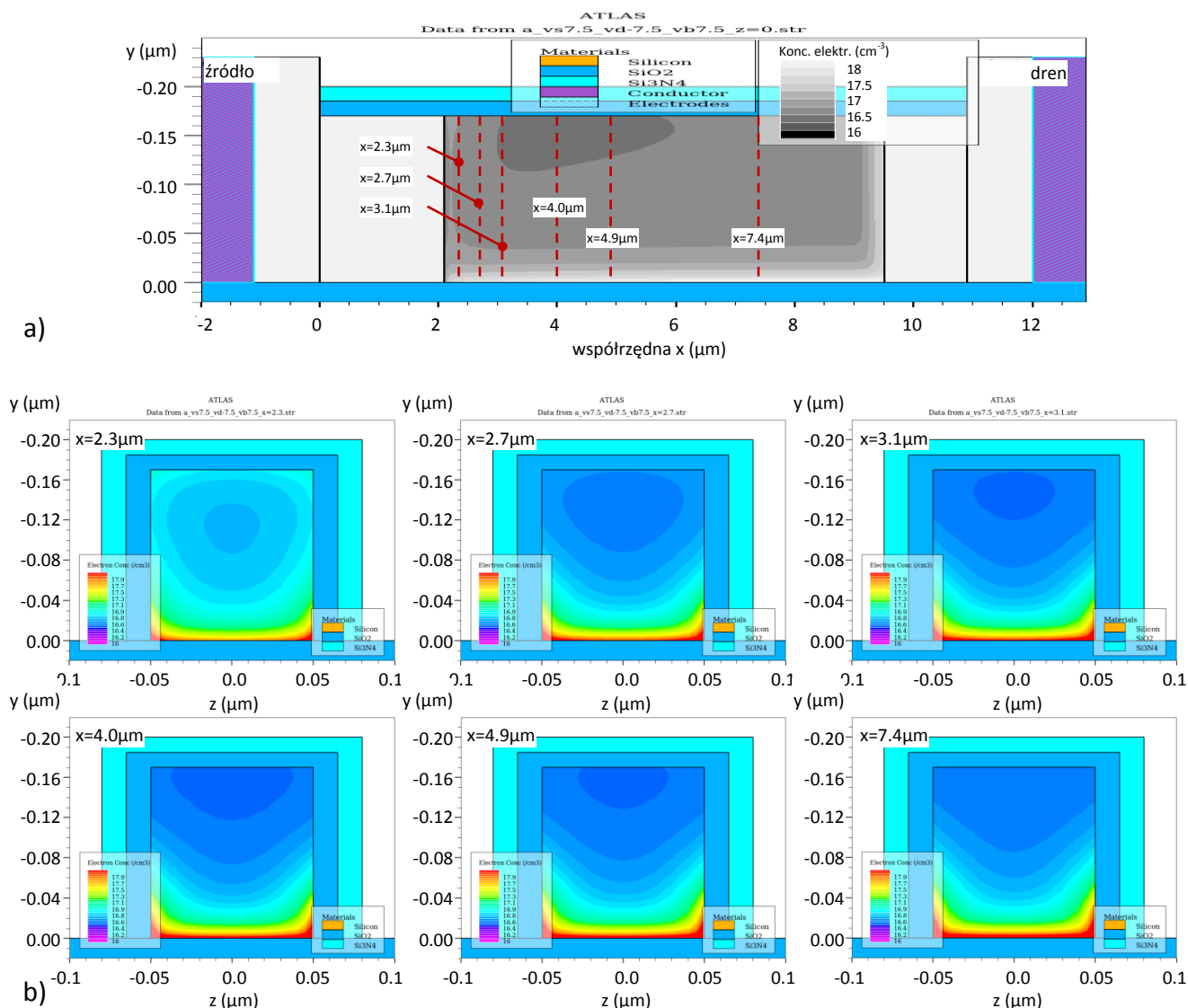


Rys.4 Rozkłady potencjału uzyskane w wyniku symulacji numerycznej diod S-PIN dla napięcia anoda-katoda=1.2 V na podłożach a) bulk-Si, b) SOI [23].

4.5.2.2. Modelowanie przepływu prądu dla potrzeb weryfikacji wyników pomiaru temperatury w nanodrucie krzemowym za pomocą skaningowej mikroskopii termicznej (SThM).

W Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE pracy od kilkunastu lat prowadzone są prace w zakresie konstrukcji przyrządów półprzewodnikowych. do pomiarów wielkości nieelektrycznych w mikro- i nanoskali z użyciem mikrosond osadzonych na mikrobolkach krzemowych (np. [24, 25]). Jednym z zastosowań mikrosond jest skaningowa mikroskopia termiczna (ang. *Scanning Thermal Microscopy* - SThM) [26], która pozwala na pomiar z dużą rozdzielczością przestrzenną rozkładu temperatury lub strumienia ciepła na powierzchni struktur mikroelektronicznych. W pracy [27] opisano zastosowanie tej metody do pomiaru temperatury w nanodrutach krzemowych wytworzonych w ITE w technologii PaDEOx [28]. W tego typu przyrządach obszary źródła i drenu oraz kanału posiadają ten sam typ przewodnictwa (w tym przypadku typ n), a przewodzenie prądu odbywa się za pośrednictwem transportu nośników większościowych. W przyrządach takich rolę bramki sterującej pełni podłoże, natomiast górna powierzchnia pokryta dielektrykiem pełni rolę "pływającego" podłoża. Tutaj także występuje efekt nasycania się charakterystyki wyjściowej $I(V_{DS})$ ze wzrostem napięcia V_{DS} . Odpowiada za to mechanizm częściowego zubożenia przewodzącego nanodrutu w pobliżu drenu, gdzie w wyniku superpozycji linii sił pola elektrycznego wychodzących z drenu oraz obszarów nad i pod kanałem rozkład potencjału w nanodrucie ma charakter zdecydowanie trójwymiarowy. Jest to efekt do pewnego stopnia analogiczny do sytuacji w obszarze "pinch-off" w konwencjonalnym tranzystorze NMOS w zakresie nasycenia. Tam na skutek oddziaływania konkurujących ze sobą linii sił pola elektrycznego wychodzących z elektrod bramki i drenu trajektoria wyznaczająca maksimum potencjału odchyła się od międzypowierzchni kanał/dielektryk bramkowy. Linia ta wyznacza dominującą ścieżkę elektronów w obszarze "pinch-off". Wzdłuż tej linii wartość natężenia pola elektrycznego rośnie w stronę drenu. Elektrony, których gęstość powierzchniowa jest mniejsza niż w obszarze kanału pod bramką, podążają tą ścieżką z prędkością bliską maksymalnej prędkości unoszenia v_{max} . Gęstość mocy wydzielanej wzdłuż tego toru jest największa.

W pracy [27] podjęto próbę wyjaśnienia wyników pomiarów rozkładów temperatury w nanodrutach metodą SThM. Autor niniejszego opracowania przeprowadził symulacje numeryczne przepływu prądu w nanodrucie dla różnych warunków polaryzacji. Uzyskano zadowalającą zgodność obserwowanej eksperymentalnie lokalizacji obszaru podwyższonej temperatury w nanodrucie i obszarze, w którym symulacja wykazuje największe zwężenie ścieżki prądu płynącego przez nanodrut. Rozkłady koncentracji elektronów przedstawione na rys. 5 zostały uzyskane dla napięcia dren-źródło $V_{DS}=-15$ V i napięcia podłoża-źródło $V_{BS}=+7.5$ V. Pokazują one, że w tych warunkach prąd płynie wzdłuż dolnej międzypowierzchni Si/SiO₂, natomiast powierzchnia krzemu pokryta dielektrykiem powoduje zubożenie górnej części kanału. Na rys. 5a wyraźnie widoczne jest przewężenie kanału w pobliżu źródła (zastosowano ujemną polaryzację drenu względem źródła), tj. tam gdzie została stwierdzona najwyższa temperatura. Na rys. 5b przedstawione są szczegółowo rozkłady gęstości elektronów w kilku przekrojach. Ilustrują one nierównomierne oddziaływanie dielektryka na bocznych ścianach nanodrutu na przewodność krzemu. Nierównomierność ta wynika z rozkładu potencjału w warstwie dielektryka, indukowanego polaryzacją podłoża. W pobliżu warstwy BOX potencjał w dielektryku na bocznych ścianach nanodrutu jest na tyle wysoki, że powoduje stan wysokiej przewodności w sąsiadującym obszarze krzemu.



Rys.5 Teoretyczne rozkłady koncentracji elektronów w przekrojach nanodrutu Si wyznaczone za pomocą programu Silvaco/ATLAS, obliczone w wyniku symulacji dla napięcia dren-źródło $V_{DS}=15V$ i polaryzacji podłoża $V_{BS}=7.5V$: a) rozkład dwuwymiarowy w przekroju $z=0.0 \mu m$, b) rozkłady dwuwymiarowe w przekrojach $x=const$ [27].

4.5.3. Modele typu "compact" tranzystorów MOS i innych elementów półprzewodnikowych.

Opracowania modeli typu "compact" przyrządów półprzewodnikowych MOS i przyrządów bipolarnych towarzyszyły rozwojowi technologii mikroelektronicznych i wzrostowi złożoności projektowanych układów scalonych. Były one odpowiedzią na rosnące zapotrzebowanie na efektywne i dokładne narzędzia do obliczeniowego wyznaczania charakterystyk elektrycznych p.p. w różnych dziedzinach: stałoprądowej (DC), małosygnałowej (AC), czasowej (TR) i in. Za pomocą takich modeli można przewidywać charakterystyki p.p. przed ich wytworzeniem, które jest operacją bardzo kosztowną i czasochłonną, i w ten sposób orzekać, czy założona konstrukcja danego p.p. spełnia wymagania technologa/projektanta u.s. Siła modeli typu "compact" ujawnia się szczególnie po ich wbudowaniu w programy wspomagające automatyzację projektowania (EDA), a zwłaszcza w programy do symulacji elektrycznej u.s. Wówczas możliwe są przewidywanie charakterystyk i funkcji u.s. przed ich wytworzeniem, ocena uzysku parametrycznego oraz zastosowanie modeli typu "compact" w optymalizacji projektu u.s. Zagadnienia te zostaną przedstawione w dalszych punktach niniejszego opracowania.

Dokładność modeli typu "compact" przyrządów półprzewodnikowych jest jednym z dwóch kluczowych czynników decydujących o ich wartości użytkowej. Drugim czynnikiem jest efektywność obliczeniowa. Dokładność zależy od zakresu uwzględnionych zjawisk fizycznych i od stopnia uwzględnienia cech konstrukcji przyrządów. Modele te były i są opracowywane na ogół na podstawie omówionego wcześniej przybliżenia dryftowo-dyfuzyjnego. Jego zaletą jest stosunkowo prosty formalizm i mała złożoność obliczeniowa wynikowych modeli. Przybliżenie to ma jednak istotne ograniczenia, które utrudniają zastosowanie go do opracowania modeli "compact" współczesnych p.p., w których pole elektryczne zmienia się na małej przestrzeni (pojedyncze nm), występują wąskie bariery, nośniki biorące udział w przewodzeniu prądu nie doznają rozpraszania, wydzielana jest moc o dużej gęstości, prowadząca do naruszenia warunku izotermiczności. Można wymienić zjawiska fizyczne, których ścisły opis matematyczny na gruncie przybliżenia dryftowo-dyfuzyjnego jest nieznan lub bardzo skomplikowany. Należy do nich np. zależność prędkości nośników ładunku od natężenia pola elektrycznego, a także od właściwości ośrodka i otoczenia, takich jak koncentracja domieszki, koncentracja i stan elektryczny defektów, temperatura [1, 17]. Należy także wspomnieć, że konstrukcja współczesnych przyrządów w u.s. jest tak złożona, że uniemożliwia jej wierne

uwzględnienie w modelach typu "compact". Przykładowo, w przypadku współczesnych tranzystorów MOS ich głęboko sub-100 nm rozmiary, niejednorodne (w różnych kierunkach) profile domieszkowania oraz nieplanarne konstrukcje powodują konieczność uwzględnienia w ich modelach efektów dwu- i trójwymiarowych. Z w.w. powodów na potrzeby konstrukcji wielu modeli typu "compact" wprowadzono aproksymacje formalne opisujące różne zjawiska zachodzące w p.p. i determinujące charakterystyki elektryczne modeli [7]. Aproksymacje te posiadają parametry, które często nie mają w pełni fizycznej podbudowy. Mają one zwykle ograniczone zastosowanie, np. nie pozwalają odwzorować poprawnie charakterystyk elektrycznych p.p. w pełnym zakresie napięć lub w pełnym zakresie temperatury. W związku z tym parametry modeli muszą być określone na podstawie danych odniesienia, tj. danych eksperymentalnych lub wiarygodnych danych uzyskanych za pomocą bardziej dokładnych modeli TCAD. Wyniki ekstrakcji parametrów modeli "compact" p.p. decydują o jakości i użyteczności tych modeli. Zagadnienie to będzie omówione w dalszych punktach.

Dla modelowania "compact" konwencjonalnych tranzystorów MOS bardzo ważnym dokonaniem było opracowanie modelu Pao-Saha [29]. Jest on oparty na następujących założeniach: (i) kanał tranzystora jest długi, dzięki czemu możliwa jest analiza jednowymiarowa struktury MIS w kierunku prostopadłym do powierzchni kanału, (ii) rozkład koncentracji domieszek w podłożu tranzystora jest stały, (iii) ruchliwość nośników w kanale μ jest stała. Przy tych założeniach natężenie prądu kanału określone jest zależnością (1)

$$I_D = 0.5 \cdot (kT/q)^2 \cdot (C_{ox}W/L) \cdot (U_s/|U_s|) \cdot (C_D/C_{ox}) \cdot \mu \cdot \int_0^{U_D} \int_{U_F}^{U_s} (e^{U-\xi-U_F}/F(U, \xi, U_F)) dU d\xi \quad (1)$$

gdzie czynnik $U_s/|U_s|$ określa typ tranzystora (+1 dla tranzystora NMOS, w którym $U_s > 0$, -1 dla tranzystora PMOS, w którym $U_s < 0$), $C_D = \epsilon_{Si}/L_D$, L_D - długość samoistna drogi Debye (ang. *intrinsic Debye length*), $F(U, \xi, U_F)$ - funkcja będąca częściowym rozwiązaniem jednowymiarowego równania Poissona w obszarze kanału tranzystora MOS, wyrażająca zależność składowej natężenia pola elektrycznego normalnej do powierzchni kanału od U - potencjału, ξ - rozszczepienia quasi-poziomów Fermiego nośników mniejszościowych (odpowiadających za przewodzenie prądu w tranzystorze z kanałem indukowanym) i większościowych oraz U_F - napięcia Fermiego określonego efektywną koncentracją domieszki w podłożu tranzystora. U , ξ , U_F są zmiennymi zredukowanymi względem kT/q . Model ten działa w dowolnym zakresie polaryzacji tranzystora MOS, tj. w zakresach słabej inwersji, nasycenia i nienasycenia. Jego wadą jest jednak to, że charakterystyka $I(V)$ jest opisana w (1) podwójną całką, która musi być obliczana numerycznie. Z tego powodu, a także z uwagi na w.w. założenia model ten nie znalazł zastosowania w programach EDA. Jednak ze względu na swoją uniwersalność był bazą dla opracowania wielu innych modeli typu "compact" oraz dla ich weryfikacji. M.in. posłużył do sformułowania modeli typu "charge-sheet" [30, 31], znacznie prostszych, lecz dokładnych, które były bardzo pomocne dla zrozumienia zjawisk zachodzących w tranzystorach MOS.

Spośród wielu modeli typu "compact" tranzystorów MOS tylko nieliczne osiągnęły stan dojrzałości, który umożliwił im wejście do użytku na szeroką skalę, implementację w programach EDA i zastosowanie w projektowaniu układów scalonych. W tym celu musiały one przejść żmudny i skomplikowany proces ewaluacji, który oprócz testów dokładności i szybkości działania obejmuje testy symetrii oraz testy skalowalności. Wśród tych modeli można wyróżnić:

- grupę modeli BSIM (ang. *Berkeley Short IGFET Model*) [32], reprezentujących podejście oparte na pojęciu napięcia progowego (ang. *threshold-based approach*); podstawową zmienną jest w nich napięcie progowe rozdziałające zakresy nieprzewodzenia (akumulacji i słabej inwersji) i przewodzenia (nasycenia i nienasycenia); z tego podejścia wynika potrzeba zastosowania aproksymacji łączących w sposób wystarczająco gładki sąsiadujące zakresy polaryzacji; modele BSIM3, BSIM4 stanowiły przez wiele lat standard przemysłowy stosowany w projektowaniu u.s; model BSIM4 może być stosowany do symulacji tranzystorów MOS z kanałem o długości sięgającej 22 nm; cechą charakterystyczną tych modeli jest bardzo długa lista parametrów; dla modelu BSIM4 liczy ok. 200 pozycji, z których znaczna część ma charakter parametrów dopasowujących;
- model EKV (od nazwisk autorów: Enz, Krummenacher, Vittoz) [10, 33, 34], reprezentujący podejście ładunkowe (ang. *charge-based approach*); w modelach ładunkowych zmienne takie jak potencjał powierzchniowy lub rozszczepienie quasi-poziomów Fermiego są wyrażane poprzez gęstość ładunku w kanale; w przypadku modelu EKV osiągnięto to poprzez linearyzację zależności gęstości powierzchniowej ładunku w warstwie inwersyjnej od potencjału powierzchniowego, dzięki czemu model ten wyróżnia się prostotą i małą liczbą parametrów; w odróżnieniu od wielu innych modeli posiada on wbudowaną symetrię, ponieważ zaciskiem odniesienia jest w nim nie elektroda źródła, ale elektroda podłoża; warto nadmienić, że najnowszy wariant modelu BSIM, tj. BSIM6 również reprezentuje podejście ładunkowe, ponieważ był on wspólnym przedsięwzięciem zespołów opracowujących modele BSIM i EKV;
- modele PSP (Penn State-Philips) [35, 36] i HiSIM (ang. *Hiroshima-University STARC IGFET Model*) [37, 38], reprezentujące podejście oparte na potencjale powierzchniowym (ang. *surface potential-based approach*); w modelach tego typu gęstości ładunku w kanale są uzależnione od aproksymacji rozkładu potencjału powierzchniowego; aproksymacje te pozwalają uwzględniać np. niejednorodne profile domieszkowania we współczesnych tranzystorach MOS;

Modele tranzystorów MOS wymienione powyżej zostały opracowane do symulacji przyrządów konwencjonalnych. Jednakże w ramach rodzin BSIM, HiSIM opracowano technikami charakterystycznymi dla tych rodzin także modele planarnych tranzystorów SOI i tranzystorów wielobramkowych. Ponadto w ramach rodziny HiSIM opracowany został model tranzystorów wysokonapięciowych MOS.

Dla modelowania typu "compact" tranzystorów bipolarnych bardzo ważnym dokonaniem było opracowanie modelu Gummela-Poona [39]. Krzemowe tranzystory wytwarzane w latach 70-tych XXw. miały zupełnie inną konstrukcję niż tranzystory germanowe z lat 50-tych. Posiadały one niejednorodnie domieszkowaną, wąską bazę. Z tego powodu rekombinacja

w bazie nie była już mechanizmem decydującym o transporcie nośników pomiędzy emiterem i kolektorem. Modele bazujące na tzw. "dyfuzyjnej" teorii działania diody p-n z długą bazą stały się nieadekwatne do opisu działania tranzystorów bipolarnych. W ładunkowym modelu Gummela-Poona tranzystorów bipolarnych jako podstawę przyjęto opis transportu nośników mniejszościowych pomiędzy emiterem i kolektorem tranzystora. W tym ujęciu istotny dla modelu jest całkowity ładunek nośników w bazie, a rekombinacja jest uwzględniona jako poprawka. Model Gummela-Poona jest wciąż stosowany w programach do symulacji u.s. Jednak jego następcy, tj. modele VBIC [40], HICUM [41, 42] oraz MEXTRAM [43] są bardziej zaawansowane i szerzej stosowane.

Na zakończenie tego punktu warto dodać, że modele typu "compact" są opracowywane także dla niekrzemowych przyrządów półprzewodnikowych takich jak tranzystory HEMT na bazie związków AlGaAs/GaAs, AlGaN/GaN, tranzystory na bazie półprzewodników organicznych i tlenkowych. Mimo, że konstrukcja tych tranzystorów jest oparta na materiałach bardzo różniących się od krzemu, w ich modelach typu "compact" często stosowany jest formalizm wypracowany w ciągu kilkudziesięciu lat rozwoju technik modelowania tranzystorów krzemowych.

4.5.4. Opracowania modeli typu "compact" przyrządów półprzewodnikowych i systemów elektronicznych.

Prace w zakresie modelowania typu "compact" były prowadzone przez autora od końca lat 80-tych XX w. Początkowo dotyczyły one tranzystorów konwencjonalnych MOS [44, 45]. W latach 90-tych dzięki współpracy z Zespołem Instytutu Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej (prof. A. Jakubowski i in.) autor podjął zadania w zakresie modelowania tranzystorów MOS SOI [46-53]. Wyniki tych prac zostały zaprezentowane w rozprawie doktorskiej autora "Małosygnałowy model pojemności tranzystora MOS SOI" (1998). Tę tematykę autor kontynuował jeszcze przez pewien czas [54, 55]. Jednak projekty badawcze realizowane w ITE, w których autor uczestniczył spowodowały, że prace w zakresie modelowania "compact" zaczęły koncentrować się na zagadnieniach charakteryzacji technologii i przyrządów półprzewodnikowych, o czym będzie mowa w dalszych punktach niniejszego opracowania.

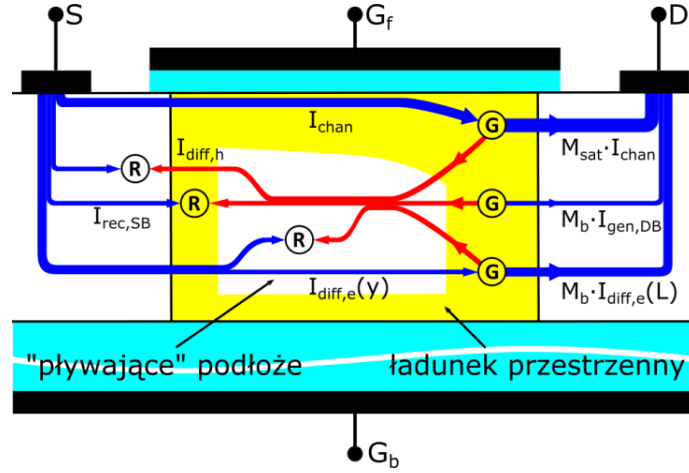
W tym punkcie zostaną opisane pokrótce trzy opracowania autora w zakresie modelowania typu "compact". Każde z nich obejmowało różne domeny zjawisk fizycznych. Model częściowo zubożonego tranzystora MOS SOI (ang. *partially-depleted silicon-on-insulator* MOSFET - PDSOI MOSFET) był klasycznym modelem typu "compact" przyrządu półprzewodnikowego. Model elektrycznej odpowiedzi krzemowego pikselowego detektora promieniowania pobudzanego światłem lasera oparty był na symulacji rozłożonej sieci zastępczej reprezentującej grupę pikseli. Model odzyskiwania energii cieplnej za pomocą przetwornika elektrostatycznego i gromadzenia jej (ang. *energy harvesting*) w postaci ładunku oparty był na połączeniu opisów zjawisk w dziedzinie mechaniki i elektrostatyki za pomocą obiektu EDD (ang. *Equation Defined Device*) w programie Qucs (ang. *Quite Universal Circuit Simulator*).

4.5.4.1. Opracowanie modelu częściowo zubożonego tranzystora MOS SOI.

Zasadnicza część tego modelu została opracowana w wyniku realizacji pracy doktorskiej autora p.t. "Małosygnałowy model pojemności tranzystora MOS SOI" (1998). Opracowano wówczas równania modelu stałoprądowego obejmujące podstawowe zjawiska zachodzące w strukturze tranzystora, tj.:

- Transport nośników w indukowanym kanale tranzystora, gdzie głównym mechanizmem transportu jest unoszenie nośników w polu elektrycznym. W wyjściowej wersji modelu nie było uwzględnione zjawisko słabej inwersji, a zatem transport nośników w zakresie podprogowym;
- Dyfuzję nośników w tzw. "pływającym" podłożu tranzystora, o którym zakłada się, że jest obszarem quasi-neutralnym; dyfuzji nośników towarzyszy ich rekombinacja; są to zjawiska opisane w modelach tranzystorów bipolarnych i diod p-n;
- Generację/rekombinację termiczną w obszarach ładunku przestrzennego występujących na złączach dren-podłoże, źródło-podłoże; generacja (ang. *net generation*) uaktywnia się jeżeli dane złącze jest spolaryzowane w kierunku zaporowym, natomiast rekombinacja (ang. *net recombination*) uaktywnia się, jeżeli złącze jest spolaryzowane w kierunku przewodzenia. Na potrzeby modelu tranzystora SOI MOS cząstkowe modele generacji/rekombinacji termicznej zostały zmodyfikowane ze szczególnym naciskiem na zakres napięć na złączu bliskich 0 V. Jest to konieczne dla prawidłowego wyznaczenia potencjału napięcia "pływające" podłoże - źródło V_{BS} . W literaturze przedmiotu można było bowiem spotkać prace dotyczące modelowania, w których dla napięcia V_{DS} bliskiego 0 V napięcie V_{BS} było wyraźnie większe od 0 V (np. [56]);
- Jonizację zderzeniową w obszarach występowania silnego pola elektrycznego; są to obszar odcięcia (ang. *pinch-off*) kanału tranzystora obecny w zakresie nasycenia oraz obszar zubożony złącza dren-"pływające" podłoże. Zjawisko powielania lawinowego jest odpowiedzialne za ujawnianie się na charakterystykach wyjściowych tranzystorów PDSOI MOS zniekształcenia o nazwie "kink effect".

Strumienie nośników w tranzystorze odpowiadające w.w. zjawiskom w tranzystorze z kanałem typu n są przedstawione na rys. 6. Niebieskim kolorem oznaczono strumienie elektronów. Czerwonym kolorem oznaczono strumienie dziur. Dziury generowane w procesach powielania lawinowego w sąsiedztwie drenu migrują do obszaru o najniższym potencjale, tj. do obszary "pływającego" podłoża. Tam częściowo ulegają rekombinacji z elektronami wstrzykniętymi ze źródła. Częściowo ulegają rekombinacji w obszarze ładunku przestrzennego złącza źródło-podłoże, a częściowo w obszarze przyzłączowym. Zwiększenie ładunku dziur w podłożu powoduje wzrost jego potencjału, w następstwie czego maleje napięcie progowe tranzystora oraz rośnie wstrzykiwanie elektronów ze źródła (uaktywnia się pasożytniczy tranzystor bipolarny). Oba te zjawiska prowadzą do "kink effect".



Rys. 6 Rozkład strumieni nośników w n-kanalowym tranzystorze PDSOI MOS [48-54].

Z przedstawionej pokrótce analizy wynika, że dla zadanej polaryzacji kluczowe dla modelu tranzystora PDSOI MOS jest wyznaczenie napięcia v_{BS} , zmiennego w czasie t . Służy do tego równanie (2), wyrażające warunek neutralności elektrycznej tranzystora. Jest to uogólnienie podejścia przedstawionego w pracy [56].

$$i_s(t) + i_{gf}(t) + i_d(t) + i_{gb}(t) = 0 \quad (2)$$

W dziedzinie DC równanie to sprowadza się do bilansu prądów źródła i drenu, w którym wszystkie składniki związane z przewodzeniem w kanale mogą być wyrażone przez omówione wcześniej strumienie nośników. Zmienność w czasie została uwzględniona w modelu przez zastosowanie tzw. analizy harmonicznej w stanie ustalonym (ang. *sinusoidal-steady-state analysis* - S^3A) [57]. Zgodnie z tym podejściem zakłada się, że rozpatrywanej strukturze na tle wartości stałych propagowane są sinusoidalne sygnały zmienne o małej amplitudzie i stałej pulsacji ω . Pozwala to zapisać zarówno zmienne zaciskowe jak i zmienne wewnętrzne w tranzystorze w postaci (3).

$$\text{zmienna niezależna od } y: \quad u(t) = U + u^* \cdot e^{j\omega t} \quad (3a)$$

$$\text{zmienna zależna od } y: \quad v(y, t) = V(y) + v^*(y) \cdot e^{j\omega t} \quad (3b)$$

gdzie y oznacza zmienną przestrzenną. Zmienne z gwiazdką oznaczają tzw. wskaźy (ang. *phasor*) odpowiednich składowych małosygnałowych. Przyjęto tu założenie, że dany mechanizm, np. prąd dyfuzji w obszarze quasi-neutralnego podłoża, może być opisany jednowymiarowo. Równania te pozwoliły m.in. rozseparować (2) na dwa równania końcówkowe w dziedzinach DC (4) i AC (5). Służą one do wyznaczenia składowych napięcia $v_{BS}(t)$: V_{BS} - składowej DC, v_{bs}^* - wskaźu składowej małosygnałowej AC.

$$\text{DC:} \quad I_s + I_{gf} + I_d + I_{gb} = I_s + I_d = 0 \Rightarrow V_{BS} \quad (4)$$

$$\text{AC:} \quad i_s^* + i_{gf}^* + i_d^* + i_{gb}^* = 0 \Rightarrow v_{bs}^* \quad (5)$$

W dziedzinie analizy DC równanie (4) jest rozwiązywane względem V_{BS} jedną ze znanych iteracyjnych metod rozwiązywania równań nieliniowych jednej zmiennej. W tym przypadku b.dobrze sprawdza się metoda bisekcji, która nie jest szybko zbieżna, natomiast jest tutaj niezawodna, ponieważ dla danego $V_{DS} > 0$ zachodzi warunek $0 < V_{BS} < V_{DS}$. Następnie dla znanej wartości V_{BS} wyznaczane są wartości DC i ew. rozkłady DC zmiennych (np. rozkład koncentracji nośników mniejszościowych w obszarze "body") w tranzystorze.

W zakresie analizy AC poszczególne składniki lewej strony równania (5) są zależne od rozwiązania DC, tj. "punktu pracy" oraz od zmiennej v_{bs}^* . Posiadają one postać wyrażen liniowych (6), w związku z czym rozwiązanie (5) można przedstawić w postaci (7).

$$i_x^* = a_x \cdot v_{bs}^* + b_x \quad x \in \{s, gf, d, gb\} \quad (6)$$

$$v_{bs}^* = -\sum_x b_x / \sum_x a_x \quad x \in \{s, gf, d, gb\} \quad (7)$$

W celu znalezienia współczynników a_x , b_x dla wskaźów i_x^* poszczególnych prądów została przeprowadzona analiza ich składowych przedstawionych na rys. 6 z zastosowaniem aproksymacji (3). Ponadto została przeprowadzona analiza prądów przesunięcia, które występują w obszarach ładunku przestrzennego, takich jak obszar "pinch-off" lub obszar ładunku przestrzennego złącza oraz w obszarach dielektryka. Odgrywają one bardzo ważną rolę w modelowaniu działania przyrządu w dziedzinie sygnałów zmiennych, gdyż zapewniają ciągłość prądu w częściach obwodów (ścieżek prądowych), w których nie mogą płynąć prądy przewodzenia.

Dla opisu charakterystyk elektrycznych tranzystora w dziedzinie DC i AC szczególne znaczenie posiada model prądu przewodzenia w kanale, który nie tylko jest głównym mechanizmem transportu ładunku w tranzystorze, ale także w przypadku wyższych wartości napięcia V_{DS} jest źródłem zjawiska "kink-effect" w tranzystorach PDSOI MOS. Prąd ten płynie wzdłuż górnej międzypowierzchni Si/SiO₂ tranzystora. Jego model bazuje on na układzie równań ciągłości i transportu (8), znanym jako model dryftowo-dyfuzyjny, omówiony pokrótce w p.4.5.1.

$$\begin{cases} \partial i_{cf}(y, t) / \partial y = W \cdot \partial q_{cf}(y, t) / \partial t \\ i_{cf}(y, t) = -W \cdot \mu_{cf} \cdot q_{cf}(y, t) \cdot \partial v_{cf}(y, t) / \partial y \end{cases} \quad (8)$$

gdzie i_{cf} - prąd kanału wzdłuż górnej międzypowierzchni Si/SiO₂, q_{cf} - gęstość ładunku nośników ruchomych w kanale, v_{cf} - napięcie w kanale, tj. rozszczępienie quasi-potencjałów Fermiego nośników mniejszościowych i większościowych, μ_{cf} - ruchliwość nośników w kanale. Przy zastosowaniu przybliżenia "charge-sheet approximation" [31] gęstość ładunku q_{cf} można zapisać w postaci (9).

$$q_{cf}(y, t) = -C_{oxf} \cdot [v_{gfs}(t) - v_{thf}(t) - v_{cf}(y, t)] \quad (9)$$

Dla określenia współczynników a_d , b_d ($x=d$) w równaniu (6) potrzebne jest wyznaczenie wskazów składowej AC prądu kanału w punkcie $y=L$ (dren). W tym celu została zastosowana metoda [58]. Całkowanie równań (8) w granicach od $y'=y$ do $y'=L$ prowadzi do rozwiązania (10).

$$\begin{cases} i_{cf}(y, t) = i_{cf}(L, t) + W \cdot C_{oxf} \cdot \int_y^L \partial [v_{gfs}(t) - v_{thf}(t) - v_{cf}(y', t)] / \partial t \, dy' \\ \int_y^L i_{cf}(y', t) \, dy' = W \cdot \mu_{cf} \cdot C_{oxf} \cdot [v_{gfs}(t) - v_{thf}(t) - (v_{ds}(t) + v_{cf}(y, t)) / 2] \cdot [v_{ds}(t) - v_{cf}(y, t)] \end{cases} \quad (10)$$

Przy zastosowaniu formalizmu S³A możliwe jest rozseparowanie równań składowych DC (11) oraz AC (12).

$$\begin{cases} I_{cf}(y) = I_{cf}(L) \\ \int_y^L I_{cf}(y', t) \, dy' = W \cdot \mu_{cf} \cdot C_{oxf} \cdot [V_{gfs} - V_{thf} - (V_{ds} + V_{cf}(y)) / 2] \cdot (V_{ds} - V_{cf}(y)) \end{cases} \quad (11)$$

$$\begin{cases} i_{cf}^*(y) = i_{cf}^*(L) + j\omega \cdot W \cdot C_{oxf} \cdot \int_y^L (v_{gfs}^* - v_{thf}^* - v_{cf}^*(y')) \, dy' \\ \int_y^L i_{cf}^*(y') \, dy' = W \cdot \mu_{cf} \cdot C_{oxf} \cdot \left\{ [V_{gfs} - V_{thf} - (V_{ds} + V_{cf}(y)) / 2] \cdot [v_{ds}^* - v_{cf}^*(y)] + \right. \\ \left. + [v_{gfs}^* - v_{thf}^* - (v_{ds}^* + v_{cf}^*(y)) / 2] \cdot [V_{ds} - V_{cf}(y)] \right\} \end{cases} \quad (12)$$

Równania (11) pozwalają wyznaczyć znany model DC prądu unoszenia w kanale tranzystora. Natomiast równania (12) przy użyciu modelu DC prowadzą do równania całkowego względem v_{cf}^* (13).

$$v_{cf}^* - (v_{gfs}^* - v_{thf}^*) = f(V_{cf}) + j\omega \cdot F(v_{cf}^* - (v_{gfs}^* - v_{thf}^*)) \quad (13)$$

gdzie $f(\cdot)$ - funkcja, $F(\cdot)$ - operator całkowy. Rozwiązanie (13) względem v_{cf}^* można przedstawić wzorem [58] w postaci (14)

$$v_{cf}^* - (v_{gfs}^* - v_{thf}^*) = [1 + j\omega \cdot F + (j\omega)^2 \cdot F^2 + \dots] f(V_{cf}) \quad (14)$$

którą można uprościć przez zaniedbanie wyrazów wyższego rzędu do postaci (15).

$$v_{cf}^* - (v_{gfs}^* - v_{thf}^*) \approx [1 + j\omega \cdot F] f(V_{cf}) \quad (15)$$

Przy użyciu tego rozwiązania dochodzi się do wyrażenia dla $i_{cf}^*(L)$.

$$i_{cf}^*(L) = \{\sigma_{fL} \cdot [v_s^* - (v_{gf}^* - v_{thf}^*)] + \delta_{fL} \cdot [v_d^* - (v_{gf}^* - v_{thf}^*)]\} / \Theta_f \quad (16)$$

gdzie σ_{fL} , δ_{fL} , Θ_{fL} są współczynnikami zależnymi od punktu pracy i częstotliwości. Liniowa zależność $i_{cf}^*(L)$ od v_{bs}^* wymagana w (6) wynika z liniowej zależności v_{thf}^* od v_{bs}^* .

Analogiczny formalizm stosuje się do wyznaczenia zależności $i_{cf}^*(0)$ od v_{bs}^* . Wówczas jednak równania (8) są całkowane w granicach od $y'=0$ do $y'=y$. Rozwiązanie w dziedzinie DC jest oczywiście to samo. Natomiast w dziedzinie AC otrzymujemy liniową zależność $i_{cf}^*(0)$ od v_{bs}^* . Między $i_{cf}^*(0)$ oraz $i_{cf}^*(L)$ występuje przesunięcie w fazie. Po wyznaczeniu wskazów v_{bs}^* za pomocą (7) możliwe jest wyznaczenie wskazów wszystkich sygnałów zmiennych w tranzystorze, w tym składowych AC sumarycznych prądów wpływających przez zaciski tranzystora. Następnie, przy ich użyciu możliwe jest wyznaczenie zespolonych admitancji wzajemnych tranzystora, konduktancji i pojemności (17).

$$Y_{xy} = G_{xy} + j \cdot B_{xy} = \delta_{xy} \cdot i_x^* / v_y^*; \quad C_{xy} = B_{xy} / \omega; \quad x, y \in \{s, gf, d, gb\}; \quad \delta_{xy} - \text{symbol Kroneckera} \quad (17)$$

Zaletą zaprezentowanej metody jest pełna zgodność między modelami DC i AC danego zjawiska, w tym przypadku transportu ładunku w warstwie inwersyjnej tranzystora. Inną cechą charakterystyczną tego podejścia jest wbudowana zależność odpowiedzi w dziedzinie AC od częstotliwości sygnału zmiennego. Model zbudowany tą metodą jest z natury nie-quasistatyczny. Standardowe modele pojemnościowe tranzystorów są quasi-statyczne. Dlatego w celu umożliwienia im pracy w zakresie wyższych częstotliwości kanał tranzystora jest dzielony na sekcje. Natomiast przedstawione podejście posiada poważne ograniczenie. Na bazie dość prostego opisu gęstości ładunku w warstwie inwersyjnej oraz prostego modelu napięcia progowego metoda [58] prowadzi do prostego modelu DC tranzystora MOS, nieadekwatnego do współczesnych technologii MOS, w których tranzystory MOS posiadają kanał o długości głęboko poniżej 100 nm.

W wyniku dalszych prac w modelach DC/AC prądu kanału I_{cf} tranzystora PDSOI MOS został uwzględniony zakres słabej inwersji [55]. Na bazie ogólnych równań dla tego zakresu (18) została zastosowana metoda [58] analogicznie jak dla zakresu silnej inwersji.

$$\begin{cases} \partial i_{cf}(y, t) / \partial y = W \cdot \partial q_{cf}(y, t) / \partial t \\ i_{cf}(y, t) = W \cdot \mu_{cf} \cdot U_T \cdot \partial q_{cf}(y, t) / \partial y \end{cases} \quad (18)$$

W wyniku całkowania równań (18) w granicach od y do L_{eff} (efektywna długość kanału jest w zakresie podprogowym mniejsza niż odległość między źródłem i drenem L) otrzymujemy układ równań (19), będący odpowiednikiem (10).

$$\begin{cases} i_{cf}(y, t) = i_{cf}(L_{eff}, t) - W \cdot \int_y^{L_{eff}} \partial q_{cf}(y', t) / \partial t \, dy' \\ \int_y^{L_{eff}} i_{cf}(y', t) \, dy' = W \cdot \mu_{cf} \cdot U_T \cdot (q_{cf}(L_{eff}, t) - q_{cf}(y, t)) \end{cases} \quad (19)$$

Po zastosowaniu formalizmu S^3A możliwe jest rozseparowanie równań składowych DC (20) oraz AC (21) równań (19).

$$\begin{cases} I_{cf}(y) = I_{cf}(L_{eff}) \\ \int_y^{L_{eff}} I_{cf}(y') \, dy' = W \cdot \mu_{cf} \cdot U_T \cdot (Q_{cf}(L_{eff}) - Q_{cf}(y)) \end{cases} \quad (20)$$

$$\begin{cases} i_{cf}^*(y) = i_{cf}^*(L_{eff}) - j\omega \cdot W \cdot \int_y^{L_{eff}} q_{cf}^*(y') \, dy' \\ \int_y^{L_{eff}} i_{cf}^*(y') \, dy' = W \cdot \mu_{cf} \cdot U_T \cdot (q_{cf}^*(L_{eff}) - q_{cf}^*(y)) \end{cases} \quad (21)$$

Rozwiązanie (20) w dziedzinie DC jest natychmiastowe.

$$I_{cf} = (W / L_{eff}) \cdot \mu_{cf} \cdot U_T \cdot (Q_{cf}(L_{eff}) - Q_{cf}(0)) \quad (22)$$

Rozwiązanie (21) w dziedzinie AC prowadzi do równania całkowego

$$q_{cf}^*(y) = q_{cf}^*(L_{eff}) - (i_{cf}^*(L_{eff}) / (W \cdot \mu_{cf} \cdot U_T)) \cdot (L_{eff} - y) + (j\omega / (\mu_{cf} \cdot U_T)) \cdot \int_y^{L_{eff}} \int_{y'}^{L_{eff}} q_{cf}^*(y'') \, dy'' \, dy' \quad (23)$$

które może być zapisane w postaci (24)

$$q_{cf}^*(y) = g(y) + j\omega \cdot G(q_{cf}^*(y)) \quad (24)$$

gdzie $g(\cdot)$ - funkcja, $G(\cdot)$ - operator całkowy. Rozwiązanie (24) względem q_{cf}^* można przedstawić wzorem [58] w postaci (25)

$$q_{cf}^*(y) = [1 + j\omega \cdot G + (j\omega)^2 \cdot G^2 + \dots] g(y) \quad (25)$$

którą można uprościć przez zaniedbanie wyrazów wyższego rzędu do postaci (26).

$$q_{cf}^*(y) = [1 + j\omega \cdot G] g(y) \quad (26)$$

Kładąc $y=0$ (koniec kanału przy źródle) otrzymujemy

$$\begin{aligned} i_{cf}^*(L_{eff}) &= \\ &= (W / L_{eff}) \cdot \mu_{cf} \cdot U_T \cdot \{ [-q_{cf}^*(0) + q_{cf}^*(L_{eff}) (1 + j\omega \cdot L_{eff}^2 / (2 \mu_{cf} \cdot U_T))] / (1 + j\omega \cdot L_{eff}^2 / (6 \mu_{cf} \cdot U_T)) \} \end{aligned} \quad (27)$$

Kładąc $y=L_{eff}$ (koniec kanału przy drenie) otrzymujemy

$$\begin{aligned} i_{cf}^*(0) &= \\ &= (W / L_{eff}) \cdot \mu_{cf} \cdot U_T \cdot \{ [-q_{cf}^*(0) (1 + j\omega \cdot L_{eff}^2 / (2 \mu_{cf} \cdot U_T)) + q_{cf}^*(L_{eff})] / (1 + j\omega \cdot L_{eff}^2 / (6 \mu_{cf} \cdot U_T)) \} \end{aligned} \quad (28)$$

Z porównania (27), (28) widać wyraźnie przesunięcie fazowe pomiędzy wskazami składowych AC prądów źródła i drenu.

Zmienne $Q_{cf}(0)$, $q_{cf}^*(0)$ zostały wyznaczone za pomocą jednowymiarowej (w kierunku prostopadłym do powierzchni kanału) analizy elektrostatycznej dla źródłowego końca kanału przy założeniu, że spełnione są warunki "gradual channel approximation" (GCA) oraz przy użyciu formalizmu S^3A . Zmienna L_{eff} została wyznaczona przy pomocy jednowymiarowej (w kierunku równoległym do powierzchni kanału) analizy elektrostatycznej dla drenowego końca kanału. Natomiast zmienne $Q_{cf}(L_{eff})$, $q_{cf}^*(L_{eff})$ zostały wyznaczone na podstawie warunku nasycenia prędkości nośników w obszarze "pinch-off" (29), (30), (31).

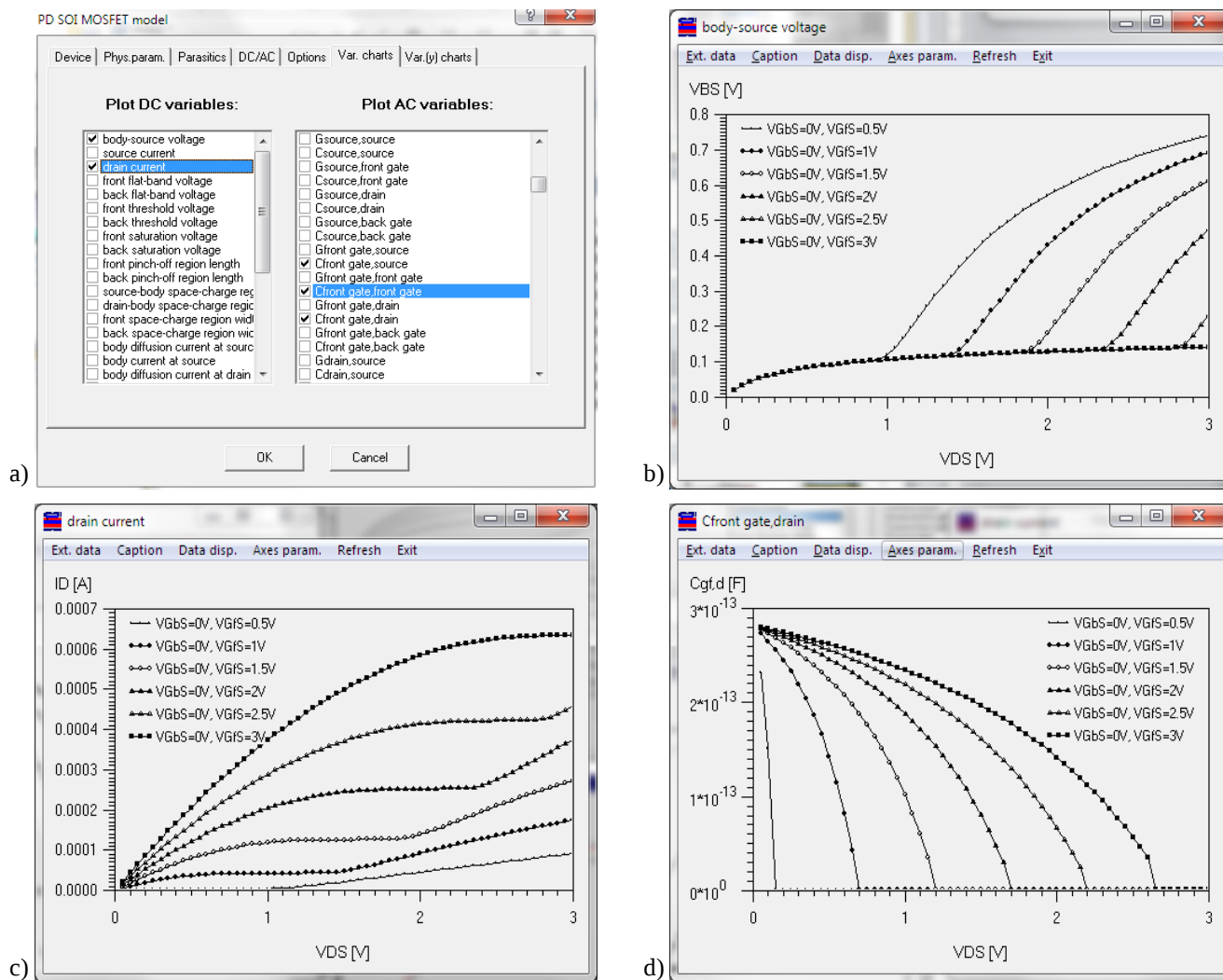
$$i_{cf}(L_{eff}, t) = -W \cdot q_{cf}(L_{eff}, t) \cdot v_{max} \quad (29)$$

$$Q_{cf}(L_{eff}) = Q_{cf}(0) / (1 + v_{max} \cdot L_{eff} / (\mu_{cf} \cdot U_T)) \quad (30)$$

$$q_{cf}^*(L_{eff}) = q_{cf}^*(0) / [1 + v_{max} \cdot L_{eff} / (\mu_{cf} \cdot U_T) + j\omega \cdot L_{eff}^2 / (2 \mu_{cf} \cdot U_T) \cdot (1 + v_{max} \cdot L_{eff} / (3 \mu_{cf} \cdot U_T))] \quad (31)$$

Końcowym etapem prac nad w.w. modelem była jego implementacja w programie obliczeniowym (środowisko Delphi) wyposażonym w graficzny interfejs użytkownika. Program umożliwia wprowadzanie parametrów elektrofizycznych i strukturalnych tranzystora, zadawanie warunków wyznaczania charakterystyk elektrycznych (kolejność pętli napięciowych, zakresy napięć), selekcję zmiennych, których wartości mają być zapisane do pliku zewnętrznego lub zobrazowane na wykresach. Model „udostępnia” nie tylko zaciskowe charakterystyki elektryczne, ale także zależność wewnętrznych statycznych i małosygnałowych zmiennych modelu (np. prądów przesunięcia, poszczególnych składowych prądów przewodzenia) od napięć polaryzujących. Na rys. 7a przedstawiono formularz wyboru zmiennych, które będą przedmiotem

wizualizacji oraz przykładowe charakterystyki modelu. Na rys. 7b widoczna jest płynne zmniejszanie się napięcia V_{BS} w stronę 0 V w miarę spadku napięcia V_{DS} oraz silny wzrost napięcia V_{BS} związany z wystąpieniem mechanizmu "kink effect". Na rys. 7b,c widoczna jest silna zależność aktywowania się tego mechanizmu od napięcia V_{GS} . Na rys. 7d przedstawiono charakterystyki $C_{gf,d}(V_{DS})$ obliczone przy zaniedbaniu pojemności zakładek.



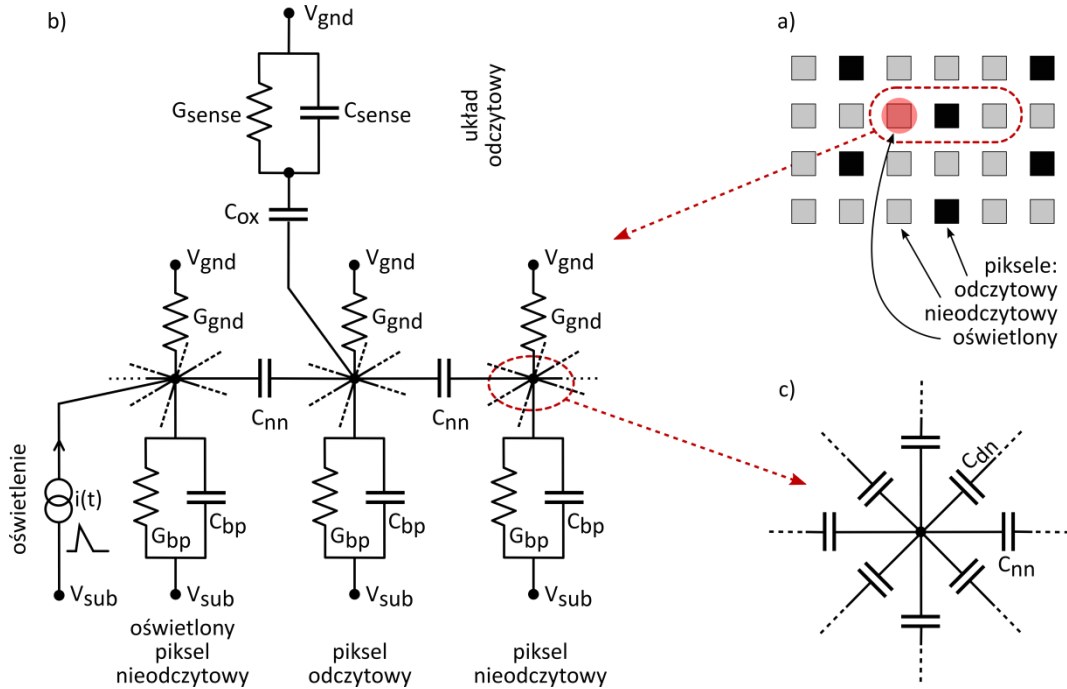
Rys. 7 Wybrane wyniki uzyskane przy za pomocą modelu n-kanalowego tranzystora PDSOI MOS a) panel wyboru dostępnych charakterystyk modelu, b) symulacja DC - zależność potencjału "pływającej" warstwy Si od napięcia V_{DS} dla różnych wartości napięcia bramka-źródło V_{GS} , c) symulacja DC - rodzina charakterystyk wyjściowych $I_D(V_{DS})$ dla różnych wartości napięcia V_{GS} , d) symulacja AC - rodzina charakterystyk $C_{gf,d}(V_{DS})$ dla różnych wartości napięcia V_{GS} (materiał niepublikowany).

4.5.4.2. Opracowanie modelu pikselowego detektora promieniowania z przeplotem.

W Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE od lat 90-tych XX w. prowadzone były prace w zakresie konstrukcji i technologii monolitycznych krzemowych detektorów promieniowania dla różnych zakresów energii fotonów. Duży nacisk położony był na opracowanie detektorów pozycyjnych: paskowych i pikselowych, w tym takich, w których odczytowi podlegały sygnały wyjściowe tylko z niektórych pikseli (ang. *readout pixels*) [59]. Pomiedzy regularnie rozłożonymi pikselami "odczytowymi" znajdowały się w większej liczbie takie same piksele "nieodczytowe" (ang. *interleaved pixels*). Uproszczony schemat takiego detektora jest przedstawiony na rys. 8a. Sygnały elektryczne pochodzące z obszarów zbierania nośników ładunku wygenerowanych w obszarze detekcji pikseli "nieodczytowych" były przenoszone do pikseli "odczytowych" poprzez pojemnościowe sprzężenia pomiędzy pikselami. Sprzężenia te były określone przez topografię detektora, m.in. przez odległości między pikselami oraz przez właściwości podłoża, w którym wytworzony był detektor. Analiza teoretyczna oraz eksperymenty wykazywały dobrą rozdzielczość takich detektorów mimo, że większość stanowiły piksele nie odczytowe. Przy użyciu takich detektorów prowadzone były eksperymenty polegające na oświetlaniu pikseli zarówno odczytowych jak i nie odczytowych światłem lasera w zakresie podczerwonym [60]. Doświadczenia wykazały prawidłowe działanie detektora.

Na potrzeby interpretacji wyników pomiarowych i do wspomagania projektowania takich wieloelementowych przyrządów autor opracował model obliczeniowy detektora w postaci sieci elementów dyskretnych reprezentujących sprzężenia pojemnościowe pomiędzy pikselami oraz upływności złączy p-n w pikselach. Na rys. 8b, c przedstawiono fragment zaproponowanego układu w rzutach "z boku" i "z góry". Elementy C_{nn} i C_{dn} oznaczają pojemności sprzęgające pomiędzy najbliższymi (*nearest neighbours* - nn) i diagonalnymi (*diagonal neighbours* - dn) sąsiadami. Konduktancje zastępcze G_{nd}

reprezentują polikrzemowe rezystory polaryzujące piksele potencjałem 0 V. Natomiast pary elementów zastępczych G_{bp} , C_{bp} reprezentują admittance zaporowo spolaryzowanych złączy p (piksel) / n (podłoże). W przypadku piksela dołączonego do układu odczytowego do odpowiedniego węzła jest dodatkowo dołączony schemat zastępczy tego układu w postaci sprzęgającej pojemności dielektryka oraz admittance wejściowej układu typu *sample-hold*. Pobudzenie wybranego piksela odczytowego/nie odczytowego światłem lasera pociągało za sobą generację ładunku w obszarze aktywnym piksela oraz jego rozchodzenie się do sąsiadujących pikseli i układu odczytowego. To pobudzenie było reprezentowane przez dołączenie do odpowiedniego węzła schematu impulsowego źródła prądowego. Parametry elementów w układzie zastępczym zostały określone w pracy [61].



Rys. 8 a) Rozmieszczenie pikseli w detektorze promieniowania działającego w trybie "z przeplotem"; fragmentu układu zastępczego do symulacji elektrycznej; b) widok "z boku", c) widok wyróżnionego węzła "z góry" [61].

Na bazie opracowanego schematu zastępczego zostały sformułowane równania opisujące działanie układu. Równania te zostały zaimplementowane w MS Excel VBA, tj. nie użyto do analizy programu klasy SPICE. Równania wychodziły z prawa Kirchhoffa. Dla k-tego piksela równania miały następujące postacie:

jeżeli był to piksel nieodczytowy:

$$-G_{gnd} \cdot v_k(t) + G_{bp} \cdot (V_{sub} - v_k(t)) + C_{bp} \cdot d(V_{sub} - v_k(t))/dt + \sum_l C_{n(d)n} \cdot d(v_l(t) - v_k(t))/dt = 0 \quad (32)$$

jeżeli był to piksel odczytowy:

$$-G_{gnd} \cdot v_k(t) + G_{bp} \cdot (V_{sub} - v_k(t)) + C_{bp} \cdot d(V_{sub} - v_k(t))/dt + \sum_l C_{n(d)n} \cdot d(v_l(t) - v_k(t))/dt + C_{ox} \cdot d(v_{k,sense}(t) - v_k(t))/dt = 0 \quad (33)$$

$$-G_{sense} \cdot v_{k,sense}(t) - C_{sense} \cdot dv_{k,sense}(t)/dt - C_{ox} \cdot d(v_{k,sense}(t) - v_k(t))/dt = 0 \quad (34)$$

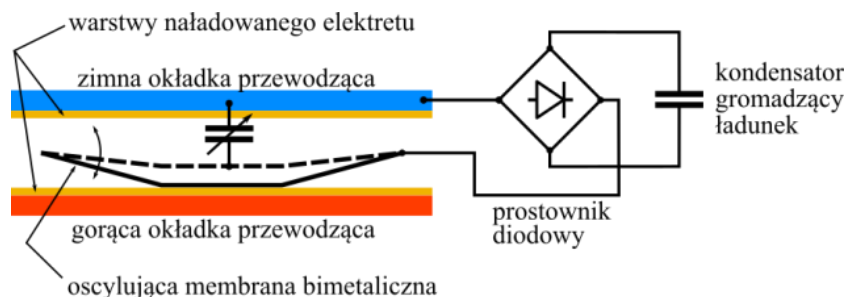
W równaniach (33), (34) zmienna $v_{k,sense}(t)$ oznacza potencjał na wejściu układu *sample-hold*. W równaniach (32), (33) indeks sumacyjny przebiegał po gałęziach z kondensatorami sprzęgającymi węzeł k-tego piksela z węzłami sąsiednich pikseli. Jeżeli k-ty piksel był oświetlany, wówczas równanie (32) lub (33) było modyfikowane przez dołączenie impulsowego źródła prądowego.

Za pomocą opracowanego modelu przeprowadzono liczne eksperymenty obliczeniowe. Ich wyniki były opisane w [61]. Wyniki analizy czasowej były poprawne w zakresie do ok. 200 ns od wystąpieniu pobudzenia. Po dłuższym czasie potencjały w węzłach schematu zastępczego zachowywały się niewłaściwie. Przyczyną było to, że prosty, pasywny schemat zastępczy nie umożliwiał po dłuższym czasie poprawnej symulacji działania układu *sample-hold*. Uzyskano także zgodne z eksperymentem rozkłady podziału ładunku pomiędzy pikselami przy skanowaniu liniiki pikseli promieniem lasera.

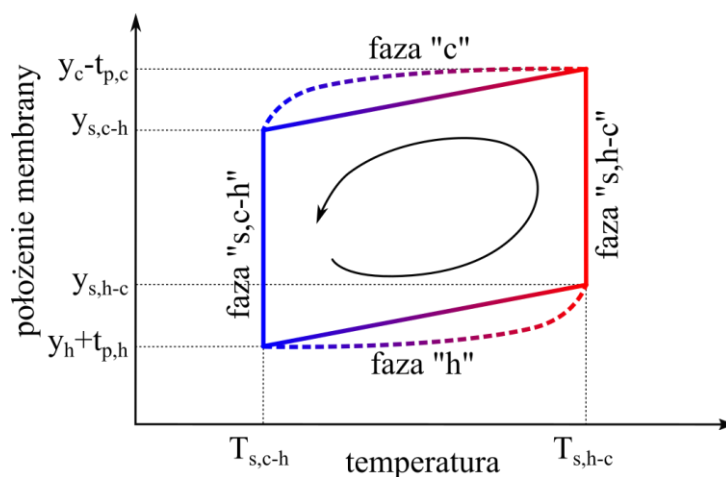
4.5.4.3. Opracowanie modelu odzyskiwania energii cieplnej za pomocą przetwornika elektrostatycznego i gromadzenia jej w postaci ładunku.

W Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE w latach 2013-2014 prowadzone były prace w zakresie konstrukcji urządzenia umożliwiającego odzyskiwanie rozpraszanej energii cieplnej (ang. *energy harvesting*), przetwarzanie jej na energię pola elektrycznego i gromadzenie jej w zewnętrznym kondensatorze. Koncepcja urządzenia była

przedstawiona w pracach [62, 63]. W ITE wykonany został demonstrator tego urządzenia [64, 65]. Schemat i zasada jego działania są przedstawione na rys. 9. Pomiędzy okładkami przewodzącymi gorącą i zimną, pokrytymi warstwami naładowanego elektretu (dielektryk o przenikalności dielektrycznej ϵ_e) znajdowała się bimetaliczna membrana. Membrana była pokryta warstwami parylenu (dielektryk o przenikalności dielektrycznej ϵ_p). Membrana była uformowana i zamocowana tak, że w stanie "naturalnym" jej "dno" znajdowało się w położeniu dolnym. Jeżeli wówczas stykało się z okładką gorącą (grzejnik), to po osiągnięciu odpowiednio wysokiej temperatury (faza grzania "h") następowała gwałtowna zmiana kształtu membrany, tj. przemieszczenie się "dna" w położenie górne (faza skoku grzejnik-chłodnica "s,h-c"), gdzie stykało się z okładką zimną (chłodnica). Po osiągnięciu odpowiednio niskiej temperatury (faza chłodzenia "c") następowało gwałtowne przemieszczenie się "dna" w położenie dolne (faza skoku chłodnica-grzejnik "s,c-h"), gdzie membrana zaczynała się nagrzewać i następował kolejny cykl ruchu membrany (rys. 10). W zależności od konstrukcji przetwornika (m.in. rozmiar i kształt membrany, materiał użyty jako elektret) częstotliwość oscylacji membrany wynosiła od ok. 0.5 Hz do ponad 2.5 Hz. Układ okładka-ruchoma membrana-okładka stanowił kondensator zmienny. Wymuszone cykliczne zmiany pojemności kondensatora powodowały indukowanie zmiennego ładunku na membranie i okładkach. Ładunek ten przepływał do obwodu zewnętrznego, którym był prostownik diodowy, na wyjściu którego znajdował się kondensator magazynujący ładunek/energię.



Rys. 9 Schemat urządzenia, w którym następuje odzyskiwanie energii cieplnej (wg. [63]).



Rys. 10 Zależność położenia bimetalicznej membrany od temperatury; linie pionowe oznaczają przeskok pomiędzy stabilnymi pozycjami przy chłodnicy i przy grzejniku; linią kreskowaną zaznaczono trajektorię membrany zbliżoną do rzeczywistości, natomiast odpowiednie linie ukośne odpowiadają przybliżeniu przyjętemu w modelu. Strzałka określa kolejność faz w cyklu grzanie-przeskok-chłodzenie-przeskok (wg [66], [67]).

W trakcie wielu eksperymentów z użyciem różnych membran, materiałów warstwy elektretu, a także typów prostownika i kondensatora magazynującego okazało się, że parametry przetwornika a także właściwości diod w prostowniku są istotne dla sprawności urządzenia. Na potrzeby interpretacji wyników pomiarowych i do wspomagania projektowania takich urządzeń autor opracował model typu "compact" całego systemu: przetwornik elektrostatyczny, prostownik, kondensator magazynujący [67]. Dla zbudowania modelu przetwornika niezbędne było połączenie opisów ruchu membrany w funkcji temperatury, zmienności temperatury w czasie w poszczególnych fazach ruchu membrany i indukowania ładunku na okładkach kondensatora. Ponadto dla symulacji elektrycznej całego urządzenia potrzebne było zastosowanie symulatora układów elektronicznych. Zastosowano do tego celu program Qucs (Quite Universal Circuit Simulator) [68]. Jest on nie tylko narzędziem EDA typu *open-source* do symulacji układów elektronicznych, wyposażonym w wygodny interfejs graficzny. Program Qucs jest też efektywnym narzędziem do modelowania p.p., wyposażonym w interfejs języka Verilog-A oraz w obiekty EDD (ang. *Equation-Defined Device*) umożliwiające implementację niestandardowych modeli wykorzystujących różne domeny w dziedzinie DC i czasu [69].

Model histerezy opisującej oscylacje membrany jest następujący. Założono, że w fazach przeskoku temperatura membrany jest stała i wynosi $T_{s,c-h}$ w fazie "s,c-h" i temperaturę $T_{s,h-c}$ w fazie "s,h-c". Założenie to wynika z tego, że przeskoki odbywają się z dużą stałą prędkością na małą odległość (kilka mm). Prędkości przeskoków wynoszą $v_{s,c-h}$ w fazie "s,c-h" oraz $v_{s,h-c}$ w fazie "s,h-c". W pracy [66] wykazano, że w tych fazach swobodna sprężysta blaszka bimetaliczna przemieszcza się podczas przeskoku z przyspieszeniem, jednak z powodów obliczeniowych w naszym modelu założono ruch jednostajny

membrany. Temperatury przeskoków spełniają warunek $T_{s,c-h} > T_c$ (temperatura chłodnicy) oraz $T_{s,h-c} < T_h$ (temperatura grzejnika). Założono także, że w fazach "h" i "c" zmiany temperatury odbywają się w czasie wykładniczo ze stałymi czasowymi τ_h , τ_c i dążą odpowiednio do temperatur T_h i T_c nie przekraczając temperatur przeskoków. Założono też (w celu zachowania zgodności z charakterystyką pętli histerezy, rys. 10), że w fazach "h" i "c" membrana przemieszcza się w funkcji temperatury. Przy w.w. warunkach temperatura, czas trwania faz i położenie membrany w fazach zostały opisane następująco:

W fazie "h" (początek fazy w chwili $t_0=0$)

$$T = (T_{s,c-h} - T_h) \cdot \exp(-(t - t_0)/\tau_h) + T_h \quad (35a)$$

$$\Delta t_h = \tau_h \cdot \ln((T_h - T_{s,c-h})/(T_h - T_{s,h-c})) \quad (35b)$$

$$y = (y_h + t_{p,h}) + [(y_{s,h-c} - (y_h + t_{p,h})) / (T_{s,h-c} - T_{s,c-h})] \cdot (T - T_{s,c-h}) \quad (35c)$$

W fazie "s,h-c" (początek fazy w chwili $t_1=t_0+\Delta t_h$)

$$T = T_{s,h-c} \quad (36a)$$

$$\Delta t_{s,h-c} = ((y_c - t_{p,c}) - y_{s,h-c}) / v_{s,h-c} \quad (36b)$$

$$y = y_{s,h-c} + v_{s,h-c} \cdot (t - t_1) \quad (36c)$$

W fazie "c" (początek fazy w chwili $t_2=t_1+\Delta t_{s,h-c}$)

$$T = (T_{s,h-c} - T_c) \cdot \exp(-(t - t_2)/\tau_c) + T_c \quad (37a)$$

$$\Delta t_c = \tau_c \cdot \ln((T_{s,h-c} - T_c) / (T_{s,c-h} - T_c)) \quad (37b)$$

$$y = (y_c - t_{p,c}) + [(y_{s,c-h} - (y_c - t_{p,c})) / (T_{s,c-h} - T_{s,h-c})] \cdot (T - T_{s,h-c}) \quad (37c)$$

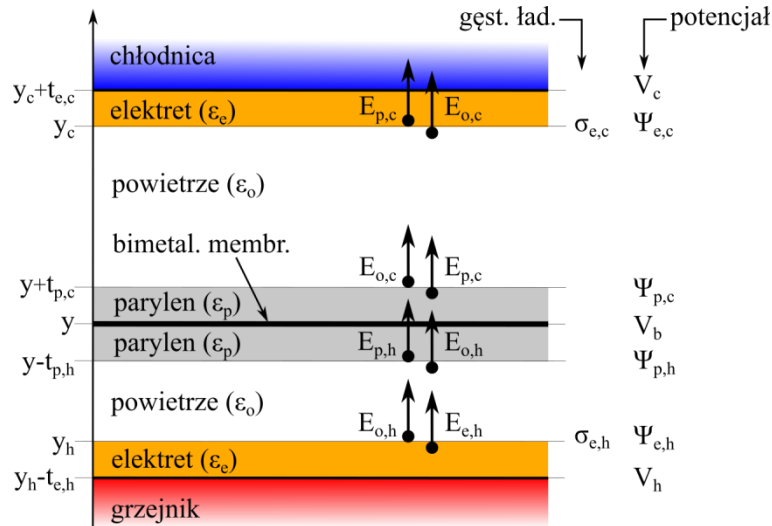
W fazie "s,c-h" (początek fazy w chwili $t_3=t_2+\Delta t_c$)

$$T = T_{s,c-h} \quad (38a)$$

$$\Delta t_{s,c-h} = (y_{s,c-h} - (y_h + t_{p,h})) / v_{s,c-h} \quad (38b)$$

$$y = y_{s,c-h} - v_{s,c-h} \cdot (t - t_3) \quad (38c)$$

Dla znanego w chwili t położenia membrany można wyznaczyć gęstości powierzchniowe ładunków na okładkach kondensatora: gorącej q_h , zimnej q_c i membranie q_b . Podstawą jest model elektrostatyczny układu warstw w przetworniku przedstawiony na rys. 11.



Rys. 11 Model przetwornika elektrostatycznego (układu grzejnik pokryty elektretem-powietrze-membrana pokryta parylenem-powietrze-chłodnica pokryta elektretem) do wyznaczenia zależności ładunku na okładkach przetwornika od położenia membrany [67].

Przy wykorzystaniu warunków brzegowych na granicach między warstwami zostały wyprowadzone zależności (39), (40), (41) opisujące zmienne q_h , q_c i q_b .

$$q_h = -((1/C_{o,h} + 1/C_{p,h}) \cdot \sigma_{e,h} + V_b - V_h) / (1/C_{o,h} + 1/C_{e,h} + 1/C_{p,h}) \quad (39)$$

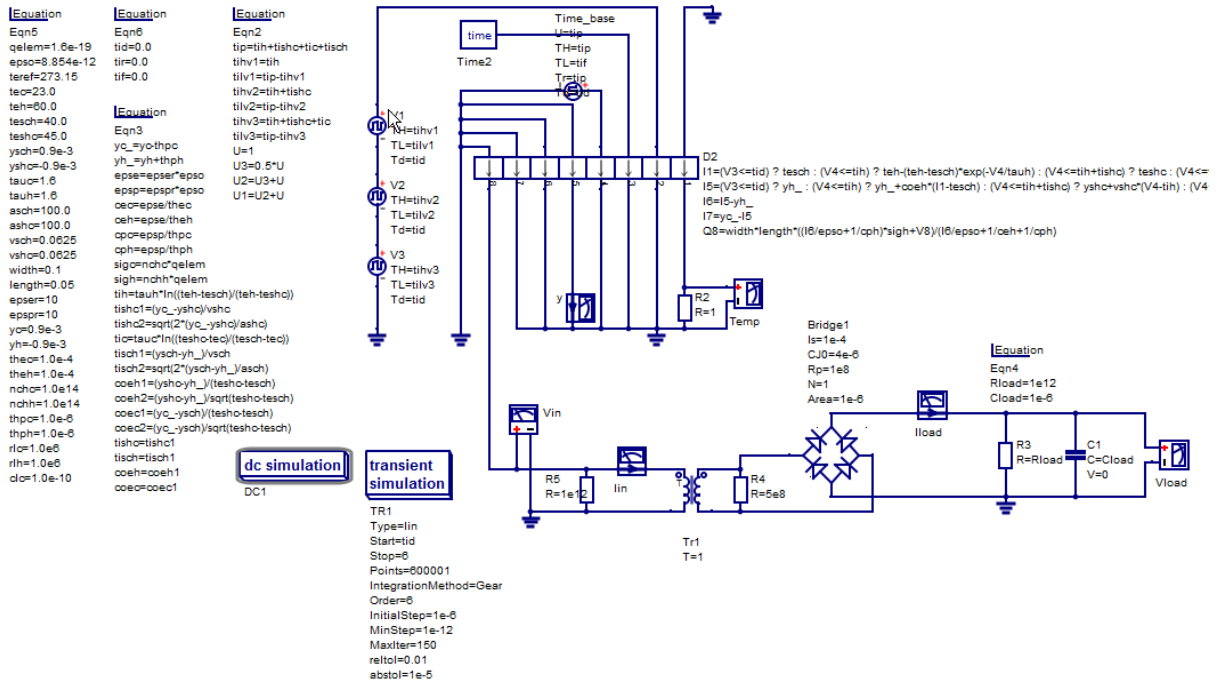
$$q_c = -((1/C_{o,c} + 1/C_{p,c}) \cdot \sigma_{e,c} + V_b - V_c) / (1/C_{o,c} + 1/C_{e,c} + 1/C_{p,c}) \quad (40)$$

$$q_b = -q_h - q_{bc} \quad (41)$$

gdzie $C_{o,h/c}$, $C_{p,h/c}$, $C_{e,h/c}$ oznaczają pojemności na jednostkę powierzchni różnych warstw w przetworniku.

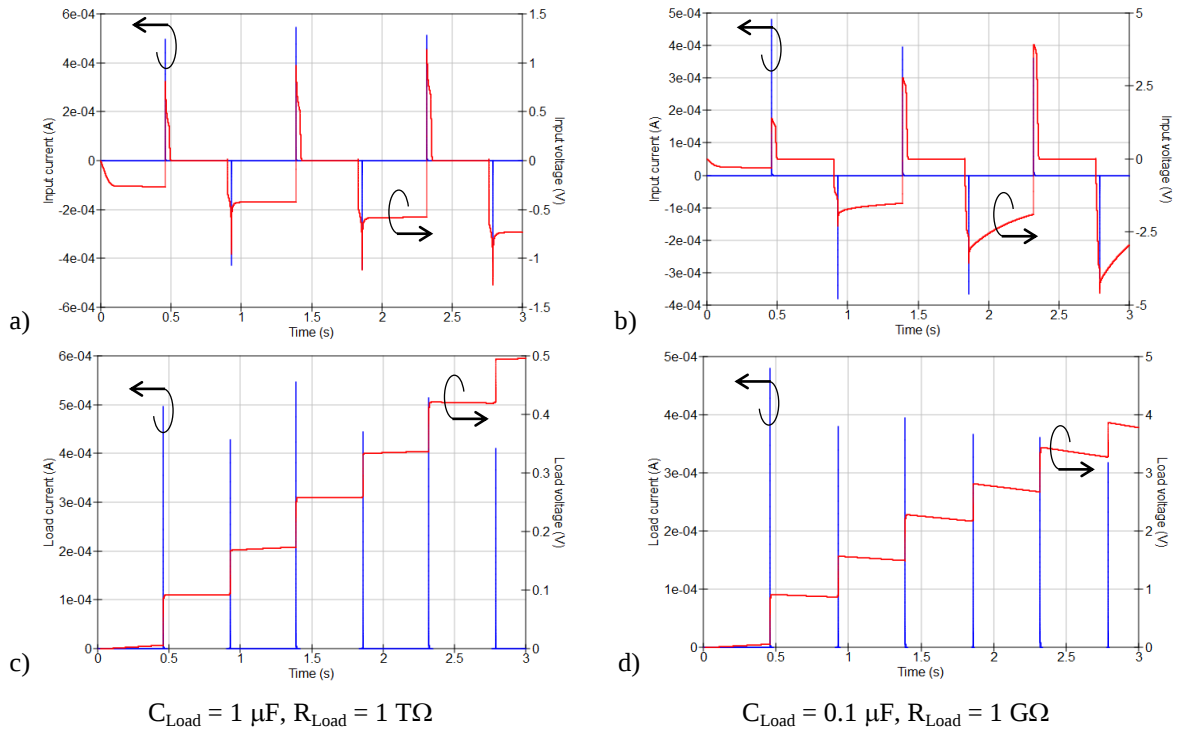
$$C_{o,h} = \varepsilon_o / (y - t_{p,h} - y_h), \quad C_{o,c} = \varepsilon_o / (y_c - y - t_{p,c}), \quad C_{e,h/c} = \varepsilon_e / t_{e,h/c}, \quad C_{p,h/c} = \varepsilon_p / t_{p,h/c} \quad (42)$$

Prądy wypływające z okładek są pochodnymi (ze znakiem "-") ładunków indukowanych na okładkach zmiennego kondensatora. Płyną one do zewnętrznego obwodu. Schemat zastępczy tego obwodu w środowisku programu Qucs jest przedstawiony na rys.12. Omówiony powyżej model przetwornika został zaimplementowany jako obiekt D2 klasy EDD. Cechą charakterystyczną obiektów EDD jest to, że z każdą ich gałęzią jest związany prąd DC oraz ładunek, które mogą zależeć od wielkości w innych gałęziach. W czasie analizy czasowej ładunki są automatycznie różniczkowane względem czasu. W ten sposób w symulacjach były obliczane prądy wypływające z przetwornika. Parametry i równania opisane wcześniej zostały zapisane w obiektach typu EQUATION oraz w definicji obiektu D2. Na schemacie widoczny jest także blok prostownika oraz



Rys. 12 Schemat układu w programie Qucs do symulacji działania urządzenia do odzyskiwania energii cieplnej za pomocą przetwornika elektrostacyjnego [67]; obiekt D2 klasy EDD reprezentuje przetwornik elektrostacyjny.

prąd płynący z przetwornika,
nap na wyjściu przetwornika
prąd płynący do kondensatora,
napięcie na obciążeniu



Rys. 13 Przebiegi prądu i napięcia: a, b) w obwodzie wejściowym (przed układem prostującym), c, d) w obwodzie kondensatora magazynującego dla dwóch różnych typów kondensatora magazynującego: a, c) duża pojemność, mała upływność, b, d) mała pojemność, duża upływność [67].

kondensatora do magazynowania ładunku. Parametry tych elementów (np. pojemności, prąd nasycenia diod) a także elementów pasywnych (np. konduktancji upływu) były również dostępne dla użytkownika. Dla omówionego układu przeprowadzono symulacje z użyciem różnych wartości parametrów przetwornika, prostownika i kondensatora. Powiększyły one możliwości interpretacji wyników eksperymentalnych. Przykładowe wyniki symulacji są przedstawione na rys.13.

4.5.5. Zastosowanie modeli typu "compact" w charakteryzacji przyrządów półprzewodnikowych wytwarzanych w procesie CMOS oraz innych technologiach mikroelektronicznych.

Jest to dziedzina, w której autor niniejszego opracowania uczestniczył w najszerszym zakresie ze względu na zadania realizowane w Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych ITE, w którym jest umiejscowiona doświadczalna linia technologiczna. W tej części opracowania zostaną omówione wybrane zagadnienia dotyczące projektowania struktur testowych oraz metod ekstrakcji parametrów przyrządów półprzewodnikowych na potrzeby charakteryzacji procesów technologicznych oraz projektowania układów scalonych. Metody ekstrakcji są pogrupowane wg zakresu danych, na podstawie których określone są interesujące parametry.

4.5.5.1. Opracowanie struktur testowych do charakteryzacji procesów technologicznych i przyrządów półprzewodnikowych.

Projektowanie struktur testowych (s.t.) jest jednym z kluczowych przedsięwzięć na etapie opracowania procesu technologicznego (p.t.). Zadania s.t. są wymienione w Tabeli 2. Struktury próbne są wykorzystywane intensywnie także w kolejnych fazach życia technologii. Różne aspekty projektowania technologicznych i konstrukcyjnych s.t. są omówione w obszernych opracowaniach takich jak [12, 70, 71].

Tabela 2. Zestawienie typowych elementów technologicznych struktur testowych

Obiekt charakteryzacji \ Cel charakteryzacji	Charakteryzacja materiału	Charakteryzacja warstw	Charakteryzacja przyrządów	Charakteryzacja wzajemnego oddziaływania przyrządów
Płytki Si	rezystywność, ruchliwość nośników	×	×	×
Rezystor dyfuzyjny, polikrzemowy		rezystancja warstwowa	parametry modeli rezystorów i grup rezystorów	×
Cewka indukcyjna cienkowarstwowa	×	×	indukcyjność własna	indukcyjność wzajemna
Kondensator	czas życia nośników, koncentracja domieszki w podłożu	grubość warstw dielektrycznych	różnica prac wyjścia; ładunki w strukturze MOS/MIS	×
Dioda	czas życia w obszarze przyłączeniowym, koncentracja domieszki w obszarze bazy	×	parametry złączy p-n i grup złączy p-n:	×
Dioda z bramką	czas życia w obszarze przyłączeniowym czas życia pod warstwą dielektryka koncentracja domieszki w podłożu pod złączem i pod bramką	grubość warstw dielektrycznych, szybkość generacji powierzchniowej	×	×
Tranzystor MOS	koncentracja domieszki w podłożu pod złączem i pod bramką	grubość warstw dielektrycznych	parametry modeli tranzystorów MOS i grup tranzystorów MOS	parametry charakteryzujące efekty "krótkiego kanału", "latch-up" i inne określające reguły projektowania
Grupy tranzystorów MOS; Grupy komórek u.s.	×	×	charakterystyki rozkładów statystycznych parametrów tranzystorów MOS	×

Każdy element s.t. winien być przeznaczony do określania pewnych parametrów charakteryzujących technologię. Parametrami tymi mogą być rezystancje ścieżek, kontaktów i ich łańcuchów, pojemności między określonymi ścieżkami lub warstwami przewodzącymi oddzielonymi obszarami izolacji, indukcyjności ścieżek przewodzących (Tabela 2). Te parametry "proste" są określane wprost na etapie elektrycznych pomiarów elementów testowych. Często jednak, na skutek tego, że elementy testowe są zbudowane na wspólnym podłożu krzemowym, charakterystyki określające te parametry są powiązane z charakterystykami innych elementów testowych lub z charakterystykami, których źródłem są inne części danego elementu testowego. Wówczas konieczne jest wyłuskanie interesujących danych poprzez zastosowanie rozwiązań pomiarowych (warunki pomiaru: temperatura, sposób połączenia, zakres wymuszeń elektrycznych) lub poprzez zastosowanie procedur ekstrakcji poszukiwanych parametrów na podstawie zmierzonych charakterystyk elektrycznych.

Autor uczestniczył w projektowaniu struktur testowych przeznaczonych do charakteryzacji kilku różnych procesów technologicznych w dziedzinie mikroelektroniki. Głównym przedmiotem tych prac było przygotowanie specyfikacji metod ekstrakcji parametrów technologii na podstawie pomiarów elementów testowych oraz opracowanie odpowiednich procedur testowania. Jako przykład zostaną pokrótce opisane dwa projekty: struktura testowa dla procesu CMOS o wymiarze krytycznym 3 μm z jednym poziomem polikrzemu i dwoma poziomami metalizacji oraz struktura póna dla technologii wytwarzania krzemowych czujników naprężeń, wyposażonych w płytkie ścieżki dyfuzyjne typu p działające jako piezorezystory.

A. Struktura testowa dla charakteryzacji technologii CMOS.

W latach 2000-2004 zespół Zakładu Technologii Mikrosystemów i Nanostruktur Krzemowych ITE uczestniczył w projekcie "Silicon Ultra fast Cameras for electron and gamma sources In Medical Applications - SUCIMA" realizowanym w ramach 5. Programu Ramowego UE [72]. Zadaniem zespołu ITE było opracowanie technologii wytwarzania monolitycznych krzemowych detektorów promieniowania jonizującego [73, 74, 75]. Zadanie to było wykonywane w ścisłej współpracy z zespołem badawczym AGH (m.in. prof. W. Kuciewicz, dr H. Niemiec). Konstrukcja detektorów składających się z matrycy komórek (każda z nich zawierała detekujące złącze p-n z jednotranzystorowym układem wzmacniającym i układem reset) oraz układów peryferyjnych (zasilanie, sterowanie, akwizycja danych) została opracowana przez zespół AGH [76]. Nowatorski wówczas projekt polegał na wykorzystaniu płytek SOI z wysokorezystywnym podłożem. W górnej cienkiej warstwie krzemu zaprojektowano i wytworzono bloki CMOS, tj. tranzystory wzmacniające i tranzystory reset w komórkach detektora oraz układy peryferyjne. W podłożu płytki SOI zaprojektowano i wytworzono detekujące złącza p-n. W detektorze spolaryzowanym zaporowo napięciem ok. 60 V podłoże było całkowicie zubożone. W ten sposób na jednej płytce SOI zintegrowano części cyfrową, niskonapięciową z częścią analogową, wysokonapięciową. Wcześniej (nie licząc jednego nieudanego eksperymentu) takie rozwiązanie nie było znane. Zamiast niego stosowano łączenie (metodą *flip-chip*) dwóch płytek krzemowych z osobno wytworzonymi częściami detektora. Nowatorskie rozwiązanie było jednak bardzo wymagające z punktu widzenia technologii. Krytyczne było rozwiązanie następujących zagadnień:

- wytworzenie złączy p-n wysokiej jakości (niski prąd ciemny złączy, wysoka wartość napięcia przebicia, kontakt omowy na spodzie płytki pozbawiony defektów będących źródłem upływności detektora),
- zapewnienie jednorodnych charakterystyk złączy na całej powierzchni płytki Si (na płytce o średnicy 100 mm znajdowały się cztery kompletne detektory),
- zapewnienie dobrego połączenia elektrycznego z układami w górnej warstwie płytki,
- zintegrowanie procesów wytwarzania obu części detektora (wspólny tzw. budżet termiczny).

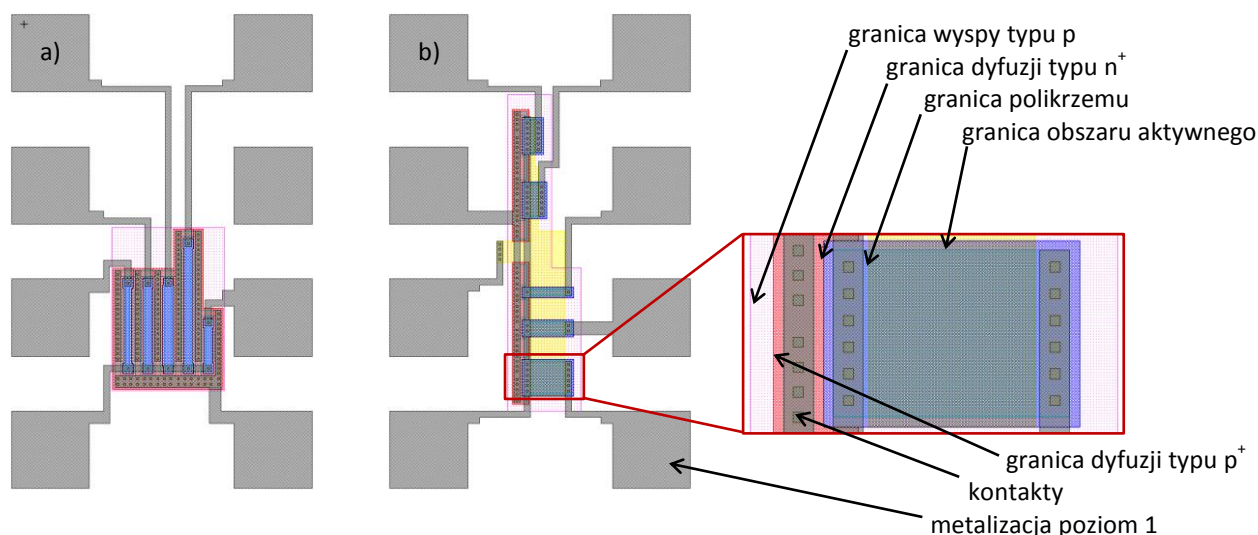
Tak więc technologia i projekt detektora stawiały wysokie wymagania. Konieczne było zaprojektowanie i wytworzenie serii struktur testowych do charakteryzacji i diagnostyki procesu technologicznego oraz ekstrakcji parametrów modeli tranzystorów MOS dla projektu detektora.

Struktura testowa TSSOI (mgr inż. M. Grodner - ITE, [77]) opracowana przy udziale autora zawierała m.in. następujące elementy:

- meandry ścieżek przewodzących nad ścieżkami przewodzącymi innego rodzaju do testowania ciągłości ścieżek i ew. upływności między nimi;
- łańcuchy kontaktów n^+ , p^+ do testowania powtarzalności kontaktów i ciągłości ścieżek metalizacji dochodzącej do kontaktów;
- typoszeregi rezystorów dyfuzyjnych typu n^+ , p^+ , p, rezystorów polikrzemowych typu n^+ , p^+ do określania rezystancji warstwowej ścieżek R_s i zmiany wymiarów ścieżek w porównaniu projektem;
- pary kondensatorów MOS do określania elektrofizycznych parametrów struktur MOS; pary kondensatorów z międzymetalicznymi warstwami dielektrycznymi do określania grubości i upływności warstw dielektrycznych;
- pary diod n^+-p , p^+-n , p-n do charakteryzacji odpowiednich złączy za pomocą pomiarów charakterystyk $I(V)$, $C(V)$;
- typoszeregi standardowych tranzystorów NMOS i PMOS do ekstrakcji parametrów tranzystorów dla potrzeb charakteryzacji p.t. oraz projektowania u.s.;
- typoszeregi tranzystorów NMOS i PMOS do ekstrakcji parametrów charakteryzujących rozrzuty lokalne napięcia progowego tranzystorów MOS (ang. *mismatch*); zagadnienie to jest opisane w p. 4.5.5.5;
- typoszeregi tranzystorów NMOS i PMOS o konstrukcji grzebieniowej, tj. o rozwiniętej szerokości lub długości do ekstrakcji pasywnych pojemności zakładek bramki;
- diody typu piksel (w podłożu płytki SOI) do charakteryzacji złączy p-n w wysokorezystywnym krzemie przy polaryzacji w kierunku zaporowym (typowym dla pracy złączy w układzie detektora);

- łańcuch diod typu piksel połączonych ścieżkami metalizacji na powierzchni płytki do testowania ciągłości i niezawodności połączeń przez głębokie "via" wytworzone przez pasywację, górną warstwę Si i warstwę tlenku zagrzebanego BOX.

Elementy/zespoły elementów w strukturze TSSOI zostały zorganizowane jako moduły wyposażone w osiem pól montażowych (ang. *pads*) służących jako pola kontaktowe do pomiarów ostrzowych (rys. 14). Układ pól montażowych był stały, co umożliwiało prowadzenie pomiarów automatycznych elementów testowych. Służyło do tego stanowisko złożone z półautomatycznego probera ELECT-2002 i systemu pomiarowego Keithley 93 I-V, opisane w p. 4.5.6. Konsekwencją zastosowania stałego układu padów w modułach struktury testowej była konieczność rozmieszczenia elementów o dużych rozmiarach poza obrysem padów. Taka sytuacja miała miejsce m.in. w przypadku łańcucha diod typu piksel połączonych ścieżkami metalizacji lub dwuelementowych zestawów kondensatorów różnych typów i diod różnych typów do ekstrakcji parametrów modeli DC i AC przyrządów półprzewodnikowych wytwarzanych w procesie CMOS.



Rys.14 Przykładowe moduły w strukturze testowej TSSOI (pokazane tylko niektóre poziomy projektu): a) moduł rezystorów dyfuzyjnych typu n+, b) moduł dużych tranzystorów NMOS [77].

Na bazie wcześniejszych prac oraz dostępnych opracowań [44, 70, 78, 79, 80, 81, 12, 7] autor opracował metodykę ekstrakcji parametrów p.p. Została ona wdrożona do użytku w charakteryzacji technologii wytwarzania monolitycznych detektorów promieniowania wytwarzanych w ITE na płytkach SOI. Zastosowane metody charakteryzacji były rozwijane i uzupełniane o nowe rozwiązania. Niektóre wyniki tych prac są omówione w następnych punktach tego opracowania. Na bazie struktury TSSOI powstały inne jej warianty przeznaczone do charakteryzacji technologii CMOS o wymiarze krytycznym 3 μm stosowanej w ITE. Nie zawierały one elementów do charakteryzacji/diagnostyki złączy p-n w podłożu płytki SOI. Ponadto zmodyfikowano wymiary kanału niektórych tranzystorów w typoszerzegach dla mniejszych rozmiarów. W jednym z wariantów struktury zostały znacznie rozbudowane typoszerzgi tranzystorów NMOS, PMOS położonych blisko siebie i różnie względem siebie zorientowanych. Celem zaprojektowania tych modułów było utworzenie narzędzi do badania rozrzutów lokalnych napięcia progowego i kilku innych parametrów modeli "compact" tranzystorów MOS.

B. Struktura testowa dla charakteryzacji technologii wytwarzania krzemowych piezorezystywnych czujników naprężeń.

Ścieżki dyfuzyjne typu p są podstawowymi elementami krzemowych monolitycznych czujników naprężeń [82, 83]. Czujniki te są wykonywane w postaci mostków Wheatstone'a, wytworzonych u podstawy mikrobłki krzemowej lub przy krawędzi mikromembrany, tj. w strefie występowania największych naprężeń. Mostki te składają się z czterech teoretycznie identycznych rezystorów, z których dwa są zorientowane tak, że w obecności naprężeń ulegają odkształceniom. Zmiana ich rezystancji pod wpływem naprężeń (efekt piezorezystancyjny) powoduje odchylenie zasilanego mostka od równowagi i zaindukowania napięcia wyjściowego. Czujniki oparte na piezorezystorach powinny wykazywać liniowość, niskie napięcie niezerównoważenia (ang. *offset*), wysoką stabilność w czasie, niską czułość na zmiany temperatury, niski poziom szumów, zwłaszcza typu 1/f.

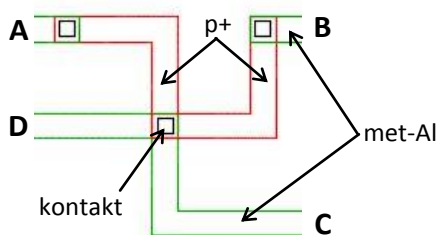
Czułość czujników piezorezystancyjnych jest ściśle związana z grubością piezorezystorów i powierzchniową koncentracją boru w rezystorach. Niezerównoważenie czujnika wynika z niewielkich różnic między rezystorami w ramionach mostka. Wpływ na nie mają: rozrzut koncentracji domieszek w ścieżkach dyfuzyjnych, różnice między efektywnymi (elektrycznymi) szerokościami rezystorów, różnice rezystancji kontaktów, prądy upływu złączy p-n. Szumy w czujniku oraz stabilność jego charakterystyki przy zmianach w temperaturze i w czasie wynikają z jakości kontaktów, zjawisk powierzchniowych, ładunków w dielektryku na powierzchni krzemu.

Czujniki MEMS wyposażone w piezorezystywne mostki Wheatstone'a były konstruowane w ITE od wielu lat. Ścieżki piezorezystywne były wytwarzane za pomocą implantacji jonów [84]. Proces domieszkowania i operacja wygrzewania poimplantacyjnego silnie wpływają na charakterystykę czujnika. Piezorezystory tak wytwarzane charakteryzowały się dużą

głębokością złącza p-n, rzędu $1.5\ \mu\text{m}$, co negatywnie wpływało na efekt piezorezystancyjny. Dlatego podjęto w ITE prace nad opracowaniem technologii wytwarzania płytowych piezorezystorów z wykorzystaniem tzw. implantacji plazmowej oraz poimplantacyjnego wygrzewania typu RTA (ang. *rapid thermal annealing*), która umożliwia wytworzenie złączy p-n o głębokości $0.1\div 0.2\ \mu\text{m}$. Autor uczestniczył w opracowaniu struktury testowej [85], która będzie służyć jako narzędzie do charakteryzacji i diagnostyki technologii wytwarzania piezorezystorów z użyciem implantacji wiązkowej i immersyjnej.

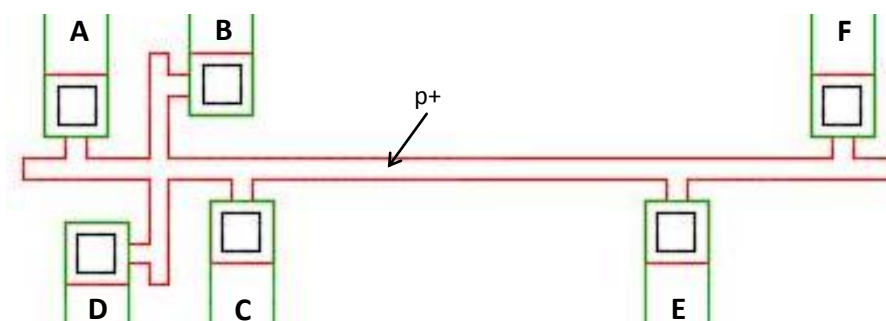
Przy konstruowaniu elementów s.t. wykorzystano zalecenia sformułowane w [86, 87]. Zaproponowano procedury ekstrakcji parametrów modeli typu "compact" opisujących działanie poszczególnych elementów s.t. W skład struktury wchodzi m.in. następujące elementy:

- ścieżka metalizacji w formie meandra do pomiaru rezystancji i ekstrakcji rezystancji warstwowej metalizacji metodą Kelvina;
- zestaw struktur Kelvina różniących się rozmiarami kontaktów (9, 6, $4.5\ \mu\text{m}$) do pomiaru charakterystyk $I(V)$ i rezystancji kontaktów oraz oszacowania minimalnego rozmiaru kontaktu dla danego p.t. wytwarzania piezorezystorów (rys. 15);



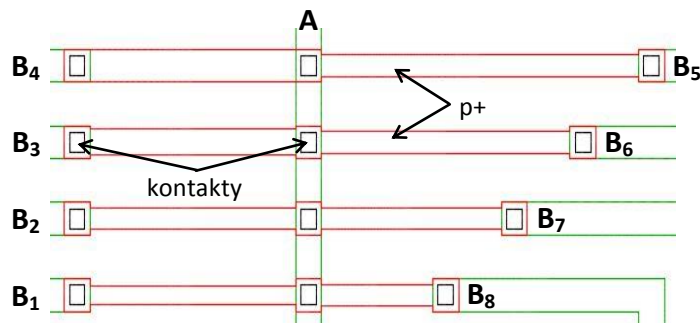
Rys.15 Struktura Kelvina do pomiaru rezystancji kontaktu $R_{c,p+}$ [85].

- zestawy struktur typu *cross-bridge* na bazie ścieżek typu p (piezorezystory) i p^+ (kontakty) do pomiaru rezystancji warstwowej ścieżek oraz zmiany szerokości ścieżek względem projektu (rys. 16); przyrządy te łączą w sobie struktury Van der Pauwa (pola A-D) oraz Kelvina (pola A, C, E, F); zaletą tych przyrządów jest możliwość porównania rezystancji warstwowych określonych za pomocą pomiarów struktur Van der Pauwa i Kelvina, natomiast porównanie pomiarów par przyrządów *cross-bridge* umożliwia wyznaczenie zmiany szerokości ścieżek względem projektu;



Rys.16 Przyrząd typu *cross-bridge* do ekstrakcji parametrów ścieżek p^+ : rezystancji warstwowej R_{s,p^+} , zmiany szerokości ścieżki ΔW_{p^+} (przy zastosowaniu dwóch elementów o różnych szerokościach ścieżek) [85].

- zestawy rezystorów typu p (piezorezystory) i p^+ (kontakty) o różnych szerokościach i długościach do pomiaru rezystancji warstwowej ścieżek, zmiany szerokości ścieżek względem projektu i rezystancji kontaktów (rys. 17);



Rys. 17 Moduł rezystorów o różnych wymiarach do ekstrakcji parametrów ścieżek p^+ : rezystancji kontaktów R_{c,p^+} , rezystancji warstwowej R_{s,p^+} , zmiany szerokości ścieżki ΔW_{p^+} [85].

Zaprojektowana struktura testowa zawiera także elementy do charakteryzacji piezorezystancyjnych mostków Wheatstone'a oraz typowe elementy do charakteryzacji p.t. dla wytworzenia złączy p-n, tj. kondensatory MOS nad obszarami o różnym typie przewodnictwa (n, p, p^+) oraz diody (p-n, p^+-n) do pomiaru charakterystyk I-V (zwłaszcza w zakresie polaryzacji zaporowej) oraz C-V. W.w. elementy testowe zostały pogrupowane w moduły umożliwiające pomiary przy użyciu karty ostrzowej. Ważną

cechą opracowanej s.t. jest uwzględnienie różnych elementów, których pomiary umożliwiają wzajemne weryfikowanie wyników ekstrakcji poszukiwanych parametrów.

Jak ilustrują dwa powyższe przykłady, konstrukcja elementów w s.t. lub ich typoszeregów jest oparta na założeniu, że charakterystyki elektryczne tych elementów dają się przybliżyć pewnym modelem typu "compact". Pomiary elektryczne pozwalają wyznaczyć parametry tych modeli. W następnym rozdziale omówiono grupy metod ekstrakcji kompaktowych modeli p.p. i podano przykłady.

4.5.5.2. Lokalne metody ekstrakcji parametrów modeli przyrządów półprzewodnikowych.

Lokalne metody ekstrakcji parametrów modeli przyrządów półprzewodnikowych są podstawowym narzędziem do charakteryzacji procesów technologicznych. Są to metody nieskomplikowane obliczeniowo, łatwe w implementacji oraz dające wyniki, którym można w prosty sposób nadać interpretację fizyczną. Metody te są typowo przeznaczone do określania parametrów prostych modeli typu "compact" p.p. Wśród przykładów podanych poniżej są także metody opracowane w ITE przy udziale autora niniejszego opracowania.

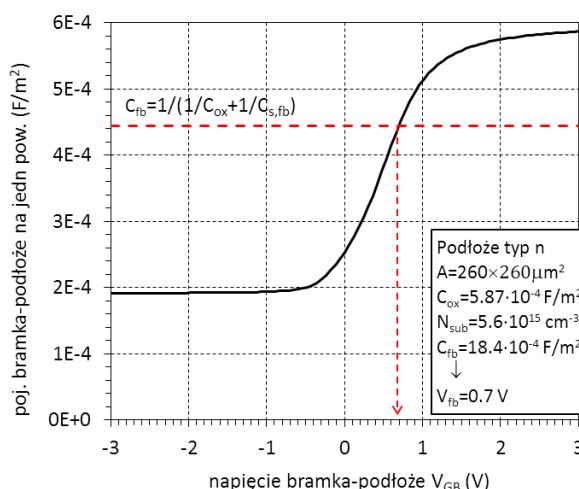
A. Metody wykorzystujące informację w pojedynczym punkcie charakterystyki elektrycznej przyrządu półprzewodnikowego.

Metody te są predestynowane do zastosowania w masowych pomiarach parametrycznych p.p. / s.t. Operują one na indywidualnym przyrządzie testowym, tj. nie wymagają pomiaru charakterystyk elektrycznych grupy elementów. Dla badanego elementu wykorzystana jest pojedyncza dana. Może to być wynik pojedynczego pomiaru lub jeden punkt zmierzonej charakterystyki elektrycznej. Przykłady takich metod są następujące.

A.1. Określanie rezystancji rezystorów monolitycznych na płytkach Si przy zastosowaniu formuły $R=V/I$, gdzie (V, I) jest arbitralnie wybranym punktem charakterystyki I(V) rozpatrywanego rezystora. Metoda ta bazuje na prostym modelu rezystora; istotnym założeniem w tej metodzie jest liniowy przebieg charakterystyki I(V) rezystora.

A.2. Określanie napięcia progowego tranzystora MOS V_{th} na podstawie definicji technicznej, wg której napięcie progowe tranzystora jest taką wartością napięcia bramka-źródło V_{GS} , przy którym dla małej wartości napięcia dren-źródło V_{DS} (np. 50 mV) prąd drenu tranzystora skalowany względem stosunku szerokości i długości kanału W/L wynosi 10^{-7} A. W potocznym rozumieniu warunek ten odpowiada "otwarcu" się kanału tranzystora. Metoda ta bazuje na prostym modelu DC tranzystora MOS [88]. Należy jednak dodać, że wymaga ona informacji o efektywnych szerokości W i długości L kanału tranzystora MOS. W przypadku przyrządów o małych rozmiarach mogą one istotnie różnić się od wartości nominalnych. Ponadto istotnym założeniem w tej metodzie jest liniowy przebieg charakterystyki $I_D(V_{GS})$ dla małej wartości napięcia dren-źródło V_{DS} .

A.3. Określanie napięcia płaskich pasm V_{fb} struktury MIS (ang. Metal-Insulator-Semiconductor) jako wartość napięcia bramka-podłoże V_{GB} w kondensatorze MIS, która odpowiada określonej teoretycznie pojemności bramka-podłoże w stanie płaskich pasm C_{fb} . Pojemność C_{fb} jest określona zależnością $C_{fb}=1/(1/C_{ox}+1/C_{s,fb})$, gdzie $C_{s,fb} = \epsilon_s/L_D$, L_D - długość drogi Debye [6]. Metoda ta bazuje na prostym modelu AC kondensatora MOS oraz nie uwzględnia wpływu pułapek i stanów powierzchniowych, których ładunek zależy od potencjału powierzchniowego w strukturze MIS. Trzeba dodać, że metoda ta wymaga nie tylko pomiaru charakterystyki $C_g(V_{GB})$ kondensatora, z której następnie wyłuskivany jest pojedynczy punkt (V_{fb} , C_{fb}), ale wymaga także informacji o grubości dielektryka bramkowego oraz koncentracji domieszki w podłożu kondensatora. Oba te parametry można określić na podstawie innych fragmentów zmierzonej charakterystyki $C_g(V_{GB})$. Działanie metody jest zilustrowane na rys.18.



Rys. 18 Ilustracja metody ekstrakcji napięcia płaskich pasm V_{fb} w strukturze MOS z podłożem typu n oraz bramką polikrzemową typu n na podstawie wyznaczonej wartości pojemności w stanie płaskich pasm C_{fb} .

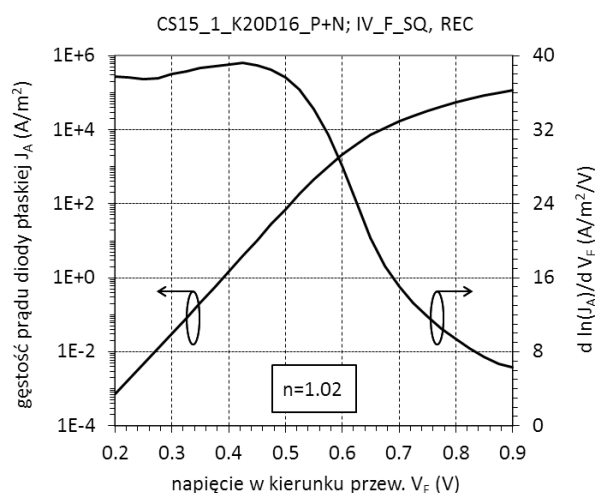
W literaturze przedmiotu (np. [12, 70]) przytaczane są jeszcze inne jednopunktowe metody charakteryzacji przyrządów półprzewodnikowych. Można jednak stwierdzić, że w wielu przypadkach wymagają one informacji uzupełniających. Ponadto

ich wspólną cechą jest silne założenie, że odpowiednia charakterystyka elektryczna danego p.p. jest prawidłowa, tj. zgodna z modelem nie tylko w punkcie, stanowiącym podstawę ekstrakcji danego parametru, ale także w jego sąsiedztwie. Przykładowo, zakłada się, że charakterystyka $I(V)$ rezystora jest liniowa oraz, że przechodzi one przez punkt $(0,0)$. Podobnie, zakłada się, że charakterystyka $C_g(V_{GB})$ kondensatora MIS ma przebieg zgodny z teorią. Jeżeli te warunki nie są spełnione, to wynik uzyskany na podstawie wyizolowanego punktu zmierzonej charakterystyki p.p. może być fałszywy. Dlatego w celu zwiększenia wiarygodności lokalna ekstrakcja parametrów winna być oparta na większych zbiorach punktów. Może to być realizowane na kilka sposobów.

B. Metody wykorzystujące ekstremum pochodnej charakterystyki elektrycznej przyrządu półprzewodnikowego.

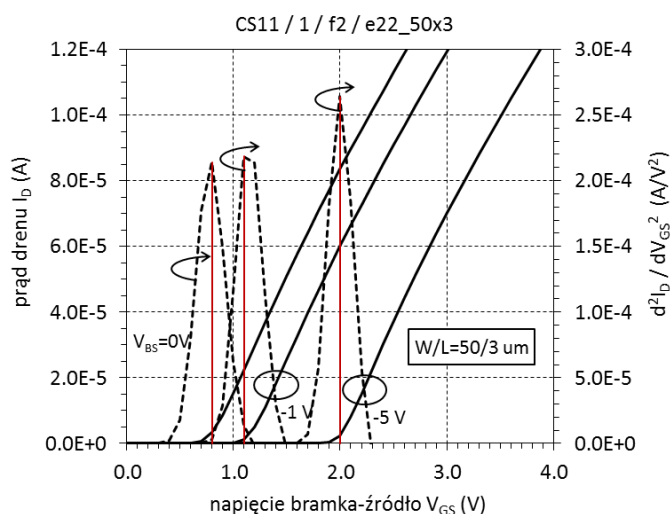
W tym punkcie zostaną podane przykłady metod, które wykorzystują ekstrema (typowo maksima) pochodnymi charakterystyk pierwotnych (tj. zmierzonych) danego p.p. Wyznaczanie pochodnych oraz wyszukiwanie ich ekstremum angażuje więcej niż jeden punkt charakterystyk pierwotnych. Zatem w rzeczywistości metody te wykorzystują informację zawartą w podzbiorze charakterystyki elektrycznej p.p. Są one specyficzne dla określonego modelu rozpatrywanego przyrządu półprzewodnikowego.

B.1. Określanie współczynnika idealności n (ang. *ideality factor*) charakterystyki $I(V_F)$ złącza p-n w kierunku przewodzenia na podstawie maksimum wykresu funkcji będącej pochodną logarytmu gęstości prądu J_A w płaskiej części złącza p-n względem napięcia w kierunku przewodzenia V_F ; współczynnik n jest dany wyrażeniem $1/[\max(d \ln(J_A)/d V_F)]$; Na rys. 19 przedstawiono zastosowanie tej metody do charakterystyki diod p⁺-n wytworzonych w ITE w technologii CMOS.



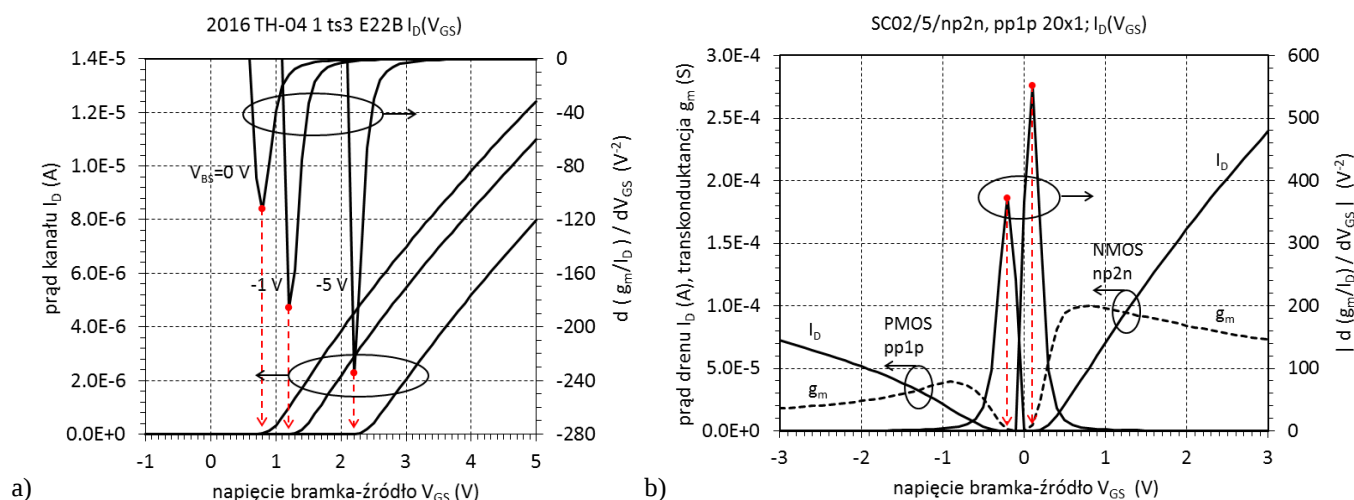
Rys. 19 Ekstrakcja współczynnika idealności n charakterystyki $I(V_F)$ złącza p⁺-n na podstawie pochodnej logarytmu gęstości prądu J_A w płaskiej części złącza p-n względem napięcia w kierunku przewodzenia V_F (ITE - materiał niepublikowany).

B.2. Określanie napięcia progowego tranzystora MOS jako napięcie bramka-źródło V_{GS} odpowiadające ekstremum pochodnej drugiego rzędu charakterystyki wejściowej tranzystora $I_D(V_{GS})$ [89]; w teorii metoda ta eliminuje wpływ rezystancji szeregowych oraz zmian ruchliwości nośników w kanale; jest ona zilustrowana na rys. 20 za pomocą charakterystyk przejściowych (i ich pochodnych drugiego rzędu) tranzystora NMOS o wymiarach $W=50\mu m$, $L=3\mu m$ wytworzonego w procesie CMOS (ITE); procedura została wykonana dla trzech różnych polaryzacji podłoża V_{BS} .

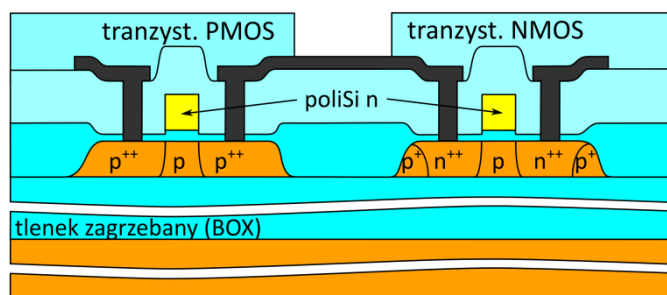


Rys. 20 Ekstrakcja napięcia progowego w tranzystorze NMOS ($W=50\mu m$, $L=3\mu m$) na podstawie maksimum pochodnej drugiego rzędu charakterystyki przejściowej $I_D(V_{GS})$ (ITE - materiał niepublikowany).

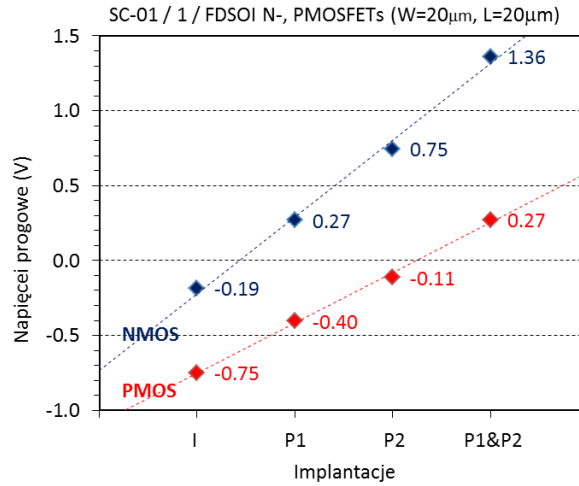
B.3. Określanie napięcia progowego V_{th} tranzystora MOS jako napięcie bramka-źródło V_{GS} odpowiadające ekstremum pochodnej pierwszego rzędu charakterystyki $g_m/I_D = f(V_{GS})$, gdzie g_m oznacza transkonduktancję tranzystora wyznaczaną za pomocą zmierzonej charakterystyki $I_D(V_{GS})$ [90]. Metoda ta jest teoretycznie równoważna metodzie bazującej na maksimum pochodnej pojemności bramka-kanal, opisanej poniżej w punkcie B.4. Obie metody eliminują wpływ rezystancji szeregowych oraz zmian ruchliwości nośników w kanale. Na rys. 21a przedstawiono działanie metody dla tranzystora NMOS o wymiarach nominalnych $W=6\text{ }\mu\text{m}$, $L=3\text{ }\mu\text{m}$ wytworzonego w ITE w ramach projektu badawczego dotyczącego opracowania detektorów promieniowania THz na bazie tranzystorów MOS. Natomiast na rys. 21b przedstawiono działanie w.w. metody dla tranzystorów NMOS i PMOS o wymiarach nominalnych $W=20\text{ }\mu\text{m}$, $L=1\text{ }\mu\text{m}$. Tranzystory zostały wyprodukowane w ITE z wykorzystaniem procesu FDSOI CMOS (ang. *fully-depleted silicon-on-insulator CMOS*) [91, 92] zaimplementowanym w ITE [93] z udziałem autora. Tranzystory NMOS wytworzone w tej technologii posiadają kanał indukowany poprzez inwersję typu przewodnictwa w cienkiej warstwie krzemu o grubości ok. 90 nm (*inversion-mode MOSFETs*). Natomiast tranzystory PMOS działają w trybie akumulacji (*accumulation-mode MOSFETs*). W tych tranzystorach typy przewodnictwa kanału tranzystora oraz obszarów źródła i drenu są takie same. Na rys. 22 przedstawiono schematycznie komplementarną parę tranzystorów FDSOI MOS. W tej technologii możliwe jest wytwarzanie tranzystorów N- i PMOS o czterech różnych wartościach napięcia progowego, odpowiednio. Jest to możliwe dzięki uwzględnieniu w procesie dwóch następujących po sobie operacji implantacji korekcyjnych domieszki typu p w obszary aktywne tranzystorów obu typów. Odpowiednie kombinacje tych implantacji: I - brak implantacji, P1 – dawka mniejsza, P2 – dawka większa, P1&P2 – dawka sumaryczna są dobierane na poziomie projektu masek fotolitograficznych danego układu scalonego. Uzyskiwane w ten sposób napięcia progowe $V_{th,n}$, $V_{th,p}$ są skorelowane (rys. 23). Na uwagę zasługuje fakt, iż wyznaczone w ten sposób wartości $V_{th,n(p)}$ lokują się nieco bliżej zakresu podprogowego niż odpowiednie wartości $V_{th,n(p)}$, które są wynikiem metody bazująca na maksimum transkonduktancji g_m , omówionej w punkcie B.7 części 4.5.5.2 niniejszego opracowania.



Rys. 21 Ilustracja metody ekstrakcji napięcia progowego V_{th} tranzystorów MOS na podstawie ekstremum charakterystyki $d(g_m/I_D)/d(V_{GS})$: a) ekstrakcja napięcia progowego tranzystora NMOS o rozmiarach $W=6\text{ }\mu\text{m}$, $L=3\text{ }\mu\text{m}$ wytworzonego w technologii CMOS (ITE), b) ekstrakcja napięcia progowego tranzystorów NMOS i PMOS o rozmiarach $W=20\text{ }\mu\text{m}$, $L=1\text{ }\mu\text{m}$ wytworzonych w ITE w technologii FDSOI CMOS (UCL) (ITE - materiał niepublikowany).



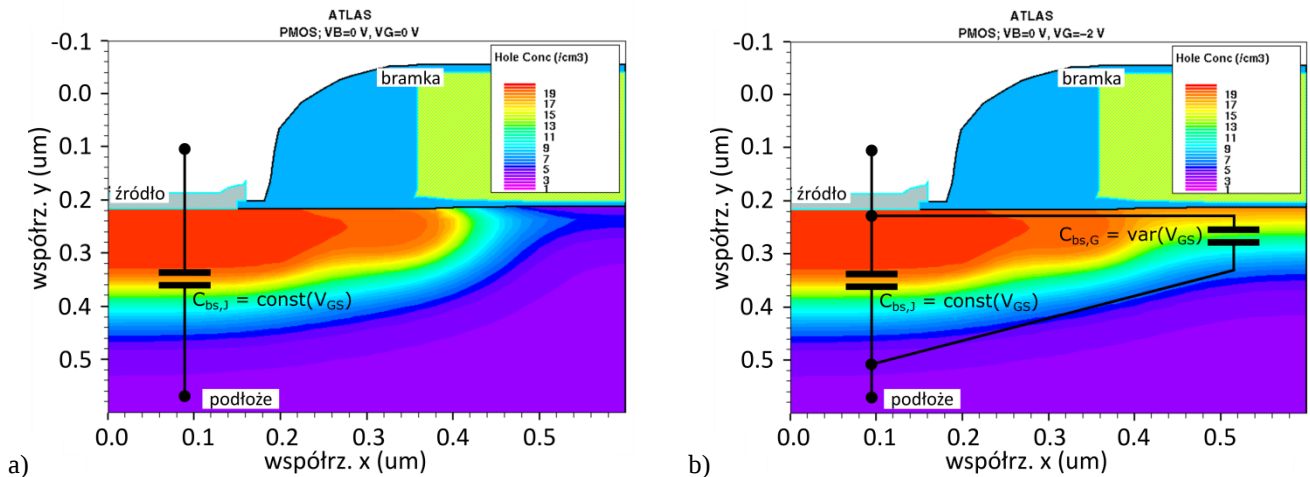
Rys. 22 Para komplementarna tranzystorów MOS w technologii FDSOI CMOS (UCL) [92, 93].



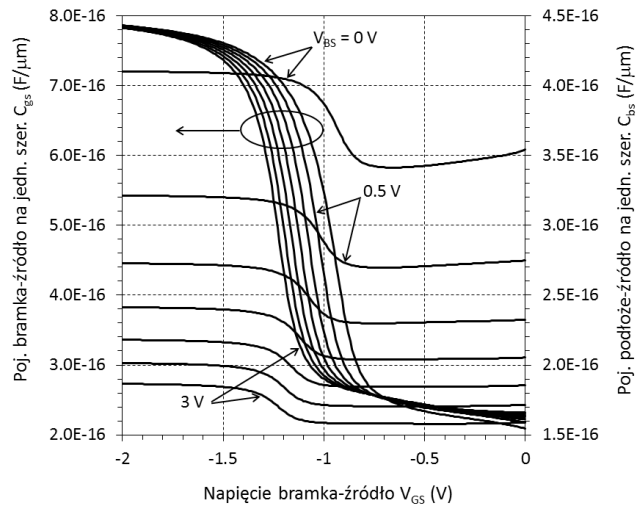
Rys. 23 Zależność napięcia progowego tranzystorów wytworzonych w ITE w technologii FDSOI CMOS (UCL) od dawki implantacji boru w obszary kanałów tranzystorów [93].

B.4. Określanie napięcia progowego V_{th} tranzystora MOS jako napięcie bramka-źródło V_{GS} odpowiadające maksimum pochodnej pierwszego rzędu charakterystyki $C_{gc}(V_{GS})$ tranzystora, gdzie C_{gc} oznacza pojemność bramka-kanał [94]. Podstawową zaletą tej metody jest to, że eliminuje ona wpływ rezystancji szeregowych związanych z elektrodami tranzystora oraz wpływ zmian ruchliwości nośników w kanale wynikających ze zmieniającego się rozkładu pola elektrycznego. Ponadto metoda ta posiada tę zaletę, że w dużej mierze eliminuje wpływ pojemności krawędziowych bramki (ang. *overlap/fringing capacitances*) w tranzystorze MOS, które w interesującym zakresie napięć V_{GS} zależą znacznie słabiej od polaryzacji niż pojemność C_{gc} . Zatem ich pochodna względem V_{GS} okazuje się mniejsza niż pochodna pojemności C_{gc} . Z drugiej strony metoda ta wymaga pomiaru pojemności C_{gc} tranzystora o dostatecznie dużej powierzchni bramki. Aby zastosować tę metodę dla współczesnych tranzystorów MOS o wymiarach głęboko sub-mikrometrowych konieczne jest użycie wielu nominalnie jednakowych tranzystorów połączonych równolegle [95]. Wówczas wprowadzić sumaryczną zmierzona pojemność zawiera wówczas także pojemności ścieżek połączeniowych, jednak operacja różniczkowania przynajmniej w teorii powinna wyeliminować ich wpływ.

B.5. Określanie napięcia progowego V_{th} tranzystora MOS jako napięcie bramka-źródło V_{GS} odpowiadające maksimum pochodnej pierwszego rzędu charakterystyki $C_{bs}(V_{GS})$, gdzie C_{bs} oznacza pojemność pomiędzy podłożem i źródłem [96, 97]. Metoda ta została opracowana przez autora. Nietypowe zastosowanie charakterystyki $C_{bs}(V_{GS})$ można uzasadnić tym, że symulacje numeryczne charakterystyk $C(V)$ tranzystorów MOS wykazują dużą zmienność wszystkich szesnastu pojemności tranzystora dla napięcia V_{GS} będącego w sąsiedztwie progu słaba/silna inwersja. Takie zachowanie pojemności C_{bs} jest konsekwencją indukowania przewodzącej warstwy inwersyjnej, co odpowiada rozszerzeniu się złącza źródło-podłoże na cały obszar pod bramką tranzystora (rys. 24).



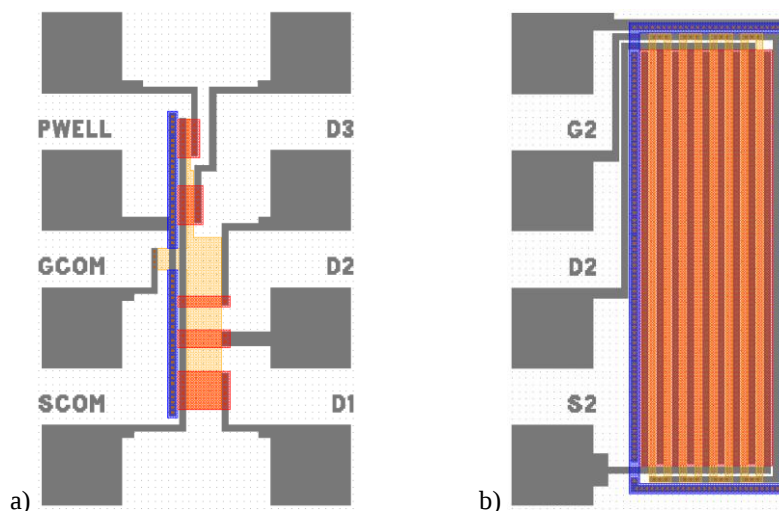
Rys. 24 Rozkłady dziur w kanale tranzystora PMOS przy polaryzacji podłoża $V_{BS} = 0$ V w warunkach a) zubożenia, b) inwersji pod bramką tranzystora; w przypadku akumulacji/zubożenia pod bramką sygnał AC może płynąć od źródła do podłoża tylko przez obszar zubożenia złącza źródło-podłoże; dla inwersji poniżej bramki sygnał AC może płynąć od źródła do podłoża również via kanał przez obszar zubożony indukowany przez bramkę, co jest równoważne z wirtualnym rozszerzeniem obszaru zubożenia złącza źródło-podłoże; składniki pojemności C_{bs} , pokazane schematycznie, ilustrują ten efekt [96, 97].



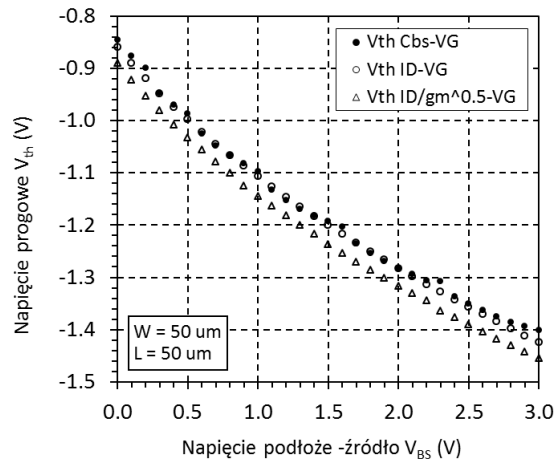
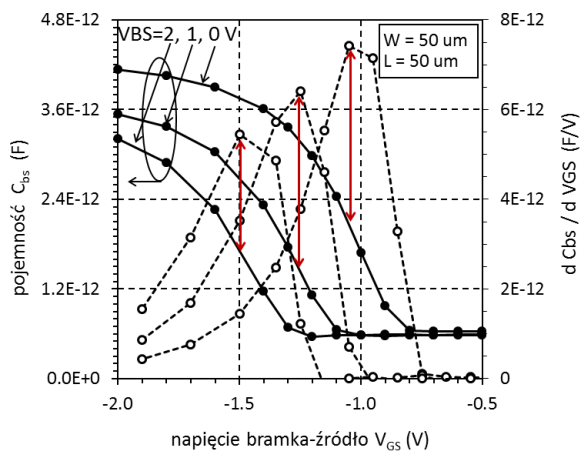
Rys. 25 Wyniki symulacji charakterystyk $C_{gs}(V_{GS})$, $C_{bs}(V_{GS})$ w tranzystorze PMOS ilustrujące porównywalne wartości obu pojemności oraz zgodność zakresów napięcia V_{GS} , w których ma miejsce najsilniejsza zmienność obu pojemności [96, 97].

Mierzona pojemność C_{bs} osiąga zadowalającą wartość (rys. 25) m.in. dzięki temu, że krzem posiada znacznie wyższą względną przenikalność dielektryczną ($\epsilon_{r,Si} \approx 11.9$) niż dwutlenek krzemu w warstwie izolatora bramkowego ($\epsilon_{r,SiO_2} \approx 3.9$). Kompensuje to wpływ większej niż grubość dielektryka bramkowego szerokości obszarów zubożonych złączy metalurgicznego i indukowanego, których pojemność jest mierzona wg proponowanej metody. Metoda ta może być z powodzeniem stosowana nie tylko z użyciem tranzystorów MOS, ale także z użyciem diody o kontrolowanym potencjale powierzchniowym (tzw. diody z bramką). Zaletą tego podejścia jest niewrażliwość na pojemności pasożytnicze bramki tranzystora MOS. Proponowana metoda umożliwia ponadto równoczesną charakteryzację pojemności złączowych tranzystora za pomocą charakterystyk $C_{bs,J}(V_{BS})$ (patrz rys. 24).

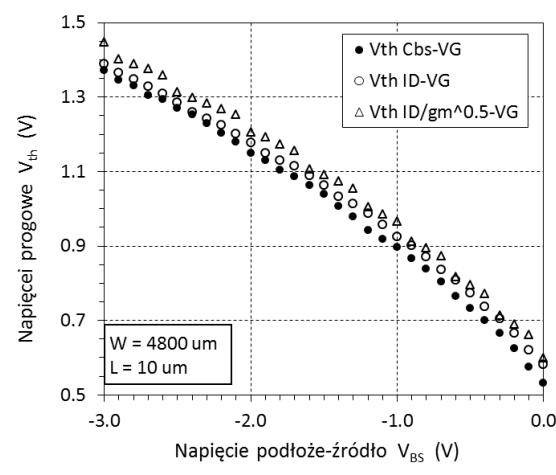
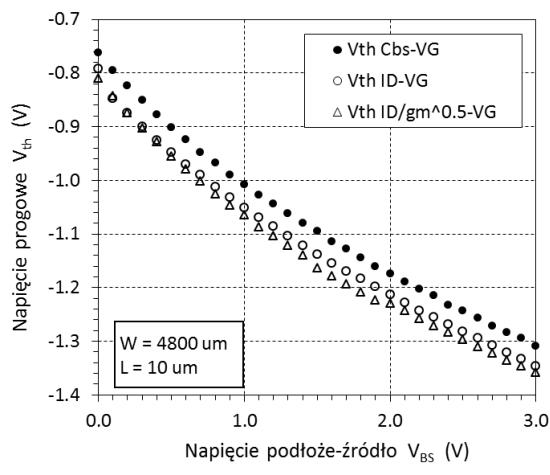
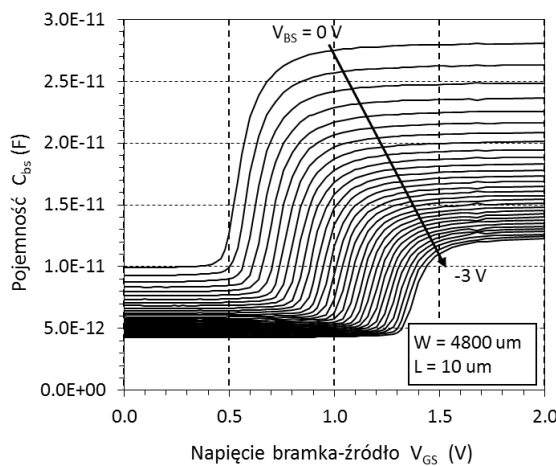
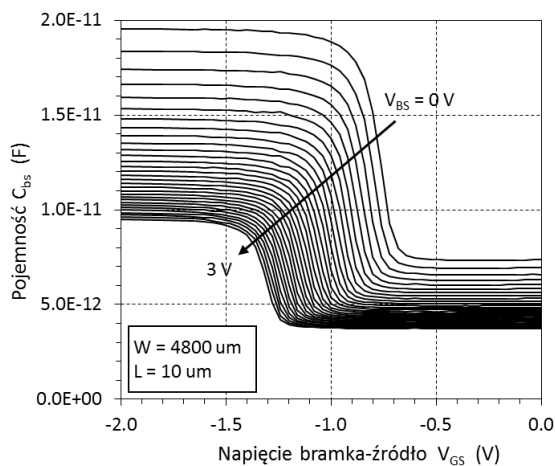
Poprawność zaproponowanej metody określania napięcia progowego V_{th} została sprawdzona przy użyciu tranzystorów NMOS i PMOS na strukturach testowych TSSOI (patrz p. 4.5.5.1) zaprojektowanych i wytworzonych w ITE w procesie CMOS. Użyte zostały do tego celu przyrządy posiadające dwa typy topografii, tj. standardowe tranzystory MOS oraz tranzystory grzebieniowe (rys. 26). Można zauważyć, że tranzystory standardowe były połączone w module pomiarowym wspólnymi elektrodami źródła, bramki i wyspy/podłoża. W celu wyeliminowania efektu superpozycji pojemności C_{bs} wszystkich tranzystorów w rozpatrywanym module pomiarowi podlegały pojemności C_{bd} przy rozwartym wyprowadzeniu źródła. Zatem w tym układzie pomiar był wykonany we wspomnianej wcześniej konfiguracji diody z bramką. Natomiast tranzystory grzebieniowe posiadały indywidualne wyprowadzenia wszystkich elektrod. Dzięki temu zmierzone pojemności C_{bs} oznaczały pojemności pojedynczego tranzystora. Wyniki pomiarów pojemności tranzystora standardowego w układzie diody z bramką, ilustracja metody oraz wyniki ekstrakcji napięcia progowego są przedstawione na rys. 27, natomiast wyniki pomiarów pojemności tranzystora grzebieniowego oraz ekstrakcji napięcia progowego są przedstawione na rys. 28. Na wykresach zależności napięcia progowego od polaryzacji podłoża widoczne są różnice pomiędzy wartościami V_{th} uzyskanymi za pomocą charakterystyk $I_D(V_{GS})$ oraz $C_{bs}(V_{GS})$; różnice te są w przybliżeniu stałe, niezależne od napięcia V_{BS} , przy czym należy zauważyć, że napięcie progowe wyznaczone proponowaną metodą jest najmniejsze co do wartości bezwzględnej.



Rys. 26 Topografia tranzystorów z kanałem typu n użytych do ekstrakcji napięcia progowego na podstawie pomiaru charakterystyk $C_{bs}(V_{GS})$; a) typoszereg standardowych tranzystorów NMOS o rozmiarach: $W(\mu m)/L(\mu m) = 50/50, 20/50, 10/50, 50/10, 50/5$, b) tranzystor o geometrii grzebieniowej $W/L = 4800 \mu m/10 \mu m$ (dzięki uprzejmości mgr.inż. M.Grodnera - ITE).



Rys. 27 a) Ekstrakcja napięcia progowego standardowego tranzystora PMOS o rozmiarach $W=50\text{ }\mu\text{m}$, $L=50\text{ }\mu\text{m}$ na podstawie zmierzonych charakterystyk $C_{bs}(V_{GS})$ (linia ciągła) i ich pochodnych (linia przerywana); b) Porównanie wartości napięcia progowego tranzystora PMOS uzyskanych za pomocą charakterystyk $C_{bs}(V_{GS})$ oraz za pomocą charakterystyk $I_D(V_{GS})$, $I_D/g_m^{0.5}=f(V_{GS})$ [96, 97].



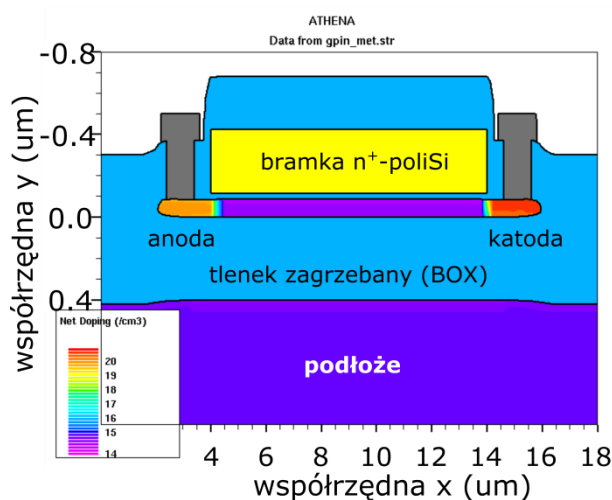
Rys. 28 Zmierzone charakterystyki $C_{bs}(V_{GS})$ grzebiennowych tranzystorów a) PMOS, b) NMOS o rozmiarach $W=4800\text{ }\mu\text{m}$, $L=10\text{ }\mu\text{m}$; porównanie wartości napięcia progowego tranzystorów c) PMOS, d) NMOS uzyskanych za pomocą charakterystyk $C_{bs}(V_{GS})$ i za pomocą charakterystyk $I_D(V_{GS})$ [100, 101].

B.6. Określanie napięcia progowego górnej $V_{th,f}$ (f - front) lub dolnej $V_{th,b}$ (b - bottom/back) bramki w tranzystorze FDSOI MOS jako napięcie górna bramka - źródło V_{GfS} (dolna bramka - źródło V_{GbS}) odpowiadające ekstremum pochodnej charakterystyki $C_{gf,s}(V_{GfS})$ lub $C_{gb,s}(V_{GbS})$, gdzie $C_{gf,s}$ ($C_{gb,s}$) oznacza pojemność górna (dolna) bramka - źródło tranzystora FDSOI MOS [98]. Metoda ta została opracowana przez autora i nawiązuje do zaproponowanej wcześniej metody polegającej na pomiarze pojemności pomiędzy bramką i połączonymi równolegle anodą i katodą diody FDSOI o kontrolowanym potencjale powierzchniowym, a następnie wyznaczeniu ekstremum pierwszej pochodnej tej charakterystyki względem napięcia bramka-anoda/katoda [99, 100]. Metoda ta nawiązuje także do metody opracowanej dla potrzeb charakteryzacji konwencjonalnych tranzystorów MOS i przedstawionej w punkcie B.3 części 4.5.5.2 niniejszego opracowania. Jak wiadomo jednak, w funkcjonalnych tranzystorach FDSOI MOS nie stosuje się kontaktów bezpośrednich do cienkiej warstwy Si. Dlatego metoda z p. B.3 nie może być bezpośrednio stosowana do ich charakteryzacji. Ponadto opis zjawisk w przyrządach

wytworzonych w technologii FDSOI CMOS, których struktura jest w przybliżeniu opisana w p. B.3, jest bardziej złożony niż opis zjawisk w konwencjonalnych przyrządach CMOS. Przyczyną jest oddziaływanie dwóch bramek, górnej i dolnej, które indukują efektywny rozkład pola elektrycznego w obu warstwach dielektryka, na obu międzypowierzchniach Si/SiO₂ i w rozdzielającej je cienkiej warstwie krzemu, a także w obszarach na granicy kanał-źródło/dren (np. [101]). Efektywny rozkład pola elektrycznego zależy od układu potencjałów na wszystkich elektrodach oraz parametrów strukturalnych, tj. grubości warstw dielektryka i warstwy krzemu (kanału tranzystora), koncentracji domieszki w kanale, różnicy prac wyjścia pomiędzy materiałami obu bramek i materiałem w kanale tranzystora oraz efektywnych gęstości ładunku elektrycznego przypisanych do obu międzypowierzchni Si/SiO₂. Złożoność opisu zjawisk znajduje odzwierciedlenie w złożoności interpretacji charakterystyk elektrycznych (np. I-V, C-V) przyrządów FDSOI CMOS, a zatem komplikuje metody ich charakteryzacji [100].

W proponowanej metodzie bazującej na pomiarze charakterystyk $C_{gf,s}(V_{GfS})$ lub $C_{gb,s}(V_{GbS})$ wykorzystywane są tylko trzy zaciski testowanego tranzystora FDSOI MOS, tj. górna (dolna) bramka, źródło oraz druga bramka, której potencjał względem źródła stanowi parametr dla mierzonych charakterystyk C(V), służących do wyznaczania napięcia progowego $V_{th,f}$ lub $V_{th,b}$. Z tego powodu jako przyrządy testowe mogą być wykorzystywane zarówno tranzystory MOS jak i diody o kontrolowanym potencjale powierzchniowym, zastosowane także w pracy [99]. W pracy [98] wykorzystany został drugi z wymienionych przyrządów. Powodem przyjęcia tego rozwiązania było to, że w dostępnych strukturach testowych nie było tranzystorów FDSOI MOS o odpowiednio dużej powierzchni bramki. Były natomiast diody z bramką typu PIN. Przyrządy takie odpowiadały tranzystorom FDSOI NMOS bez implantacji kanału (wariant I na rys. 23).

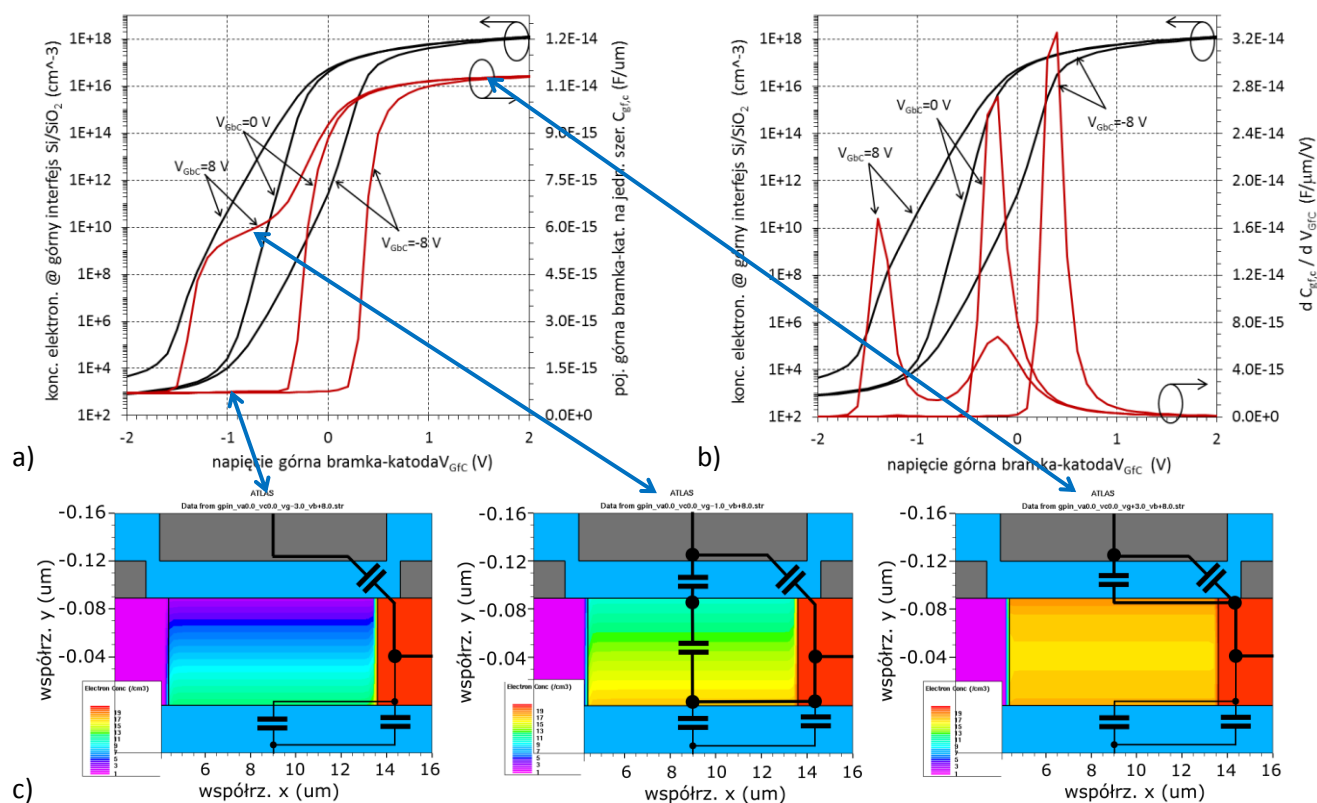
W celu zbudowania modelu typu "compact" takiego przyrządu, potrzebnego do opracowania metody ekstrakcji napięcia progowego przeprowadzono symulacje numeryczne charakterystyk C-V diody PIN z bramką. Jej struktura (rys. 29) została zdefiniowana w wyniku numerycznej symulacji procesu wytwarzania tego elementu w technologii FDSOI CMOS (UCL) zaimplementowanej w ITE. Przyrząd ten posiada cztery elektrody: anoda, katoda, bramka górna i bramka dolna (podłoże). Katoda jest odpowiednikiem źródła w tranzystorze FDSOI NMOS.



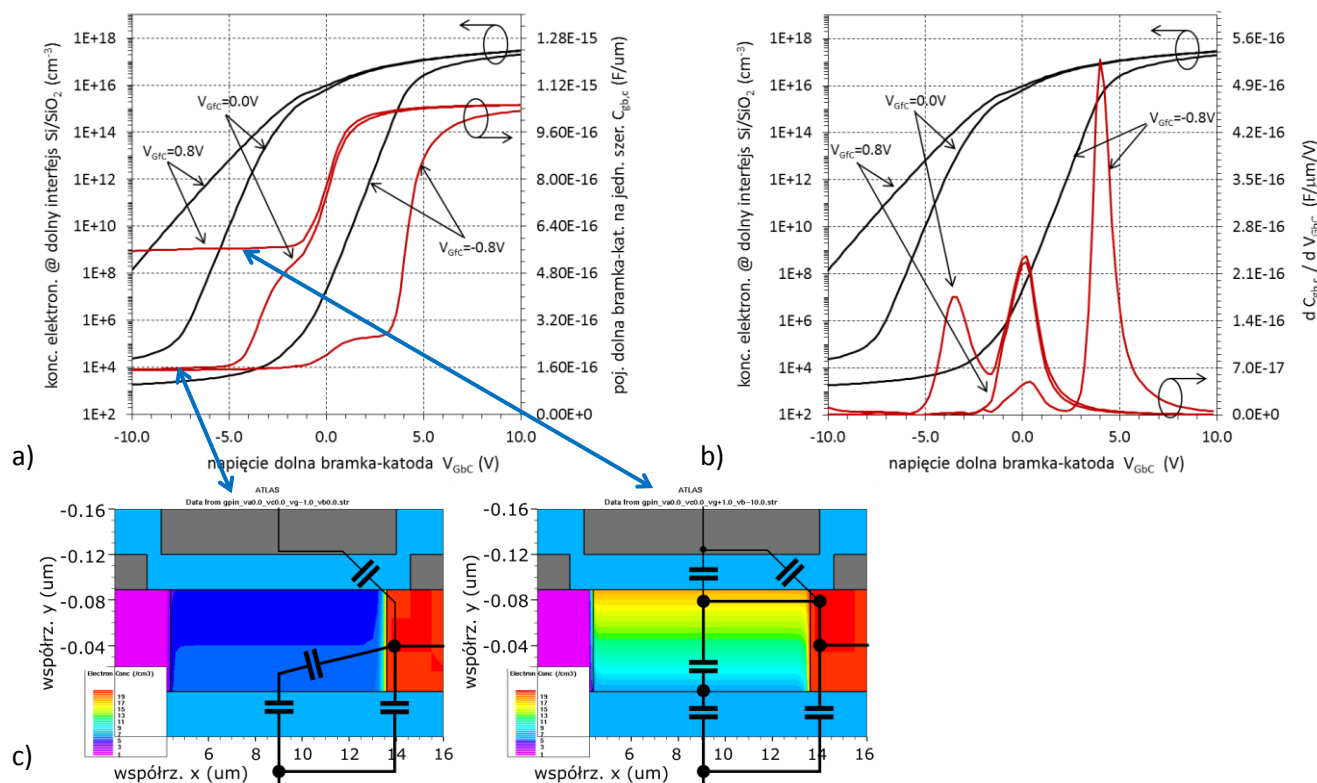
Rys. 29 Wynik dwuwymiarowej symulacji numerycznej procesu wytwarzania diody PIN z bramką w technologii FDSOI CMOS (UCL) zaimplementowanej w ITE [98].

Na rys. 30a,b przedstawiono wyniki symulacji charakterystyk $C_{gf,c}(V_{GfC})$ diody z bramką PIN FDSOI oraz ich pochodnych. $C_{gf,c}$, V_{GfC} oznaczają pojemność i napięcie bramka górna-katoda. Zgodnie z uwagą w poprzednim akapicie odpowiadają one pojemności $C_{gf,s}$ i napięciu V_{GfS} w tranzystorze FDSOI MOS. Charakterystyki zostały wyznaczone dla kilku polaryzacji dolnej bramki V_{GbC} . Przedstawione są one na tle przebiegów koncentracji nośników w kanale (elektronów) na górnej międzypowierzchni Si/SiO₂. Na wykresach widać bardzo dobrą zgodność pomiędzy punktami, w których pochodne charakterystyk $C_{gf,c}(V_{GfC})$ osiągają maksimum oraz punktami zmiany zależności koncentracji elektronów od napięcia V_{GfC} z wykładniczej na liniową, które wyznaczają napięcia progowe dla odpowiednich polaryzacji dolnej bramki V_{GbC} . Pojedyncze punkty na tych charakterystykach są zilustrowane uproszczonymi pojemnościowymi schematami zastępczymi przedstawionymi na rys. 30c. Podobną analizę przeprowadzono celem potwierdzenia słuszności zastosowania tej metody do określenia napięcia progowego bramki dolnej tranzystora FDSOI MOS. Na rys. 31a,b przedstawiono wyniki symulacji charakterystyk $C_{gb,c}(V_{Gb,C})$ diody z bramką PIN FDSOI oraz ich pochodnych. $C_{gb,c}$ oznacza pojemność bramka dolna-katoda. Odpowiada ona pojemności $C_{gb,s}$ w tranzystorze MOS FDSOI. Warto zauważyć, że w przypadku akumulacji na jednej międzypowierzchni Si/SiO₂ i inwersji na przeciwnej, dodatkowe "plateau" są widoczne na charakterystykach $C_{gf/b,c}(V_{Gf/b,C})$ (Rys. 30a, 31a), które nie istnieją w przypadku charakterystyk konwencjonalnych tranzystorów MOS (np. rys. 25). Te "plateau" znajdują się na poziomie pośrednim między małą pojemnością zakładek w zakresie akumulacji a dużą pojemnością bramki w zakresie inwersji. Taki przebieg charakterystyk można wytłumaczyć sprzężeniem pojemnościowym pomiędzy daną bramką i warstwą inwersyjną na przeciwnym styku przez zubożoną cienką warstwę Si w obszarze kanału tranzystora. Po tym zachowaniu pojemnościowym na krzywe reprezentujące pochodne tych cech ujawnione są dwa maksima (rys. 31b). Zatem na krzywych reprezentujących ich pochodne (rys. 30b, 31b) ujawniają się dwa maksima, z których mniej wybitne odpowiada początkowi stanu silnej inwersji na rozpatrywanej międzypowierzchni. Nastrocza to pewnych trudności w automatycznej identyfikacji napięcia progowego, niemniej pozwala je wyznaczyć dość precyzyjnie. Przy zastosowaniu

metod bazujących na charakterystykach $I(V)$ konieczna była niezbyt precyzyjna procedura eliminacji prądu płynącego wzdłuż przeciwległej międzypowierzchni Si/SiO₂ [102].

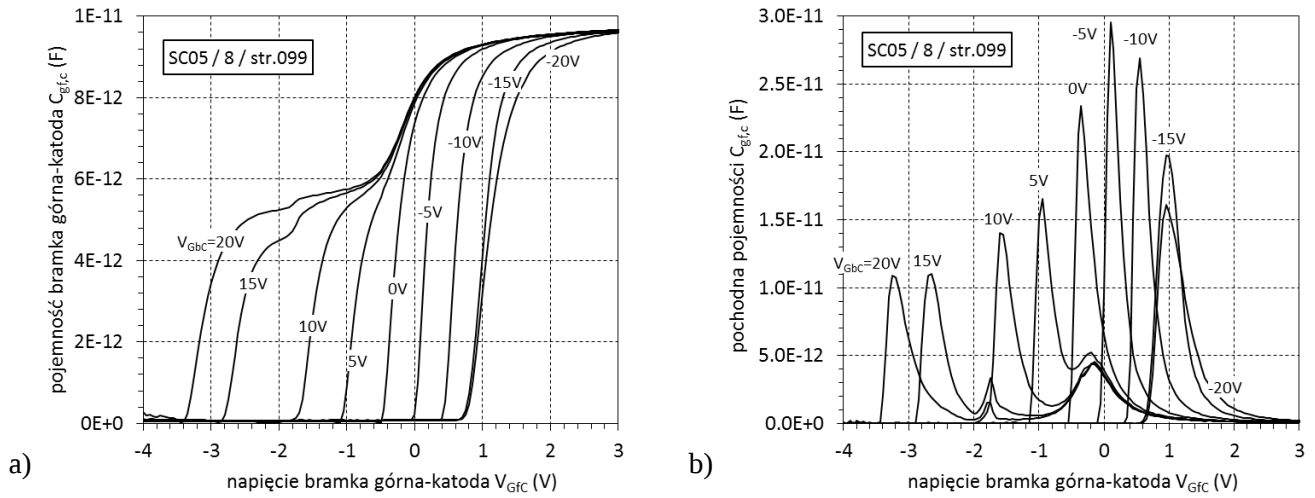


Rys.30 Charakterystyki diody FDSOI PIN z bramką wyznaczone za pomocą symulacji w programie Silvaco/ATLAS dla struktury na rys. 29: a) zależność koncentracji elektronów na górnej międzypowierzchni Si/SiO₂ oraz pojemności $C_{Gf,c}$ od napięcia $V_{Gf,c}$, b) zależność pochodnej pojemności $C_{Gf,c}$ od napięcia $V_{Gf,c}$, c) uproszczone schematy zastępcze ilustrujące wybrane punkty charakterystyki $C_{Gf,c}(V_{Gf,c})$ [98].

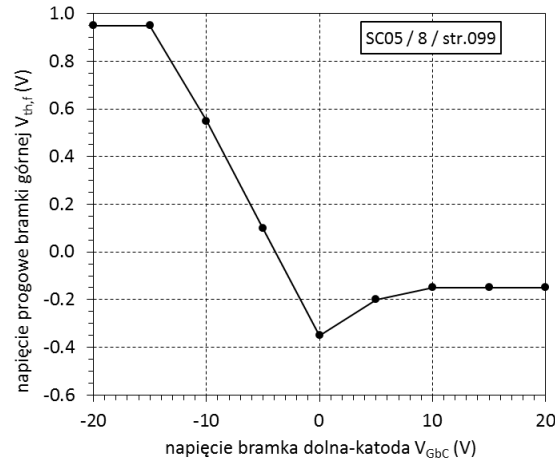


Rys.31 Charakterystyki diody FDSOI PIN z bramką wyznaczone za pomocą programu Silvaco/ATLAS dla struktury na rys.: a) zależność koncentracji elektronów na dolnej międzypowierzchni Si/SiO₂ oraz pojemności $C_{Gbc,c}$ od napięcia V_{Gbc} , b) zależność pochodnej pojemności $C_{Gbc,c}$ od napięcia V_{Gbc} , c) uproszczone schematy zastępcze ilustrujące wybrane punkty charakterystyki $C_{Gbc,c}(V_{Gbc})$ [98].

Praktyczne działanie w.w. metody jest przedstawione na rys. 32, na którym pokazano określone eksperymentalnie charakterystyki $C_{gf,C}(V_{Gf,C})$ diody FDSOI PIN z bramką wytworzonej w ITE w procesie FDSOI CMOS (UCL). Na podstawie wykresów ich pochodnych określono napięcia progowe bramki górnej, których zależność od polaryzacji dolnej bramki $V_{Gb,C}$ jest przedstawiona na rys. 33.



Rys.32 a) Charakterystyki pojemności bramki górna-katoda $C_{gf,C}(V_{Gf,C})$ diody FDSOI PIN z bramką wytworzonej w ITE, zmierzone dla różnych polaryzacji bramki dolnej $V_{Gb,C}$; b) Charakterystyki pochodnej $dC_{gf,C}(V_{Gf,C})/dV_{Gf,C}$ [98].



Rys.33 Zależność napięcia progowego bramki górnej $V_{th,f}$ w diodzie FDSOI PIN od polaryzacji bramki dolnej $V_{Gb,C}$ [98].

B.7. Określanie napięcia progowego tranzystora MOS V_{th} oraz współczynnika transkonduktancji K_p na podstawie przebiegu stycznej do charakterystyki przejściowej $I_D(V_{GS})$ zbudowanej w punkcie V_{GS}^* , w którym transkonduktancja tranzystora g_m osiąga maksimum $g_{m,max}$ [12]. Napięcie progowe wyznaczone jest przez punkt przecięcia stycznej z osią odciętych (V_{GS}), a współczynnik transkonduktancji jest określony przez współczynnik nachylenia stycznej. Równanie stycznej dane jest zależnością (43). Natomiast parametry V_{th} i K_p dane są zależnościami (44).

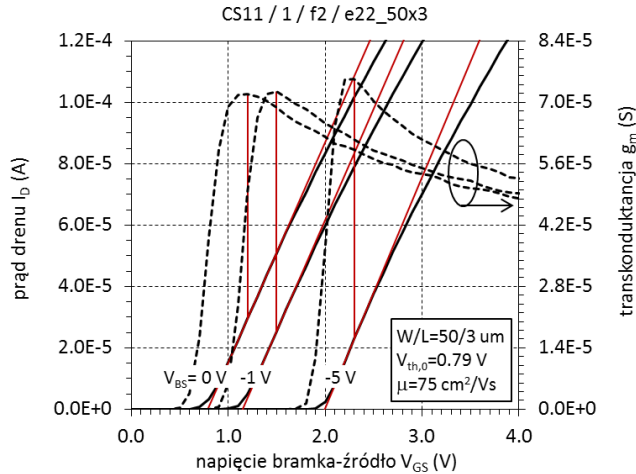
$$I_D^{approx} = g_m(V_{GS}^*) \cdot (V_{GS} - V_{GS}^*) + I_D(V_{GS}^*), \quad g_{m,max} = g_m(V_{GS}^*) \quad (43)$$

$$V_{th} = V_{GS}^* - I_D(V_{GS}^*)/g_m(V_{GS}^*), \quad K_p = g_m(V_{GS}^*) \cdot L/W \quad (44)$$

Metoda ta należy do najczęściej stosowanych w praktyce inżynierskiej ze względu na łatwość realizacji oraz czytelność interpretację wyników. Na podstawie wyznaczonej wartości współczynnika K_p można w prosty sposób szacować tzw. ruchliwość połową μ_{FE} (ang. *field-effect mobility*) jako $\mu_{FE} = K_p/C_{ox}$, gdzie C_{ox} oznacza pojemność kondensatora bramkowego o jednostkowej powierzchni. Ruchliwość połowa może być następnie zastosowana w modelu charakterystyki $I(V)$ tranzystora. Ta metoda określania ruchliwości posiada jednak dość poważną wadę. Nie uwzględnia ona faktu, że w zakresie inwersji charakterystyka przejściowa $I_D(V_{GS})$ tranzystora jest nieliniowa, co znajduje odzwierciedlenie w spadku transkonduktancji g_m ze wzrostem napięcia V_{GS} . Spadek ten jest spowodowany dwoma czynnikami, tj. degradacją ruchliwości nośników w kanale ze wzrostem natężenia poprzecznego pola elektrycznego indukowanego polaryzacją bramki [103, 104] oraz spadkiem napięcia na rezystancjach szeregowych poszczególnych elektrod tranzystora, a zwłaszcza źródła i drenu, przez które przepływa prąd kanału. W sensie ilościowym oba te efekty oddziałują podobnie na charakterystyki $I(V)$ tranzystorów MOS. Przyczyną degradacji ruchliwości nośników jest m.in. ich oddziaływanie ze zdefektowaną międzypowierzchnią Si/SiO₂ w obszarze kanału tranzystora. Zjawisko to jest silnie powiązane ze strukturą i sposobem wytworzenia kanału tranzystora. Powstało szereg modeli ruchliwości z uwzględnieniem wpływu poprzecznego pola elektrycznego. Opracowane zostały także metody określania parametrów modeli ruchliwości (np. [12]). Znalazły one zastosowanie w modelach kompaktowych tranzystorów MOS

stosowanych z oprogramowaniu do symulacji elektrycznej układów elektronicznych (np. [32, 34, 37]) Warto jednak dodać, że zjawisko degradacji ruchliwości może być źródłem kontrowersji w definicji i oszacowaniu ruchliwości nośników dla potrzeb modelowania kompaktowego. W pracy [103] wykazano wyraźną różnicę ilościową pomiędzy tzw. ruchliwością efektywną określaną za pomocą konduktancji wyjściowej g_{ds} , a ruchliwością połową określaną przy użyciu transkonduktancji g_m . Co ciekawe, obie konduktancje są pochodnymi tego samego wyrażenia opisującego charakterystykę $I(V)$ tranzystora w zakresie nadprogowym. Ruchliwość połowa jest znacznie mniejsza od ruchliwości efektywnej. Zatem jej zastosowanie w modelu kompaktowym tranzystora powoduje zaniżenie prądu modelu tranzystora. Analiza zależności ruchliwości nośników od polaryzacji bramki jest wciąż przedmiotem badań [105].

Na rys. 34 przedstawiono przykład ekstrakcji napięcia progowego za pomocą opisanej metody dla tranzystora NMOS o wymiarach $W=50\mu m$, $L=3\mu m$ wytworzonego w procesie CMOS (ITE); procedura została wykonana dla trzech różnych polaryzacji podłoża V_{BS} .



Rys.34 Ekstrakcja napięcia progowego w tranzystorze NMOS ($W=50\mu m$, $L=3\mu m$) na podstawie przebiegu stycznej do charakterystyki przejściowej $I_D(V_{GS})$ zbudowanej w punkcie V_{GS}^* , w którym transkonduktancja tranzystora g_m osiąga maksimum (ITE, materiał niepublikowany).

W kilku przedstawionych powyżej metodach identyfikacji parametrów uwzględnione są podzbiory danych pomiarowych. Metody te pozwalają na ogół na wyznaczenie wartości jednego parametru. Jednak metoda opisana w p. B.7 umożliwia oszacowanie dwóch parametrów, ponieważ bazuje ona na liniowej aproksymacji charakterystyki przejściowej tranzystora MOS. Rozdzielczość tych metod jest bezpośrednio związana z gęstością mierzonych punktów. Ten problem jest wyraźnie widoczny np. na rys. 27a, gdzie rzadka siatka punktów pomiarowych prowadzi do niegładkiej charakterystyki pochodnej oraz na rys. 30b, gdzie rzeczywiste maksima charakterystyk są zlokalizowane pomiędzy dostępnymi punktami danych. Na gładkość charakterystyk pochodnych silnie wpływa także dokładność wykonania pomiarów. Tak więc wykonanie pomiarów w punktach położonych dostatecznie gęsto, z dostateczną dokładnością, a także filtrowanie lub wygładzanie danych pomiarowych poprawiają jakość ekstrakcji parametrów. Odbywa się to kosztem zwiększonego czasu testowania.

C. Metody wykorzystujące podzbiór punktów charakterystyki elektrycznej przyrządu półprzewodnikowego.

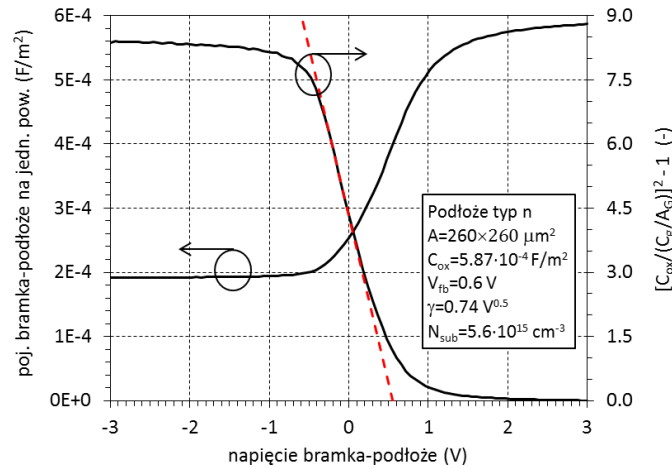
W tym punkcie zostaną podane przykłady metod, które wykorzystują fragmenty pierwotnych (tj. zmierzonych) charakterystyk elektrycznych danego p.p. lub charakterystyk wtórnych uzyskanych przez przekształcenie charakterystyk pierwotnych. Do ekstrakcji danego parametru wykorzystuje się ten zakres analizowanej charakterystyki, w którym określany parametr posiada dominujące znaczenie. Bardzo często stosowanym zabiegiem jest budowanie liniowej aproksymacji charakterystyki (pierwotnej lub przetworzonej) w tym podzakresie. Wówczas na podstawie równania prostej aproksymującej można równocześnie wyznaczyć jeden lub dwa interesujące parametry. Oczywiście w bardziej ogólnym przypadku możliwe jest budowanie aproksymacji nieliniowej. Podobnie, jak w sekcji B niniejszego opracowania metody przedstawione poniżej są specyficzne dla określonego modelu rozpatrywanego przyrządu półprzewodnikowego.

C.1. Metoda określania napięcia płaskich pasm V_{fb} i efektywnej koncentracji domieszek N_{sub} w strukturze MOS na podstawie charakterystyki $C_g(V_{GB})$ kondensatora MOS lub charakterystyki $C_{gb}(V_{GB})$ tranzystora MOS w zakresie zubożenia w obszarze podbramkowym. Dla tych warunków odpowiednia teoretyczna charakterystyka $C(V)$ rozpatrywanego elementu może być przekształcona do postaci (45).

$$\left[C_{ox} / (C_{g/gb} / A_G) \right]^2 - 1 = t \cdot (V_{GB} - V_{fb}) / (\gamma^2 / 4) \quad (45)$$

gdzie t oznacza typ domieszkowania podłoża ($t=+1$ dla typu p, -1 dla typu n), a γ oznacza tzw. współczynnik polaryzacji podłoża (ang. *body bias factor*) dany zależnością $\gamma = (2 \cdot q \cdot \epsilon_{Si} \cdot N_{sub})^{0.5} / C_{ox}$. Jeżeli zatem znana jest pojemność dielektryka bramkowego C_{ox} , to liniowa aproksymacja oparta na (45) pozwala wyznaczyć równolegle dwa poszukiwane parametry V_{fb} i N_{sub} . Na rys. 35 przedstawiony jest przykład realizacji tej metody dla kondensatora z tlenkiem bramkowym (przybliżona grubość 60 nm) i kwadratową bramką (powierzchnia $260 \times 260 \mu m^2$), na podłożu typu p, wytworzonego w ITE w technologii CMOS. Wyraźnie widoczny jest odcinek dyskutowanej charakterystyki (45) o zadowalająco liniowym przebiegu w zakresie

zubożenia. Uzyskane wartości poszukiwanych parametrów V_{fb} i N_{sub} są pokazane w ramce na rys. 35. Warto dodać, że wartości napięcia płaskich pasm wyznaczonych metodami A.3 i C.1 w sekcji 4.5.5.2 są zbliżone.

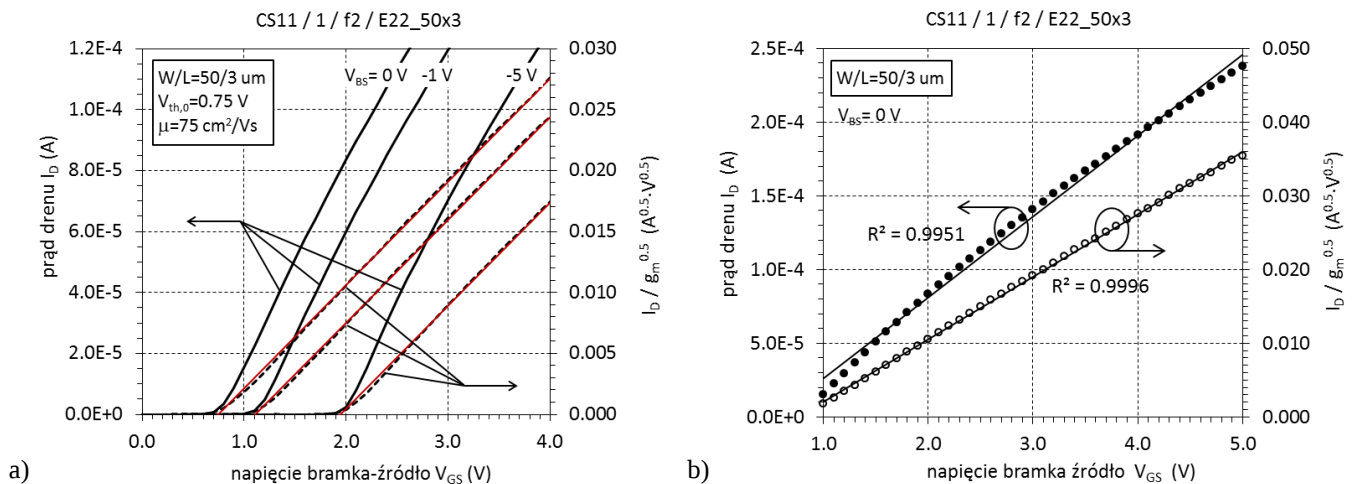


Rys.35 Ekstrakcja napięcia płaskich pasm V_{fb} i współczynnika polaryzacji podłoża γ , a na jego podstawie koncentracji domieszki w podłożu N_{sub} za pomocą liniowej regresji opartej na zależności (45) dla kondensatora MOS na podłożu typu p wytworzonego w ITE w technologii CMOS (ITE, materiał niepublikowany).

C.2. Metoda ekstrakcji napięcia progowego tranzystorów MOS oraz efektywnej ruchliwości nośników w kanale bazująca na regresji liniowej punktów odpowiadających trelacji między zmienną $Y = I_D / g_m^{0.5}$ (I_D – prąd drenu, g_m – transkonduktancja) i napięciem bramka-źródło V_{GS} [106]. Metoda ta została opracowana w celu wyeliminowania wspomnianego wcześniej wypadkowego wpływu rezystancji szeregowych i degradacji ruchliwości. Podejście to bazuje na założeniu, że wspomniany sumaryczny efekt można opisać za pomocą zależności ruchliwości nośników w kanale od napięcia V_{GS} w postaci funkcji homograficznej $\mu = \mu_0 / [1 + \theta \cdot (V_{GS} - V_{th})]$, gdzie μ_0 oznacza ruchliwość nośników w warunkach słabego pola elektrycznego, natomiast θ jest współczynnikiem dopasowującym opisującym zarówno zmiany ruchliwości jak i wpływ rezystancji szeregowych. Dzięki wspomnianemu silnemu założeniu została wyprowadzona relacja (46)

$$I_D / \sqrt{g_m} = \sqrt{(W/L) \cdot \mu_0 \cdot C_{ox} \cdot (V_{GS} - V_{th})} \quad (46)$$

która umożliwia określenie napięcia progowego V_{th} i ruchliwości nośników μ_0 na podstawie nachylenia prostej regresji i jej punktu przecięcia z osią odciętych. Na rys. 36 metoda ta jest zilustrowana dla tranzystora NMOS z kanałem o rozmiarach $W=50\mu m$, $L=3\mu m$ wytworzonego w ITE w technologii CMOS. Na rys. 36a przedstawiono proste regresji dla charakterystyk $Y=f(V_{GS})$ na tle charakterystyk $I_D(V_{GS})$. Na rys. 36b zilustrowano wyraźną poprawę liniowości charakterystyki $Y=f(V_{GS})$ w porównaniu z charakterystyką $I_D(V_{GS})$, wykorzystywaną w metodzie B.7.



Rys.36 a) Ekstrakcja napięcia progowego i ruchliwości nośników dla tranzystora NMOS ($W=50\mu m$, $L=3\mu m$) na podstawie regresji liniowej (linie czerwone) punktów charakterystyki $Y=f(V_{GS})$ (linie przerywane) na tle charakterystyk $I_D(V_{GS})$ (linie ciągłe); b) Porównanie stopnia liniowości charakterystyk $Y=f(V_{GS})$ oraz $I_D(V_{GS})$ (ITE - materiał niepublikowany).

C.3. Metoda ekstrakcji podzbioru parametrów modelu EKV tranzystorów MOS [10, 33], tj. I_s - prądu charakterystycznego tranzystora, V_{T0} - napięcia progowego dla stanu równowagi, tj. dla napięcia w kanale tranzystora (rozszerzenie quasi-potencjałów Fermiego nośników mniejszościowych i większościowych) wynoszącego 0 V, Γ_b - współczynnika polaryzacji podłoża oraz Ψ_0 - potencjału powierzchniowego w kanale na początku stanu silnej inwersji. Metoda charakteryzacji opracowana przez autora i przedstawiona w [107] bazuje na charakterystyce $V_P(V_G)$, opisaną w [10, 33] zależnością (47),

$$V_G = V_{T0} + V_P + \Gamma_b \cdot (\sqrt{\Psi_0 + V_P} - \sqrt{\Psi_0}) \quad (47)$$

gdzie V_P - napięcie odcięcia (ang. *pinch-off voltage*), tj. napięcie w kanale, przy którym dla danego napięcia bramka-podłoże V_G aproksymowana gęstość powierzchniowa ładunku nośników w kanale wynosi 0 C/m^2 . W zależności (47) widoczna jest analogia do klasycznego modelu napięcia progowego (48) stosowanego np. w pierwszych modelach tranzystorów MOS zaimplementowanych w programie SPICE [7, 108, 44], a następnie w podstawowych wariantach modeli BSIM [32].

$$V_T = V_{T0} + \gamma \cdot (\sqrt{2 \cdot \phi_F - V_{BS}} - \sqrt{2 \cdot \phi_F}) \quad (48)$$

W (48) zmienne mają następujące znaczenie: V_{T0} - napięcie progowe dla napięcia podłoże-źródło $V_{BS} = 0 \text{ V}$, $2 \cdot \phi_F$ - podwojony potencjał Fermiego, γ - współczynnika polaryzacji podłoża. Parametry V_{T0} oraz Ψ_0 i $2 \cdot \phi_F$ w zależnościach (47), (48) mają nieco inne definicje, lecz tę samą interpretację i zbliżone wartości. Np. $\Psi_0 = 2 \cdot \phi_F + n \cdot kT/q$ ($n \approx 2..3$), co wynika z faktu, że w modelu EKV przewidziano, że w stanie silnej inwersji potencjał powierzchniowy jest nieco większy niż $2 \cdot \phi_F$.

Oprócz zależności (47) omawiana metoda ekstrakcji V_{T0} , Γ_b oraz Ψ_0 wykorzystuje regresję liniową zastosowaną do wzoru (49) wyprowadzonego przez różniczkowanie (47).

$$V_P + V_{T0} - V_G = 0.5 \cdot \Gamma_b^2 / (1 - dV_G/dV_P) + \Gamma_b \cdot \sqrt{\Psi_0} \quad (49)$$

Zatem na podstawie (45) określana jest wartość V_{T0} jako V_G dla $V_P=0 \text{ V}$. Następnie na podstawie nachylenia i wyrazu wolnego prostej aproksymującej zależność (49) pomiędzy $V_P+V_{T0}-V_G$ a $1/(1-dV_G/dV_P)$ określone są wartości Γ_b oraz Ψ_0 .

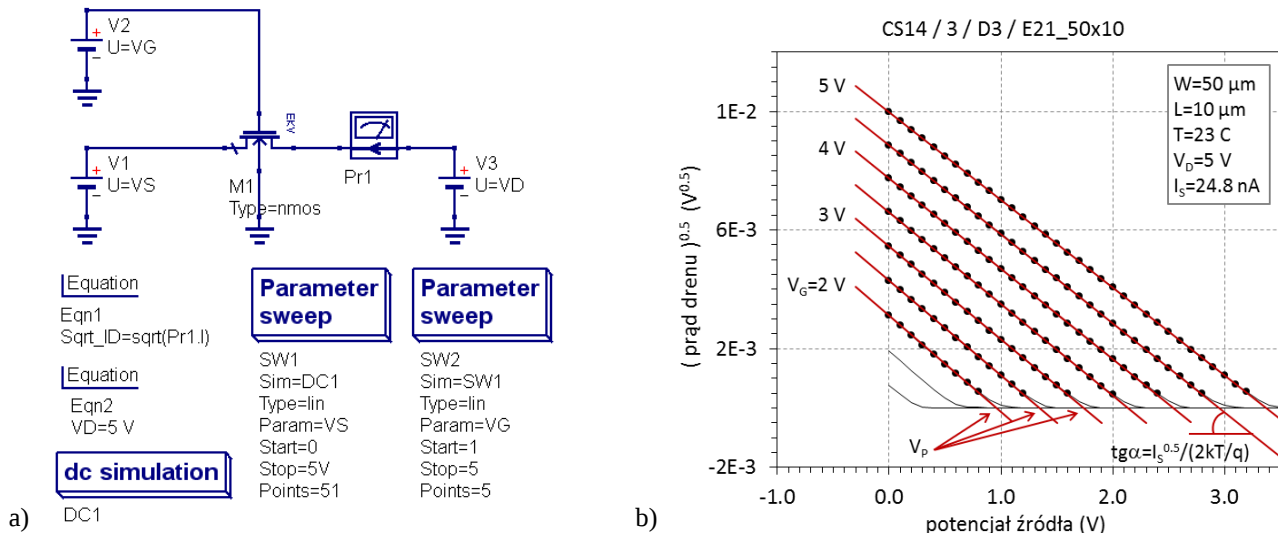
Do pomiaru charakterystyki $V_P(V_G)$ jest stosowany układ, w którym w danym tranzystorze MOS w stanie nasycenia ($V_D=V_G$) wymuszany jest stały prąd kanału o wartości równej połowie prądu charakterystycznego tranzystora I_S [109]. Źródło prądowe o tej wydajności jest włączone pomiędzy zacisk źródła tranzystora a zacisk masy, z którym jest połączony również zacisk podłoża tranzystora. W tej konfiguracji mierzony jest potencjał źródła tranzystora (względem masy), który jest równy napięciu V_P .

W celu wyznaczenia prądu charakterystycznego I_S stosuje się układ, w którym tranzystor MOS znajduje się również w zakresie nasycenia. Dren jest polaryzowany stałym napięciem V_D . Bramka jest także polaryzowana stałym napięciem V_G , które może być zmieniane z zadeklarowanym skokiem. Natomiast źródło jest polaryzowane napięciem V_S zmienianym w sposób płynny. Wówczas prąd tranzystora dany jest prostą zależnością (50).

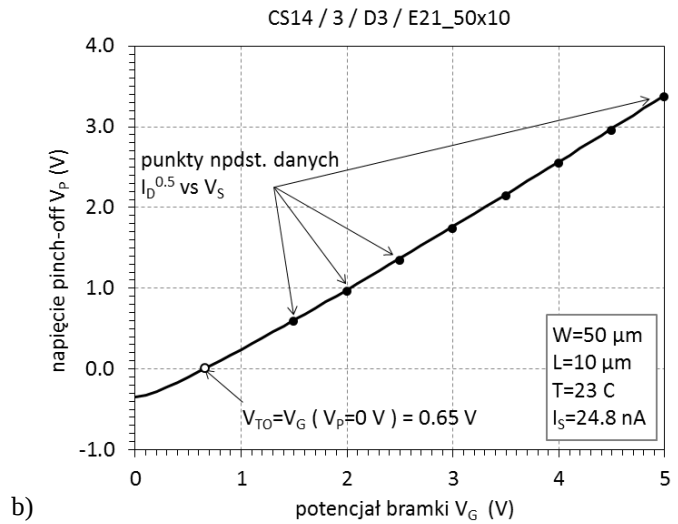
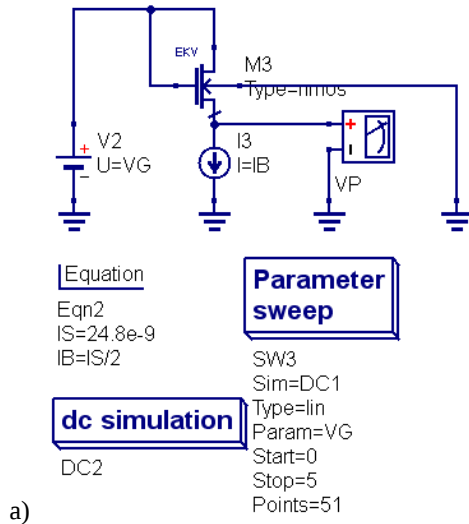
$$I_D = I_S / (4 \cdot U_T^2) \cdot (V_P - V_S)^2 \equiv \sqrt{I_D} = \sqrt{I_S} / (2 \cdot U_T) \cdot (V_P - V_S) \quad (50)$$

Współczynnik kierunkowy liniowej aproksymacji punktów reprezentujących charakterystykę $I_D^{0.5}=f(V_S)$ pozwala wyznaczyć zmienną I_S . Oczywiście, punkt przecięcia tego dopasowania z osią odciętych pozwala wyznaczyć także napięcie odcięcia V_P dla danej wartości napięcia V_G . Zatem mimo, że przy odpowiednio gęstej siatce napięć V_G możliwe jest wyznaczenie zależności $V_P(V_G)$, jednak jest to rozwiązanie niepraktyczne. Jak stwierdzono powyżej, do wyznaczenia charakterystyki $V_P(V_G)$ jest stosowany inny układ pomiarowy.

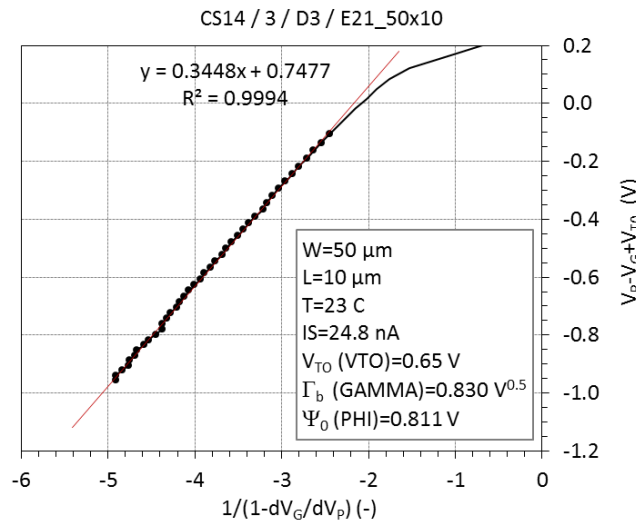
Na rys. 37a i rys. 38a przedstawiono schematy omówionych powyżej układów pomiarowych opracowane w programie Qucs (Quite Universal Circuit Simulator) do symulacji i modelowania układów elektronicznych [68]. Na rys. 37b i rys. 38b przedstawiono przykładowe charakterystyki $I_D^{0.5}=f(V_S)$ oraz $V_P(V_G)$ dla tranzystora NMOS z kanałem o rozmiarach $W=50 \mu\text{m}$, $L=10 \mu\text{m}$, wyznaczone opisanymi wyżej metodami. W ramach podana jest wartość prądu charakterystycznego $I_S=24.8 \text{ nA}$. Na podstawie krzywej $V_P(V_G)$ odczytana została wartość napięcia $V_{T0}=0.65 \text{ V}$. Na rys. 38b zaznaczono także punkty odpowiadające punktom przecięcia liniowej aproksymacji charakterystyki $I_D^{0.5}=f(V_S)$ z osią odciętych (rys. 37b). Warto zauważyć dobrą zgodność pomiędzy napięciami V_P uzyskanymi dwiema metodami. W celu wyznaczenia pozostałych parametrów Γ_b i Ψ_0 wyznaczona została zależność $V_P+V_{T0}-V_G$ od $1/(1-dV_G/dV_P)$, która jest przedstawiona na rys. 39.



Rys.37 a) Konfiguracja układu pomiarowego do wyznaczenia prądu I_S (schemat wygenerowany w programie Qucs); b) Wyznaczenie prądu I_S dla tranzystora NMOS z kanałem o rozmiarach $W=50 \mu\text{m}$, $L=10 \mu\text{m}$ wytworzonego w technologii CMOS (ITE) [107].



Rys.38 a) Konfiguracja układu pomiarowego do wyznaczenia charakterystyki $V_p(V_G)$ (schemat wygenerowany w programie Qucs); b) Charakterystyka $V_p(V_G)$ tranzystora NMOS z kanałem o rozmiarach $W=50\ \mu\text{m}$, $L=10\ \mu\text{m}$ wytworzonego w technologii CMOS (ITE); linia ciągła – dane uzyskane za pomocą układu na rys. 38a; punkty – dane wyznaczone przy użyciu prostych regresji z rys. 37b [107].



Rys.39 Identyfikacja parametrów Γ_b i Ψ_0 na podstawie liniowej aproksymacji zależności $V_p + V_{T0} - V_G$ od $1/(1-dV_G/dV_p)$ tranzystora NMOS z kanałem o rozmiarach $W=50\ \mu\text{m}$, $L=10\ \mu\text{m}$ wytworzonego w technologii CMOS (ITE) [107].

Omówione w tym podpunkcie procedury ekstrakcji parametrów I_S , V_{T0} , Γ_b i Ψ_0 wymagały kilkukrotnego zastosowania regresji liniowej w następujących po sobie krokach.

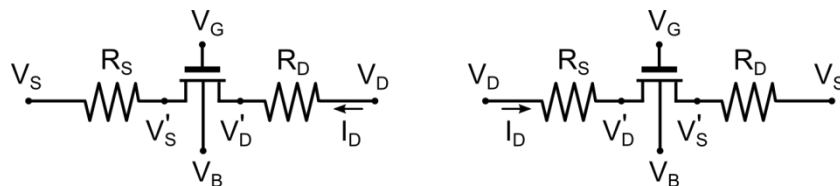
C.4. Metoda ekstrakcji rezystancji szeregowych R_S , R_D związanych z zaciskami źródła i drenu tranzystora MOS. Metoda wykorzystuje charakterystyki tranzystora w zakresie nasycenia [110]. Metoda ta została opracowana przez autora. Wykorzystuje ona bardzo prosty model tranzystora MOS [88], w którym w zakresie nasycenia prąd drenu tranzystora nie zależy od napięcia dren-źródło V_{DS} (51)

$$I_D = \beta/2 \cdot (V_{GS}' - V_T)^2 = \beta/2 \cdot (V_{GS} - V_T - I_D \cdot R_S)^2 \quad (51)$$

gdzie $\beta = W_{\text{eff}}/L_{\text{eff}} \cdot K_P$, K_P - współczynnik transkonduktancji. Po przekształceniu (51) otrzymujemy zależność (52).

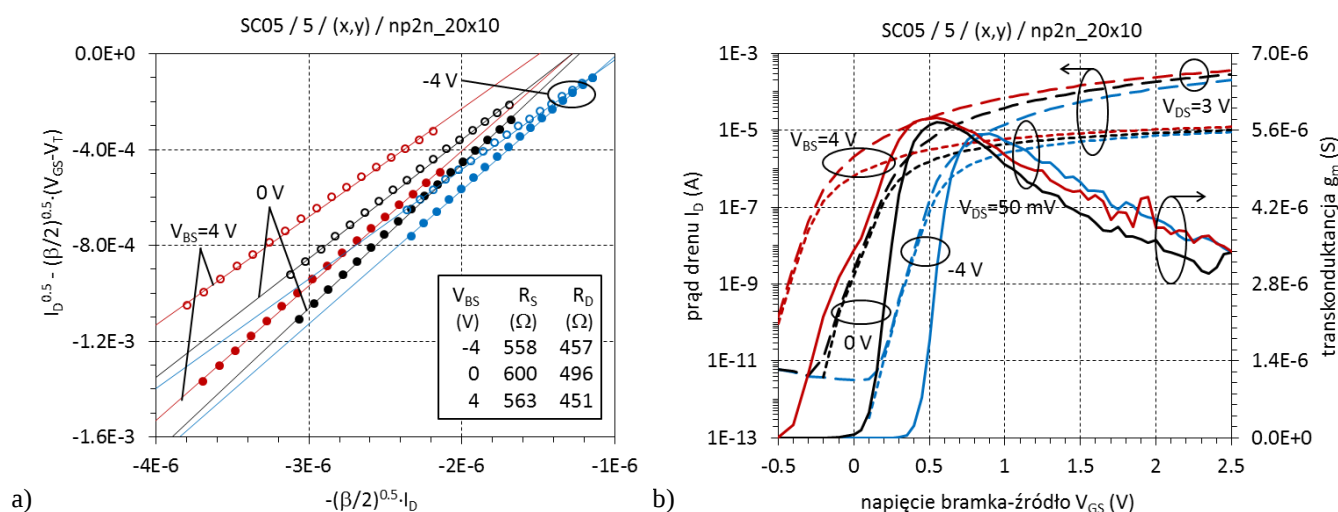
$$\sqrt{I_D} - \sqrt{\beta/2} \cdot (V_{GS} - V_T) = -\sqrt{\beta/2} \cdot I_D \cdot R_S \quad (52)$$

Zależność ta jest słuszna także dla "odwróconej" konfiguracji tranzystora, w którym źródło pełni rolę drenu, a dren źródła (rys. 40). Wówczas, przy założeniu, że właściwości transportu nośników w kanale tranzystora są takie same dla obu konfiguracji (te same wartości β , V_T), w (50) w miejscu parametru R_S pojawia się parametr R_D . Zatem relacja (52) zastosowana do obu konfiguracji pozwala na niezależne oszacowanie metodą regresji liniowej rezystancji R_S , R_D . Znane są inne metody określania tych parametrów (np. [111]), lecz wymagają one znacznie bardziej złożonego przetwarzania charakterystyk $I(V)$ tranzystorów MOS, m.in. wykorzystania konduktancji tranzystora.



Rys.40 Dwie konfiguracje tranzystora MOS, za pomocą których określane są osobno rezystancje R_S , R_D .

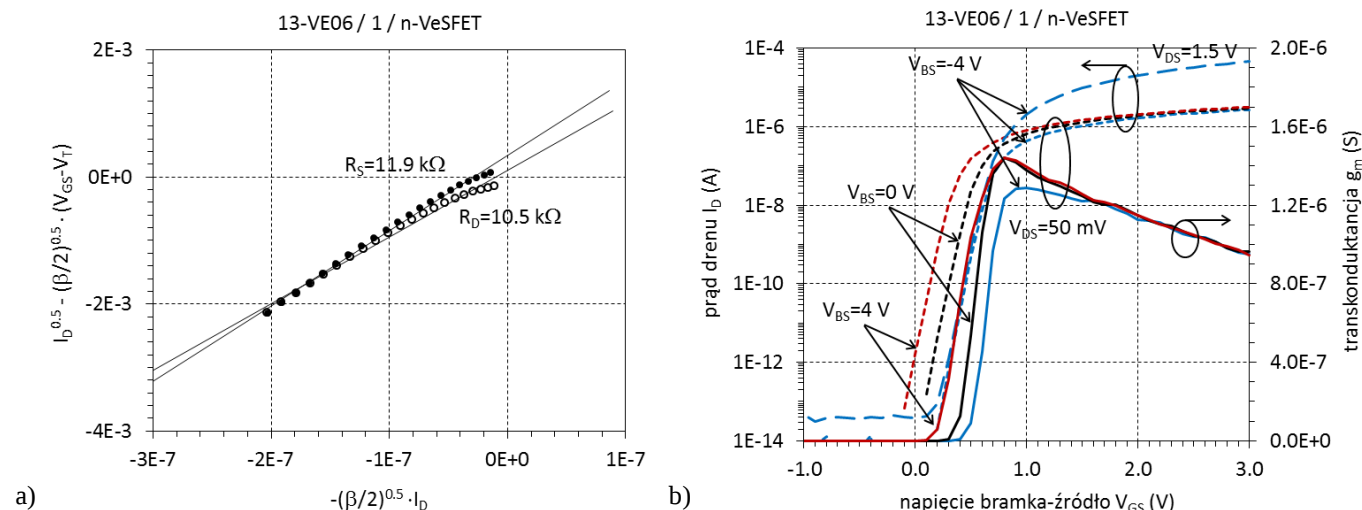
Na rys. 41a przedstawiono zastosowanie metody do wyznaczenia rezystancji szeregowych w tranzystorze NMOS o wymiarach bramki $W=20\ \mu\text{m}$, $L=10\ \mu\text{m}$ wytworzonego w ITE w technologii FDSOI CMOS (UCL). Widoczne są duże wartości rezystancji R_S i R_D , wyraźna asymetria pomiędzy nimi oraz niewielki wpływ polaryzacji podłoża V_{BS} na ich wyznaczone wartości. Duże wartości rezystancji wynikają z tego, że przewodzenie prądu odbywa się w cienkiej warstwie Si o grubości ok. 90 nm. Mają one wpływ m.in. na dość silny spadek transkonduktancji tranzystora w zakresie silnej inwersji (rys. 41b). Asymetrię wynoszącą w tym tranzystorze ok. 20% rezystancji R_D można przypisać m.in. niedokładności centrowania poszczególnych poziomów masek oraz rozrzutowi w formowaniu kontaktów.



Rys.41 a) Identyfikacja rezystancji szeregowych R_S , R_D planarnego tranzystora NMOS SOI z kanałem o rozmiarach $W=20\ \mu\text{m}$, $L=10\ \mu\text{m}$ wytworzonego w ITE w technologii FDSOI CMOS (UCL); b) charakterystyki przejściowe $I_D(V_{GS})$, $g_m(V_{GS})$ tranzystora dla różnych warunków polaryzacji drenu i podłoża [110].

Na rys. 42 zilustrowano zastosowanie omawianej metody do wyznaczenia rezystancji szeregowych w n-kanałowym tranzystorze VeSFET wytworzonym w technologii VeSTIC (ang. *Vertical-Slit Transistor based Integrated Circuit*) [112, 113]. Struktury testowe z tymi przyrządami zostały opracowane i wytworzone w ITE we współpracy z Instytutem Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej [114]. Zastosowana technologia VeSTIC jest unikalna. Bazuje na płytkach SOI. Umożliwia wytwarzanie układów scalonych, których elementy są zaprojektowane na bazie regularnej siatki wzorów w kształcie koła. Promień tych wzorów jest cechą charakterystyczną procesu. Dzięki temu wzory o wymiarach głęboko sub-mikrometrowych są mniej podatne na zniekształcenia w kolejnych operacjach fotolitografii. Technologia VeSTIC umożliwia wytwarzanie na płycie różnych typów przyrządów, tj. tranzystorów polowych z izolacją dielektryczną (VeSFET) z przewodnictwem opartym zarówno na nośnikach mniejszościowych (ze złączami p-n pomiędzy kanałem i obszarami źródła/drenu) jak i większościowych (ze złączami l-h), tranzystorów polowych z izolacją złączową (VeSJFET) oraz tranzystorów bipolarnych z polikrzemowymi emiterami i kolektorami (VeSBJT). Elementy VeSFET, VeSJFET mogą działać jako przyrządy z jedną bramką otaczającą kanał przewodzący oraz z dwiema rozdzielonymi bramkami. Wówczas konieczne jest rozcięcie bramki nad kanałem, na przykład za pomocą procesu polerowania chemiczno-mechanicznego (ang. *chemical-mechanical polishing* – CMP). W tranzystorach VeSBJT rozcięcie linii polikrzemu jest konieczne. Przyrządy VeSFET posiadają wiele cech predestynujących technologię do wykorzystania w produkcji układów scalonych VLSI, jak np. duży współczynnik I_{ON}/I_{OFF} ($\propto 10^7$), stromą charakterystykę przejściową w zakresie podprogowym (ang. *subthreshold swing* $SS \propto 65\text{--}75\ \text{mV/dek.}$) [114, 115]. Inne przyrządy pozostają wciąż w sferze eksperymentów a ich charakterystyki elektryczne nie są jeszcze dobrze rozpoznane [115]. Działanie tych przyrządów jest zdefiniowane przez trzy czynniki: pracę wyjścia materiału bramki względem materiału kanału (parametr istotny dla VeSFET), koncentrację domieszki w kanale oraz jego szerokość (tożsamą z grubością bazy w VeSBJT), która jest określona przez wspomniany promień charakterystyczny. Dlatego tak ważna w tym procesie jest jakość fotolitografii (rozdzielczość, dokładność centrowania, powtarzalność). Technologia dostępna w ITE nie pozwalała na powtarzalne wytworzenie tranzystorów VeSFET z kanałem o szerokości 50-100 nm i o powtarzalnych charakterystykach. Niemniej, testowe przyrządy różnych typów zostały wykonane i przeprowadzono próby ekstrakcji ich parametrów [110, 115, 116]. Eksperymentalny charakter tranzystorów VeSFET jest widoczny na rys. 42, na którym przedstawiono charakterystyki elektryczne tranzystora z kanałem typu n z przewodnictwem większościowym. Oszacowane wartości rezystancji R_S , R_D są bardzo wysokie i nierówne. Bardzo duże wartości tych rezystancji wynikają m.in. z zastosowania pojedynczych kontaktów do cienkiej warstwy Si oraz z tego, że przewodzenie prądu odbywa się poprzez

relatywnie długi obszar dostępu do kanału poprowadzony w cienkiej warstwie Si. Powodują one m.in. wyraźny spadek transkonduktancji w zakresie przewodzenia. Różne wartości rezystancji wynikają m.in. z niedokładności w operacjach fotolitografii obszarów aktywnych, bramki i kontaktów. Warto zwrócić uwagę na fakt, że w porównaniu z planarnymi tranzystorami FDSOI MOS, zależność charakterystyk elektrycznych tranzystorów VeSFET od polaryzacji podłoża jest znacznie słabsza. W idealnym przypadku nie powinny one zależeć od napięcia V_{BS} , ponieważ podobnie do tranzystorów FinFET [117] przewodzenie w nich odbywa się w kanale usytuowanym pionowo względem powierzchni płytki Si.



Rys.42 a) Identyfikacja rezystancji R_s , R_D tranzystora tranzystora VeSFET (kanał typu n tryb akumulacji) wytworzonego w ITE w eksperymentalnym wariantcie technologii VeSTIC; b) charakterystyki $I_D(V_{GS})$, $g_m(V_{GS})$ tranzystora dla różnych polaryzacji drenu i podłoża [110].

D. Metody wykorzystujące typoszeregi przyrządów półprzewodnikowych w celu ekstrakcji parametrów z użyciem podzbiorów punktów ich charakterystyk elektrycznych.

Przyrządy półprzewodnikowe CMOS o mikrometrowych i submikrometrowych wymiarach posiadają złożoną, w rzeczywistości trójwymiarową strukturę. Przez różne fragmenty danego obszaru p.p. (np. złącze p-n lub kanał tranzystora) przepływają składowe sygnałów elektrycznych (np. prądu przewodzenia, prądu przesunięcia), których charakterystyki różnią się ilościowo (wartościami parametrów) lub jakościowo (posiadają odmienny opis). Przykładem takich sygnałów jest prąd złącza p-n w tranzystorze MOS. W pierwszym przybliżeniu w prądzie tym można wyróżnić składową związaną z częścią płaską złącza (płynącą w przybliżeniu pionowo, w kierunku podłoża tranzystora) i składową związaną z częścią peryferyjną/krawędziową (płynącą w przybliżeniu w kierunku lateralnym). Innym przykładem jest prąd przesunięcia płynący przez bramkę tranzystora MOS. W prądzie tym można wyróżnić składową części płaskiej bramki (nad kanałem tranzystora) oraz składowe płynące przez krawędzie bramki (znajdujące się poza kanałem tranzystora). W modelu dynamicznym tranzystora składowe te występują jako prądy zmienne płynące przez nieliniowy kondensator bramkowy oraz przez pojemności zakładek (ang. *overlap/fringing capacitances*). Wydzielenie tych składowych, określenie ich charakterystyk elektrycznych, a następnie ich parametrów jest potrzebne dla charakteryzacji technologii, konstrukcji modeli kompaktowych p.p. oraz symulacji działania układów scalonych.

W tym punkcie zostaną podane przykłady metod, które służą do tego celu. Metody te działają dwustopniowo. W pierwszym etapie na bazie charakterystyk elektrycznych szeregu przyrządów półprzewodnikowych tego samego typu, położonych blisko siebie na płytce krzemowej, wytworzonych w tym samym procesie technologicznym, a więc teoretycznie o identycznej budowie, lecz różniących się wymiarami zdefiniowanymi za pomocą masek dokonuje się separacji różnych składowych w.w. charakterystyk elektrycznych [7]. Ten zabieg jest oparty na silnym założeniu, że p.p. w ramach typoszeregu różnią się tylko rozmiarami, a różnice pomiędzy ich charakterystykami wynikają tylko z różnych "udziałów" poszukiwanych składowych w charakterystykach rozpatrywanych przyrządów półprzewodnikowych. Zatem, jeżeli pojawiają się inne przyczyny różnic pomiędzy charakterystykami elementów w typoszeregu (zamierzone, lecz nieuwzględnione w analizie różnice w projektach p.p., lub różnice niezamierzone, np. defekty) to wynik separacji zapewne będzie błędny. Zatem w szczególności należy bardzo ostrożnie podchodzić do zastosowania tych metod w odniesieniu do współczesnych p.p. o bardzo małych rozmiarach (poniżej 100 nm), które są w sposób nieunikniony podatne na rozrzuty procesu technologicznego. Dla potrzeb separacji stosuje się zwykle metodę regresji liniowej, w której zmienną niezależną jest wyróżniony zmienny rozmiar elementów w typoszeregu, a zmienną zależną jest wartość rozpatrywanej charakterystyki p.p. w typoszeregu. Procedura ta jest wykonywana po kolei dla wszystkich punktów rozpatrywanych charakterystyk. W drugim etapie analizy rozseparowane składowe charakterystyki stanowią dane wejściowe dla ekstrakcji parametrów modeli tych składowych, analogicznie do metod opisanych w poprzednich punktach.

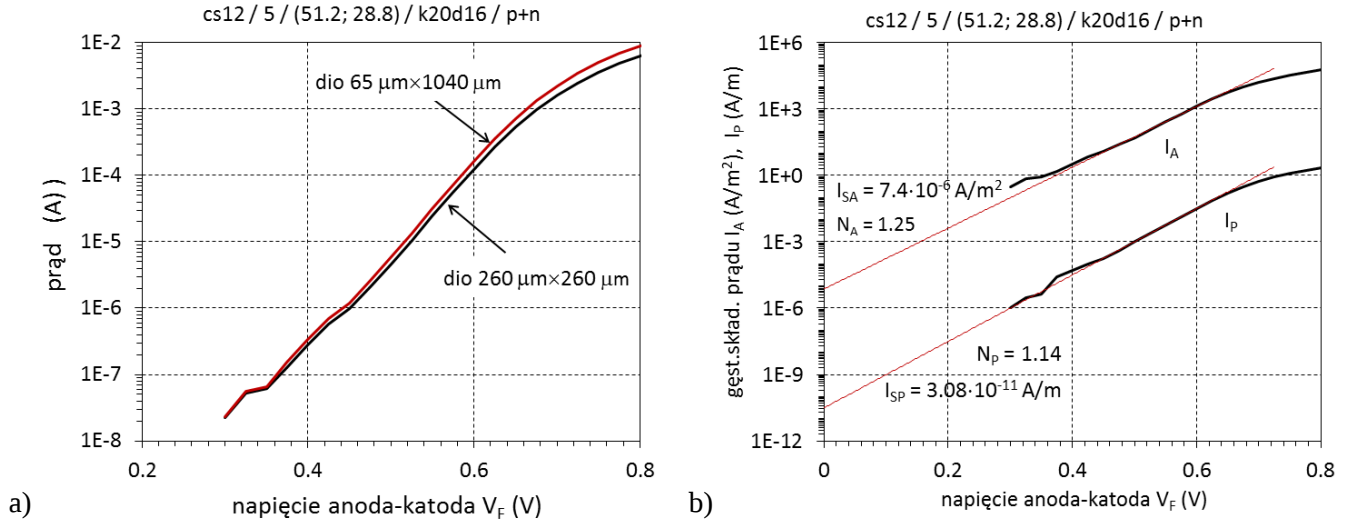
D.1. Metoda ekstrakcji współczynników idealności N_A , N_P oraz gęstości prądu nasycenia I_{SA} , I_{SP} części płaskiej i peryferyjnej złącza p-n. Parametry te są określane dwuetapowo. W pierwszym kroku na podstawie zmierzonych charakterystyk $I(V_F)$ diod o różnym stosunku pola powierzchni A do długości obwodu P określane są charakterystyki $I_A(V_F)$, $I_P(V_F)$ obu składowych. Metoda ta była stosowana w pracy [118] w stosunku do charakterystyk diod w kierunku zaporowym. W drugim kroku wyznaczane są poszukiwane parametry przy użyciu klasycznego modelu transportu w złączu p-n wyrażonego w zakresie "umiarkowanego" poziomu wstrzykiwania formułą (53).

$$I_{A/P}(V_F) = I_{SA/P} \cdot \exp[V_F / (N_{A/P} \cdot U_T)] \quad (53)$$

Metoda jest zilustrowana na rys. 43 na przykładzie charakterystyk $I(V_F)$ prostokątnych diod p⁺-n o wymiarach 260μm×260μm oraz 65μm×1040μm wytworzonych w ITE w technologii CMOS. W tym eksperymencie typoszereg składał się tylko z dwóch diod danego typu. Zatem wspomniana wcześniej metoda liniowej regresji zależności prądu od lateralnych rozmiarów diod sprowadzała się do rozwiązania układu dwóch równań (54) względem dwóch zmiennych niezależnych $I_A(V_F)$, $I_P(V_F)$.

$$\begin{cases} I_1(V_F) = A_1 \cdot I_A(V_F) + P_1 \cdot I_P(V_F) \\ I_2(V_F) = A_2 \cdot I_A(V_F) + P_2 \cdot I_P(V_F) \end{cases} \quad (54)$$

W rozpatrywanym przykładzie zachodziły warunki $A_1=A_2$, $P_1 < P_2$. Zgodnie z oczekiwaniem prąd diody o kształcie prostokątnym był większy od prądu diody o kształcie kwadratowym (rys. 43a). Wynik separacji składowych charakterystyk $I_A(V_F)$, $I_P(V_F)$ wraz z wynikiem ekstrakcji parametrów jest przedstawiony na rys. 43b.



Rys.43 a) Charakterystyki $I(V_F)$ diod p⁺-n o wymiarach 260μm×260μm oraz 65μm×1040μm wytworzonych w ITE w technologii CMOS; b) Ekstrakcja współczynników idealności N_A , N_P i gęstości prądu nasycenia I_{SA} , I_{SP} na podstawie charakterystyk $I_A(V_F)$, $I_P(V_F)$ określonych na podstawie charakterystyk $I(V_F)$ dwóch diod p⁺-n (prace w ITE – nieopublikowane).

D.2. Metoda jednoczesnej ekstrakcji skrócenia długości kanału tranzystora MOS ΔL oraz sumy rezystancji szeregowych źródła i drenu $R_S + R_D$. Jest to metoda dwustopniowa. W pierwszym kroku wykonywane są pomiary charakterystyk $I(V)$ tranzystorów MOS należących do typoszeregu o zmiennej nominalnej długości kanału L . Wymiary kanału (L , W) nie powinny być zbyt małe, aby nie wpływały na wartość napięcia progowego tranzystorów w typoszeregu. Dla każdego z tranzystorów wyznaczana jest rezystancja wyjściowa tranzystora R_{out} dana zależnością (55), opartą na prostym modelu tranzystorów MOS [88].

$$R_{out} = V_{DS} / I_D = [(L + \Delta L) / W] / [K_P \cdot (V'_{GS} - V_T - V'_{DS} / 2)] + (R_S + R_D) \quad (55)$$

Parametr K_P oznacza współczynnik transkonduktancji tranzystora. $\Delta L > 0$ oznacza wydłużenie kanału względem wartości nominalnej, natomiast $\Delta L < 0$ oznacza skrócenie kanału. Zmienne V'_{GS} , V'_{DS} oznaczają wartości "wewnętrznych" napięć bramka-źródło, dren-źródło (patrz rys. 40). Na podstawie (55) można się spodziewać, że linie proste reprezentujące regresję liniową opartą na zależności rezystancji R_{out} od nominalnej długości kanału L poprowadzone dla różnych wartości napięcia bramka-źródło V_{GS} winny przeciąć się w jednym punkcie o współrzędnych $(-\Delta L, R_S + R_D)$. To był podstawowy wynik pracy [119]. W praktyce okazuje się jednak, że wspomniane proste nie przecinają się w jednym punkcie, lecz tworzą wiązkę prostych przecinających się w różnych, blisko położonych punktach. Oznacza to, że metoda ta nie pozwala na jednoznaczne określenie parametrów ΔL i $R_S + R_D$. Efekt ten jest widoczny na rys. 44, na którym przedstawiono działanie metody [119] dla typoszeregu tranzystorów o wymiarach $W=50 \mu m$, $L=50, 10, 5, 3 \mu m$ wytworzonych w ITE w technologii CMOS.

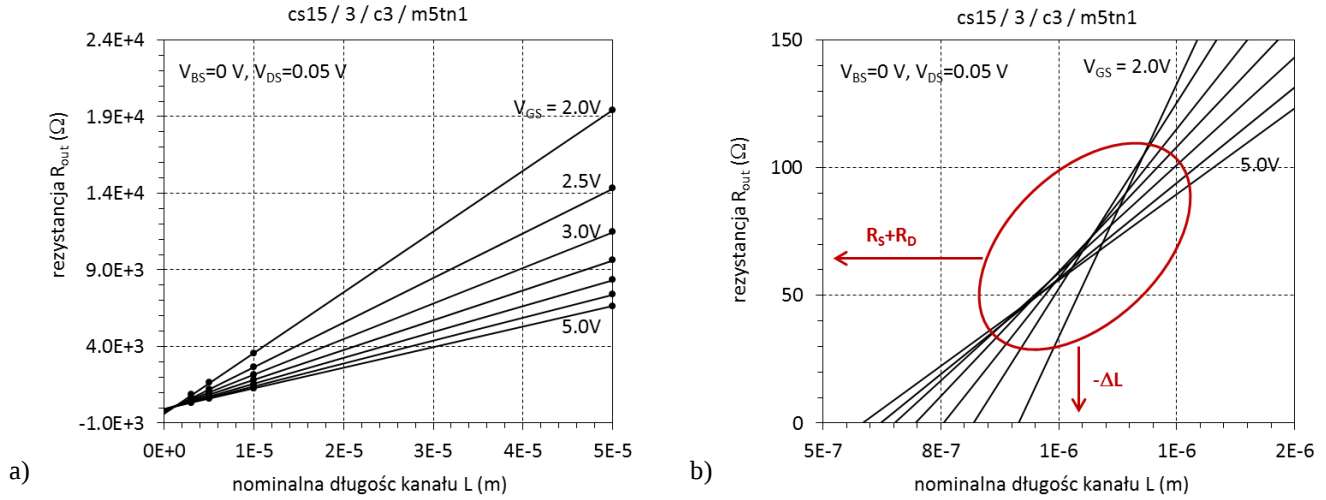
W pracy [120] została zaproponowana metoda jednoznacznego oszacowania wartości poszukiwanych parametrów ΔL oraz $R_S + R_D$. Jeżeli zależność (55) zostanie przedstawiona w postaci (56)

$$R_{out} = a \cdot (L + \Delta L) + (R_S + R_D) = a \cdot L + b \quad (56)$$

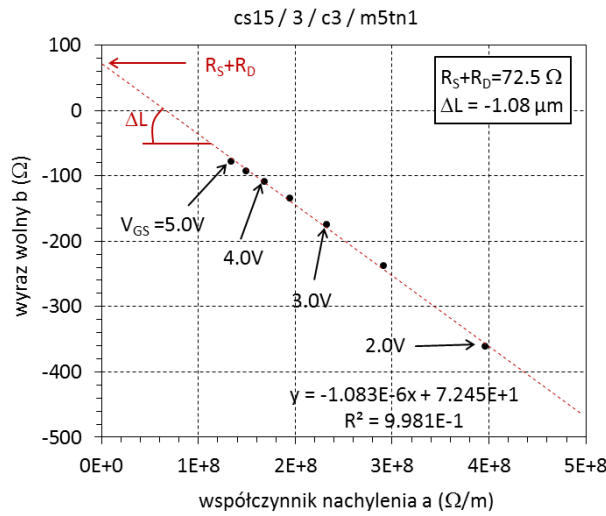
to można zauważyć, że zachodzi zależność (57) pomiędzy współczynnikami a , b .

$$b = a \cdot \Delta L + (R_S + R_D) \quad (57)$$

Zatem skonstruowanie regresji liniowej opartej na punktach (a_i, b_i) , odpowiadających różnym wartościom napięcia V_{GS} pozwala wyznaczyć jednoznacznie parametry ΔL i $R_S + R_D$. Działanie tej metody na bazie wyników z rys. 44 jest przedstawione na rys. 45.



Rys.44 Określanie parametrów ΔL i R_S+R_D metodą [119] dla typoszeregu tranzystorów o wymiarach $W=50 \mu m$, $L= 50, 10, 5, 3 \mu m$ wytworzonych w ITE w technologii CMOS; punkty oznaczają wyznaczone rezystancje R_{out} , linie ciągłe oznaczają proste regresji liniowej (55) (prace nieopublikowane).



Rys.45 Określanie parametrów ΔL i R_S+R_D metodą [120] zastosowaną do danych na rys.44.

D.3. Metoda ekstrakcji parametrów modelu pojemności złącza p-n w zakresie polaryzacji w kierunku zaporowym z uwzględnieniem części płaskiej i krawędziowej złącza. Parametry te są określane dwuetapowo. W pierwszym kroku na podstawie zmierzonych charakterystyk $C(V_R)$ szeregu diod o różnym stosunku pola powierzchni A do długości obwodu P określane są charakterystyki $C_A(V_R)$, $C_P(V_R)$ obu składowych [118]. W drugim kroku przy użyciu klasycznego modelu pojemności złącza p-n wyrażonego wzorem (58)

$$C_{A/P}(V_R) = C_{J,A/P} / (1 + t \cdot V_R / \phi_{bi,A/P})^{M_{J,A/P}} \quad (58)$$

wyznaczane są parametry: $C_{J,A}$, $C_{J,P}$ - pojemności części płaskiej złącza na jednostkę pola powierzchni i krawędzi złącza na jednostkę długości obwodu dla $V_R=0$ V, $M_{J,A}$, $M_{J,P}$, - współczynniki zależności obu składowych od napięcia V_R , $\phi_{bi,A}$, $\phi_{bi,P}$ - napięcia wbudowane dla obu składowych. V_R oznacza napięcie pomiędzy obszarem dyfuzyjnym i podłożem: ujemne dla złącza p⁺-n, dodatnie dla złącza n⁺-p, t oznacza typ domieszkowania podłoża ($t=+1$ dla typu p, -1 dla typu n). Metodę określenia parametrów $C_{J,A}$, $M_{J,A}$, $\phi_{bi,A}$, opracowaną przez autora, można sformułować w skrócie następująco [96, 97]:

$$C_{J,A} = C_A(0) \quad (59)$$

Parametry $M_{J,A}$, $\phi_{bi,A}$ są określane za pomocą liniowej regresji zastosowanej do zależności (60) wynikającej wprost z (58).

$$V_R = -t \cdot \phi_{bi,A} - M_{J,A} \cdot C_A / (dC_A/dV_R) \quad (60)$$

Warto podkreślić, że metoda ta pozwala określić parametry $M_{J,A}$, $\phi_{bi,A}$ bez konieczności iteracyjnego dopasowania modelu (58) do danych eksperymentalnych. Parametry $C_{J,P}$, $M_{J,P}$, $\phi_{bi,P}$ są określane analogicznie na podstawie charakterystyki $C_P(V_R)$.