

Dr inż. Rafał Długosz
Uniwersytet Technologiczno-Przyrodniczy
Wydział Telekomunikacji, Informatyki i
Elektrotechniki
Bydgoszcz

Wniosek o przeprowadzenie postępowania habilitacyjnego
w dziedzinie Nauk technicznych
w dyscyplinie Elektronika

Autoreferat

Poznań, Maj 2013



Spis treści

1	Uzyskane tytuły oraz stopnie naukowe	3
2	Informacje o zatrudnieniu w jednostkach naukowo-badawczych oraz pobytach badawczych na innych uczelniach	3
3	Ogólny przegląd osiągnięć naukowych	4
3.1	Impact factor oraz punktacja na podstawie list ministerialnych A oraz B	4
3.2	Cytowania prac własnych	5
3.3	Stypendia naukowe na uczelniach oraz w instytutach zagranicznych	6
4	Wskazane osiągnięcie naukowo-badawcze	7
4.1	Wykaz publikacji dotyczących wskazanego osiągnięcia	7
4.2	Syntetyczny opis publikacji zawartych w jednotematycznym cyklu pt. "Analogowe oraz analogowo-cyfrowe specjalizowane układy scalone niskiego poboru mocy pracujące w trybie równoległym oraz asynchronicznym"	8
4.2.1	Wprowadzenie	8
4.2.2	Układy pracujące w trybie prądowym czy napięciowym?	9
4.2.3	Układy synchroniczne czy asynchroniczne?	11
4.2.4	Projektowanie układów w stylu 'full custom'	12
4.2.5	Streszczenie artykułów składających się na 'wskazane osiągnięcie'	13
5	Pozostałe osiągnięcia naukowo-badawcze oraz dydaktyczne	20
5.1	Wykaz pozostałych publikacji po uzyskaniu stopnia doktora inżyniera	20
5.1.1	Artykuły w czasopismach naukowych z Listy Filadelfijskiej	20
5.1.2	Artykuły w pozostałych czasopismach naukowych polskich i zagranicznych	21
5.1.3	Rozdziały w zagranicznych monografiach naukowych	22
5.1.4	Publikacje w materiałach konferencji międzynarodowych	22
5.2	Udział w projektach krajowych i zagranicznych	27
5.2.1	Udział w projektach badawczych po uzyskaniu stopnia doktora inżyniera.	27
5.2.2	Udział w projektach badawczych przed uzyskaniem stopnia doktora inżyniera	28
5.3	Wyróżnienia oraz stypendia naukowe	29
5.4	Recenzowanie artykułów do czasopism naukowych oraz konferencyjnych	29
5.5	Recenzowanie wniosków stypendialnych	30
5.6	Udział w komitetach organizacyjnych konferencji	30
5.7	Działalność dydaktyczna	30
5.7.1	Zajęcia prowadzone dawniej oraz obecnie	30
5.7.2	Opieka nad studentami różnych szczebli edukacji	30
A	Cytowania nie ujęte w bazach Web od Science oraz Scopus	31

1 Uzyskane tytuły oraz stopnie naukowe

- 06/2004 : Doktor inżynier w dziedzinie Telekomunikacja, specjalność Przetwarzanie Sygnałów. Wydział Elektryczny, Politechnika Poznańska. Tytuł rozprawy: "Design and optimization of finite impulse response electronic filters integrated in the CMOS technology"
- 09/1996 : Magister inżynier w dziedzinie Automatyka i Robotyka, Wydział Elektryczny, Politechnika Poznańska. Praca pt. "Implementacja Nowych Adaptacyjnych Algorytmów Sterowania Robotami Przemysłowymi".

2 Informacje o zatrudnieniu w jednostkach naukowo-badawczych oraz pobytach badawczych na innych uczelniach

- 10/2010 – nadal Uniwersytet Technologiczno-Przyrodniczy, Wydział Telekomunikacji, Informatyki i Elektrotechniki, Bydgoszcz, Polska
- 10/2002 – nadal Pracownik dydaktyczny - Wyższa Szkoła Informatyki i Umiejętności w Łodzi, oddział zamiejscowy w Bydgoszczy
- 08/2010 – nadal Senior Scientist (Analog Design Services), CMOS Emerging Technologies Research Inc. 1-1125 Kensal Pl., Coquitlam, Kolumbia Brytyjska, V3B 0G3, Canada
- 12/2012 – 02/2013 Pobyt naukowy w Instytucie przemysłowym IHP (Innovations for High Performance Microelectronics – dawniej Institute für Halbleiterphysik), Frankfurt nad Odrą, Niemcy. Pobyt w ramach otrzymanego stypendium naukowego niemieckiej fundacji DAAD (Deutscher Akademischer Austausch Dienst) – Scalona realizacja miniaturowego (0.01 mm²) 10-bitowego przetwornika analogowo-cyfrowego typu SAR (successive approximation) pracującego w trybie prądowym oraz cyfrowego asynchronicznego bloku wykrywania zwycięskiego neuronu dla sprzętowej sieci neuronowej Kohonena.
- 01/2009 – 12/2012 Swiss Federal Institute of Technology in Lausanne (EPFL), Institute of Microtechnology (IMT), Electronics and Signal Processing Laboratory (ESPLAB), Szwajcaria (do 08/2010 na pełnym etacie; W roku 2012 jako Invited Professor z kilkumiesięcznym pobytem w Szwajcarii)
- 09/2006 – 12/2008 University of Neuchâtel (IMT ESPLAB), Szwajcaria – W ramach stypendium naukowego Marie Curie 6 Programu Ramowego Unii Europejskiej
- 09/2005 – 08/2008 University of Alberta, Department of Electrical and Computer Engineering (ECE), Edmonton, Kanada. W ramach stypendiów naukowych Fundacji na Rzecz Nauki Polskiej oraz Marie Curie UE. W 2012 roku miesięczny pobyt na University of Alberta jako Visiting Professor (scalona realizacja wybranych bloków sieci neuronowej).
- 06/2006 Staż naukowy w Scanimetrics Company, Edmonton, Kanada (<http://www.scanimetrics.com>)
- 10/2004 – 09/2010 Adiunkt, Politechnika Poznańska, Wydział Informatyki i Zarządzania
- 10/2001 – 09/2004 Asystent, Politechnika Poznańska, Wydział Informatyki i Zarządzania
- 10/1996 – 09/2001 Asystent, Politechnika Poznańska, Wydział Elektryczny
- 10/1999 – 03/2000 Pobyt naukowy w Instytucie przemysłowym IHP Microelectronics, Frankfurt nad Odrą, Niemcy

3 Ogólny przegląd osiągnięć naukowych

Zestawienie statystyczne osiągnięć naukowo-badawczych Autora przedstawione jest w Tabeli 1. Obejmuje ono publikacje, udział w projektach badawczych oraz stypendia naukowe. Pełny wykaz artykułów opublikowanych po uzyskaniu stopnia doktora inżyniera znajduje się w kolejnych rozdziałach.

Tablica 1: Ogólny wykaz osiągnięć naukowo-badawczych

L.p.	Wykaz osiągnięć	Przed doktoratem	Po doktoracie	Łącznie
1	Publikacje w czasopismach wyróżnionych przez Journal Citation Reports (Lista Filadelfijska)	1	12	13
2	Publikacja w innym recenzowanym czasopiśmie krajowym lub zagranicznym	0	16	16
3	Autorstwo rozdziału w monografii lub podręczniku akademickim w języku angielskim	1	4	5
4	Publikacje w materiałach międzynarodowych konferencji naukowych	24	66	90
5	Udział w projektach badawczych polskich	4	1	5
6	Udział w projektach badawczych zagranicznych	2	5	7
7	Stypendia naukowe krajowe i zagraniczne	1	5	6

3.1 Impact factor oraz punktacja na podstawie list ministerialnych A oraz B

W Tabelach 2 oraz 3 przedstawiono Impact Factor (IF) oraz punktację na podstawie aktualnych (z dnia 20.12.2012) list ministerialnych A i B wszystkich publikacji w czasopismach oraz rozdziałów w monografiach naukowych opublikowanych po uzyskaniu stopnia doktora inżyniera.

Tablica 2: Impact Factor oraz punktacja dla czasopism z Listy Filadelfijskiej (lista A)

L.p.	Czasopismo	IF (Punkty)	Liczba publikacji	Łączny IF (Punkty)
1	Elsevier – Neural Networks	2.182 (30)	1	2.182 (30)
2	IEEE Transactions on Neural Networks	2.952 (45)	2	5.904 (90)
3	IEEE Transactions on Circuits and Systems (II: Express Briefs)	1.410 (30)	1	1.410 (30)
4	Elsevier – Microelectronics Journal	0.919 (20)	2	1.838 (40)
5	Elsevier – Microelectronics Reliability Journal	1.212 (20)	1	1.210 (20)
6	Elsevier – Neurocomputing	1.580 (25)	1	1.580 (25)
7	Electronics Letters	0.970 (25)	1	0.970 (25)
8	Springer – Journal of Signal Processing Systems	0.672 (20)	1	0.672 (20)
9	(Electrical Review) Przegląd Elektrotechniczny	0.244 (15)	2	0.488 (30)
10	Bulletin of the Polish Academy of Sciences-Technical Sciences	0.966 (30)	1	0.966 (30)
	Łącznie		13	17.22 (340)

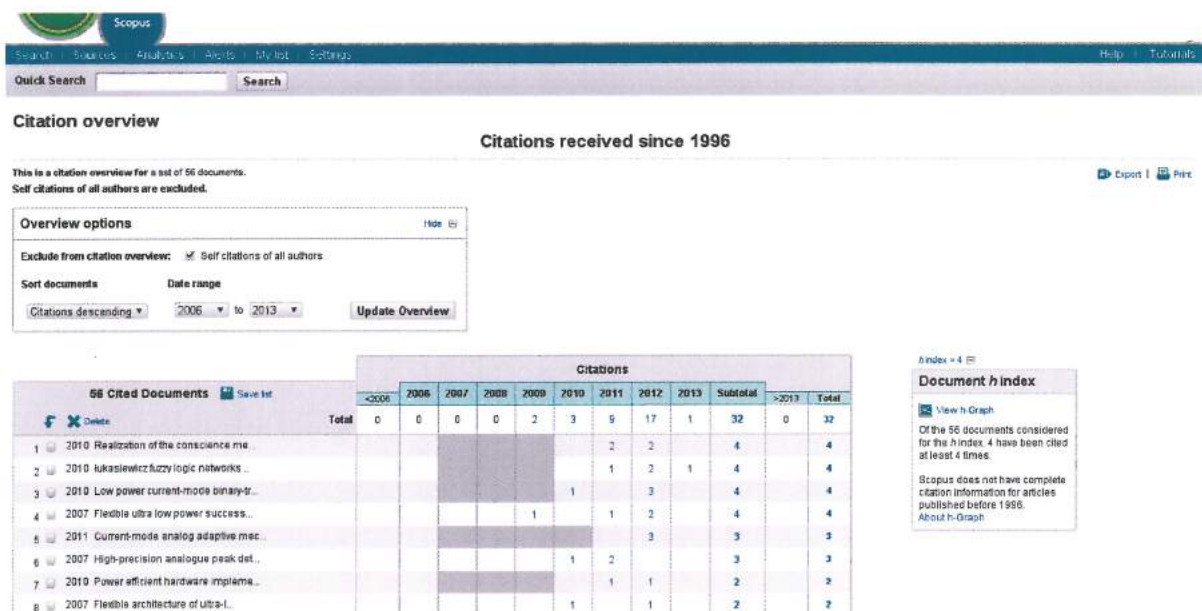
Tablica 3: Punktacja pozostałych artykułów w czasopismach krajowych i zagranicznych (lista B)

L.p.	Czasopismo	Punkty	Liczba publikacji	Łącznie Punkty
1	Rozdziały w książkach (Springer oraz CRC Press)	7	4	28
2	International Journal of Electronics and Telecommunications	8	1	8
3	Elektronika : konstrukcje, technologie, zastosowania	6	6	36
4	Journal of Solid State Phenomena	10	5	50
5	Zeszyty Naukowe Uniwersytetu Technologiczno-Przyrodniczego	4	2	8
6	Prace Naukowe Politechniki Śląskiej – Elektryka	4	1	4
7	Machine Graphics & Vision	7	1	7
	Łącznie		20	140

Łączna liczba punktów za publikacje w czasopismach naukowych oraz za rozdziały w książkach na podstawie zestawienia przedstawionego w Tabelach 2 oraz 3 wynosi 480.

3.2 Cytowania prac własnych

Liczba cytowań została sprawdzona na podstawie baz Scopus oraz Web of Science. Wyniki wraz z indeksem Hirscha przedstawione są na Rysunkach 1 oraz 2.

Rysunek 1: Wykaz liczby cytowań (32) oraz indeks Hirscha ($h = 4$) na podstawie bazy Scopus

W bazach tych nie uwzględniono kilku najnowszych cytowań. Warto też dodać, że większość artykułów Autora z listy filadelfijskiej ukazała się w ostatnich trzech latach. Cytowania które raportowane są w wyżej wymienionych bazach dotyczą więc stosunkowo krótkiego okresu czasu.

Handwritten signature



Rysunek 2: Wykaz liczby cytowań (32) oraz indeks Hirscha ($h = 3$) na podstawie bazy Web of Science

3.3 Stypendia naukowe na uczelniach oraz w instytutach zagranicznych

Po uzyskaniu stopnia doktora inżyniera Autor uzyskał trzy prestiżowe stypendia naukowe, w ramach których spędził za granicą ponad pięć lat.

Pierwsze stypendium otrzymał z Fundacji na Rzecz Nauki Polskiej na roczny pobyt naukowy w Edmonton w Kanadzie na University of Alberta, gdzie współpracował z Prof. Krzysztofem Iniewskim oraz prof. Witoldem Pedryczem. Współpraca ta jest cały czas kontynuowana.

Kolejne trzyletnie stypendium otrzymał w ramach programu Marie Curie 6 Programu Ramowego Unii Europejskiej. W ramach tego stypendium spędził dwa kolejne lata na University of Alberta w Kanadzie, a następnie rok w Szwajcarii, początkowo pracując na University of Neuchâtel, a następnie w Ecole Polytechnique Fédérale de Lausanne (EPFL). Zmiana uczelni nastąpiła w wyniku przeniesienia całego Instytutu (Institute of Microtechnology) na tę drugą uczelnię. Po zakończeniu obu stypendiów władze EPFL przedłużyły z Autorem kontrakt na kolejny rok w ramach środków własnych.

Współpraca zarówno z EPFL jak i University of Alberta jest cały czas kontynuowana. W 2012 roku Autor otrzymał z EPFL w Szwajcarii zaproszenie, w ramach którego spędził w Szwajcarii dwa miesiące, pracując jako Invited Professor. W 2012 roku spędził również miesiąc na University of Alberta jako Visiting Professor.

W ostatnim czasie Autor otrzymał również stypendium z niemieckiej fundacji DAAD. Na przełomie 2012 oraz 2013 roku spędził trzy miesiące w Instytucie przemysłowym Innovations for High Performance Microelectronics (IHP), we Frankfurcie nad Odrą.

W czasie pobytu za granicą Autor brał aktywny udział w kilku projektach badawczych realizowanych we współpracy z kilkoma ośrodkami przemysłowymi w Kanadzie oraz Szwajcarii. Szczegóły przedstawiono w Rozdziale 5.2.

4 Wskazane osiągnięcie naukowo-badawcze

Jako osiągnięcie wynikające z art. 16 ust. 2 ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki Autor wskazuje jednotematyczny cykl ośmiu publikacji pod tytułem:

**“Analogowe oraz analogowo-cyfrowe specjalizowane
układy scalone niskiego poboru mocy
pracujące w trybie równoległym oraz asynchronicznym”**

4.1 Wykaz publikacji dotyczących wskazanego osiągnięcia

Własny udział procentowy podany jest w nawiasach okrągłych na końcu każdej pozycji. Na początku poszczególnych pozycji w nawiasach kwadratowych podane są akronimy poszczególnych artykułów, ułatwiające orientację w punkcie 4.2.5.

1. [TNN WTM] R. Długosz, M. Kolasa, W. Pedrycz, M. Szulc, “Parallel Programmable Asynchronous Neighborhood Mechanism for Kohonen SOM Implemented in CMOS Technology”, *IEEE Transactions on Neural Networks*, Vol. 22, Iss. 12, pp. 2091–2104, (December 2011) **(55 %)**
2. [NN TNF] M. Kolasa, R. Długosz, W. Pedrycz, M. Szulc, “Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip”, *Neural Networks*, Elsevier, Vol. 25, pp.146–160, (January 2012) **(45 %)**
3. [TNN CONS] R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna “Realization of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks”, *IEEE Transactions on Neural Networks*, Vol. 21, Iss.6, pp.961–971, (June 2010), **(40 %)**
4. [TCAS ADM] R. Długosz, T. Talaśka, W. Pedrycz, “Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks”, *IEEE Transactions on Circuits and Systems–II: Express Briefs*, Vol. 58, Iss. 1, pp. 31–35, (January 2011), **(50 %)**
5. [MJ MIN/MAX] R. Długosz, T. Talaśka, “Low Power Current-Mode Binary-Tree Asynchronous Min/Max Circuit”, *Microelectronics Journal*, Elsevier, Vol.41, No.1, pp.64–73, (January 2010), **(60 %)**
6. [PE MIN/MAX] R. Długosz, T. Talaśka, “A Power-Efficient, Current-Mode, Binary-Tree Min / Max Circuit for Kohonen Self-Organizing Feature Maps and Nonlinear Filters”, *Electrical Review* (Przegląd Elektrotechniczny), Thomson Master Journal list, ISSN 0033-2097, R. 86 NR 11a/2010, pp.237–241 (November 2010), **(60 %)**
7. [NEUR LUK] R. Długosz, W. Pedrycz, “Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation”, *Neurocomputing*, Elsevier, doi:10.1016/j.neucom.2009.11.027, Vol. 73, Iss.7-9, pp.1222–1234, (March 2010), **(80 %)**
8. [MJ MUX] R. Długosz, P.A. Farine, K. Iniewski, “Power Efficient Asynchronous Multiplexer for X-Ray Sensors in Medical Imaging Analog Front-End Electronics”, *Microelectronics Journal*, Elsevier, Vol. 42, Iss. 1, pp.33-42, (January 2011), **(75 %)**

Szczegółowy opis wkładu autora wniosku w wyżej wymienione publikacje zawarty jest w osobnym oświadczeniu dołączonym do wniosku.

4.2 Syntetyczny opis publikacji zawartych w jednotematycznym cyklu pt. “Analogowe oraz analogowo-cyfrowe specjalizowane układy scalone niskiego poboru mocy pracujące w trybie równoległym oraz asynchronicznym”

4.2.1 Wprowadzenie

Przedstawione prace dotyczą zagadnień związanych z projektowaniem specjalizowanych układów scalonych pracujących w sposób równoległy i/lub asynchroniczny, cyfrowych, analogowych lub mieszanych. Praca asynchroniczna oznacza w tym przypadku brak konieczności używania sterującego układu zegarowego (p.4.1.[1,2,7-26]), albo wykonywanie wielu operacji elementarnych w jednym takcie zegara (p.4.1.[3-5]). Tak rozumiany tryb asynchroniczny w wielu przypadkach znacząco upraszcza strukturę układu scalonego, a dodatkowo może prowadzić do znaczących oszczędności pobieranej energii. Obie te zalety mają duże znaczenie w przypadku stosowania takich układów w systemach w których miniaturyzacja oraz energooszczędność są kluczowymi wymogami.

Specjalizowane układy scalone (ASIC – ang. *Application Specific Integrated Circuits*) ze względu na wiele swoich zalet wykorzystywane są w niemal wszystkich dziedzinach współczesnego życia. Obecnie najliczniejszą ich grupę stanowią układy oparte na technice cyfrowej, co wynika z kilku ważnych przesłanek. Postęp technologiczny jaki obserwujemy pozwala na coraz większą miniaturyzację, co ma szczególne znaczenie patrząc z punktu widzenia układów cyfrowych. Układy te w porównaniu z układami analogowymi są dużo bardziej odporne na wpływ procesu technologicznego jak i zmian warunków zewnętrznych takich jak napięcie zasilania oraz temperatura otoczenia (PVT – ang. *process, voltage, temperature*). W przypadku układów cyfrowych parametry PVT wpływają głównie na szybkość osiąganą przez układ scalony, najczęściej jednak nie zmieniają jego funkcjonalności nawet przy zastosowaniu minimalnych dla danej technologii wymiarów tranzystorów (p.4.1.[1,2]). W przypadku układów analogowych obserwujemy negatywny wpływ parametrów PVT na zachowanie układu. Jednym z podstawowych problemów jest tutaj zjawisko niedopasowania tranzystorów (ang. *transistor mismatch*) pojawiające się w trakcie procesu technologicznego. W nowszych technologiach obserwuje się co prawda poprawę dopasowania tranzystorów, jednak nie jest ono liniowo zależne od zastosowanej technologii – rozpatrując powierzchnię bramki tranzystora jako parametr (p.4.1.[4]). Jako przykład możemy rozważyć dwa lustra prądowe zrealizowane w technologiach CMOS 0.18 μm oraz 0.8 μm . Jeśli powierzchnie bramek tranzystorów wchodzących w skład tych luster są w obu technologiach takie same, to niedopasowanie napięć progowych, ΔV_{TH} , tranzystorów wchodzących w skład tych luster jest w nowszej z tych technologii jedynie dwukrotnie mniejsze niż w starszej. Powoduje to, że w przypadku układów analogowych tranzystory najczęściej muszą być mocno przewymiarowane. W rezultacie stosowanie nowszych technologii do projektowania czysto analogowych układów, albo układów z przewagą bloków analogowych staje się nieopłacalne.

W wielu przypadkach jedynie wybrane bloki całego systemu muszą być realizowane w technice analogowej (np. przetworniki A/C lub ich komponenty). Dodatkowo w niektórych zastosowaniach układy analogowe oferują określone zalety w porównaniu z rozwiązaniami czysto cyfrowymi. Przykładem może być tutaj realizowana przez autora analogowa sieć neuronowa Kohonena (p.4.1.[3-5]), w której nie potrzeba stosować przetworników A/C, pomimo że sygnały wejściowe są analogowe. Najczęściej jednak optymalnym rozwiązaniem jest zastosowanie układów mieszanych analogowo-cyfrowych, w miarę możliwości w nowszych technologiach z przewagą bloków cyfrowych. W każdym razie odpowiedź na często stawiane pytanie, która z wymienionych technik jest lepsza nie jest jednoznaczna. Każdy przypadek musi być rozpatrywany indywidualnie.

Zastosowanie układów ASIC pozwala na uzyskanie sporej elastyczności rozpatrując takie parametry jak szybkość, pobór mocy oraz powierzchnia układu scalonego. Układy takie umożliwiają łatwe uzyskanie równoległego przetwarzania danych w poszczególnych blokach składowych, co pozwala na osiąganie szybkości często wielokrotnie przekraczającej szybkość współczesnych komputerów (p.4.1.[1,2]). Możliwość dopasowania, w układach ASIC, struktury poszczególnych bloków

składowych do określonych zadań jest jedną z ich podstawowych zalet. Powoduje to, że możliwe jest uzyskanie bardzo małych rozmiarów układu scalonego oraz bardzo niskiego poboru mocy, nawet o kilka rzędów wielkości niższego niż w przypadku realizacji tych zadań za pomocą standardowych układów takich jak komputery PC, układy FPGA czy mikrokontrolery (p.4.1.[1,2]). Przykładami mogą być tutaj realizowane przez autora na poziomie tranzystorów sztuczne sieci neuronowe oraz filtry analogowe i cyfrowe. W przypadku sieci neuronowych możliwa jest równoległa praca wszystkich neuronów lub nawet poszczególnych bloków wewnątrz każdego z neuronów (p.4.1.[3-5]).

Układy ASIC umożliwiają stosunkowo prostą realizację asynchronicznego przetwarzania danych. Podejście to Autor zastosował w kilku realizowanych przez siebie układach, co pozwoliło bardzo mocno uprościć strukturę tych układów, poprzez eliminację sterujących systemów zegarowych wymaganych w przypadku układów synchronicznych. Pozwoliło to również znacząco zwiększyć szybkość działania tych układów. Jednym z takich przykładów jest zaproponowany przez autora asynchroniczny mechanizm sąsiedztwa zastosowany w samoorganizującej się mapie Kohonena (p.4.1.[1]). Układ ten dodatkowo pracuje w trybie równoległym. Innym przykładem jest asynchroniczny multiplexer do zastosowań w układach ASIC stosowanych w obrazowaniu medycznym (p.4.1.[8]). Rolą tego układu jest wychwytywanie zdarzeń pojawiających się w sposób przypadkowy w czasie w kanałach dołączonych do poszczególnych wejść multiplexera.

Niski pobór mocy oraz małe wymiary jakie osiągnięto w realizowanych układach scalonych umożliwiają ich zastosowanie w sieciach bezprzewodowych typu WSN (ang. *Wireless Sensor Network*) oraz WBAN (ang. *Wireless Body Area Network*). Jednym z kluczowych parametrów w tych sieciach jest moc pobierana przez poszczególne węzły. Celem optymalizacyjnym jest tutaj obniżenie poboru mocy z jaką pracują poszczególne bloki w węzłach sieci do takiego poziomu, aby możliwa była ich praca przy wykorzystaniu energii pobieranej z otoczenia lub aby mogły one przez długi okres czasu pracować na jednej baterii. Typowe bloki wchodzące w skład urządzeń pracujących w węzłach sieci WSN oraz WBAN to: sensory, opcjonalnie filtry, przetworniki A/C, opcjonalnie dedykowany mikroprocesor optymalizowany pod określone zadania, oraz układ bezprzewodowej komunikacji z pozostałymi węzłami sieci oraz ze stacją bazową (RF front end). Poprzez odpowiednią optymalizację algorytmów uczenia sieci neuronowych można doprowadzić do opłacalności zastosowania miniaturowych sieci neuronowych bezpośrednio w węzłach sieci WSN, które same decydowałyby kiedy należy skomunikować się ze stacją bazową. W tym przypadku komunikacja mogłaby odbywać się znacznie rzadziej, co pozwoliłoby zaoszczędzić spore ilości energii (blok RF często zużywa nawet 90-95% całkowitej energii).

4.2.2 Układy pracujące w trybie prądowym czy napięciowym?

W przypadku realizowanych układów analogowych konieczna była odpowiedź na pytanie, który z wymienionych trybów pracy jest optymalny w danym przypadku. Powszechnie uważa się, że układy pracujące w trybie prądowym cechują się mniejszą precyzją niż układy pracujące w trybie napięciowym. Analizy prowadzone ostatnio pokazują jednak, że przy obniżaniu napięcia zasilania, co wynika z rozwoju technologii CMOS, stopniowo zanika przewaga układów pracujących w trybie napięciowym. Przy niższych napięciach zasilania mniejsza jest bowiem dopuszczalna amplituda sygnałów napięciowych, co przy określonym poziomie szumów zmniejsza wartość stosunku sygnał/szum 'signal-to-noise ratio' (SNR). Co więcej, nawet jeśli tryb napięciowy posiada przewagę nad trybem prądowym z punktu widzenia kryterium SNR, to istnieją klasy układów, w których mniejsza precyzja jest dopuszczalna i nie jest szczególnie istotna, natomiast zalety użycia techniki prądowej są dużo ważniejsze.

Zalety stosowania układów pracujących w trybie prądowym:

- a. Prostota budowy, której rezultatem jest mniejsza powierzchnia zajmowana w układzie scalonym. Pozwala to na niższe koszty wykonania oraz możliwość scalania większych systemów na małej powierzchni. Przykładem są przetworniki A/C typu SAR (successive approximation) pracujące w trybie prądowym – patrz punkty 5.1.[3] oraz 5.1.[23]. Prace te nie wchodzą w zakres ‘wskazanego osiągnięcia’, ponieważ przedstawiają układy pracujące sekwencyjnie w trybie synchronicznym.
- b. Układy prądowe pracując z ustalonym napięciem zasilania są w stanie pracować z prądami, które mogą różnić się nawet o kilka rzędów wielkości. W efekcie uzyskuje się dużą elastyczność w dopasowywaniu wymaganej szybkości działania układu do pobieranej mocy.
- c. Łatwość realizacji funkcji ‘power down’. W układach prądowych realizowanych w technologii CMOS zwykle wystarczy odłączyć źródła sygnałów prądowych od wejść układu, by wszystkie tranzystory wchodzące w skład luster prądowych przeszły w stan wysokiej rezystancji kanału, co radykalnie obniża moc pobieraną przez cały układ.

Przedstawione zalety układów pracujących w trybie prądowym były kluczowe przy podejmowaniu decyzji w sprawie techniki użytej przy realizacji opisanych analogowych układów scalonych. Warto tutaj wspomnieć, że były to układy dla których precyzja umożliwiająca uzyskanie rozdzielczości sygnałów na poziomie 8 bitów była wystarczająca. Układy pracujące w trybie prądowym posiadają też wady, które wymagają uważnego projektowania, co zostało przedstawione poniżej.

Wady stosowania układów pracujących w trybie prądowym oraz sposoby radzenia sobie z nimi:

- a. Jednym z podstawowych problemów jest wpływ niedopasowania tranzystorów na parametry luster prądowych. Wpływ ten, wynikający z procesu technologicznego, jest w szczególności widoczny w przypadku podprogowej pracy tranzystorów w lustrach prądowych (p.4.1.[4]). Aby minimalizować ten wpływ wymagane są odpowiednie techniki projektowania struktury układu (layout).

Jednym z wymogów jest umieszczanie tranzystorów wchodzących w skład poszczególnych luster w miarę blisko siebie i odpowiednie ich ułożenie względem siebie. Nie zawsze jest to możliwe, jednak przy odpowiednim przemyśleniu samej koncepcji projektowanego układu, można uzyskać prawie optymalne ułożenie.

Inną techniką jest przewymiarowanie tranzystorów wchodzących w skład luster prądowych, co jednak ma negatywny wpływ na powierzchnię układu oraz na szybkość działania wynikającą ze zwiększonych pojemności pasożytniczych bramek tranzystorów (p.4.1.[3-6,26]). Analiza wykonana przez Autora pokazuje też, że przy określonym poziomie sygnałów prądowych zwiększanie wymiarów tranzystorów nie prowadzi do poprawy dopasowania tranzystorów, a wręcz może je zmniejszać (p.4.1.[4,5]). Dzieje się tak np. w trybie nadprogowym. W tym przypadku błąd wzmocnienia luster prądowych zależy nie tylko od rozrzutu takich parametrów jak np. napięcie progowe V_{TH} (threshold voltage), czy wzmocnienie tranzystora β (transistor gain factor), ale również od napięcia V_{GS} . Jeżeli przy określonym poziomie wartości prądów zwiększa się wymiary tranzystorów w lustrach, wówczas maleje rozrzut wspomnianych parametrów, ale maleje również napięcie V_{GS} , wymuszane przez prąd wejściowy lustra. Ten ostatni czynnik powoduje zwiększenie błędów. Analiza pokazuje, że dla określonych wartości prądów istnieje pewne optimum, które trzeba zlokalizować (p.4.1.[4,5]). Zostało to potwierdzone eksperymentalnie w kilku wykonanych układach scalonych.

- b. Efekt wstrzykiwania ładunku (ang. *charge injection effect*) ma duży wpływ na dokładność zapisu i odczytu informacji w prądowych komórkach pamięci. Nieliniowa (wykładnicza) zależność pomiędzy napięciem V_{GS} oraz prądem wpływającym do drenu powoduje, że w określonym zakresie punktu pracy tranzystora nawet relatywnie duże zmiany prądu wejściowego lustra

powodują stosunkowo małe zmiany napięcia na bramkach tranzystorów wchodzących w skład tego lustra. W przypadku komórek pamięci typu 'sample-and-hold' (S&H) zbudowanych np. na bazie luster prądowych, napięcia będące odpowiednikami prądów wejściowych zapisywane są na kondensatorach przyłączonych do bramek tranzystorów (C_{ST} – storage capacitor) w poszczególnych lustrach prądowych. Ponieważ efekt wstrzykiwania ładunku ma bezpośredni wpływ na napięcie zapisane na tych kondensatorach, dlatego ma to dość duży wpływ na dokładność zapisanej informacji.

Z problemem tym można sobie radzić na kilka sposobów. Jednym z nich jest zwiększenie pojemności kondensatorów, na których zapisywana jest informacja, przy jednoczesnym niezwiększaniu wymiarów tranzystorów w kluczach dołączonych do tych kondensatorów. W ten sposób rosną jednak wartości stałych czasowych ładowania kondensatorów, co prowadzi do zmniejszenia szybkości układu. Dodatkowo rośnie powierzchnia układu.

Innym sposobem jest stosowanie tzw. 'dummy switches'. W kluczach tych dreny oraz źródła tranzystorów są ze sobą zwarte, a same klucze sterowane są sygnałami zegarowymi o odwrotnej polaryzacji niż klucze doprowadzające informację do kondensatorów. Problem z kluczami 'dummy' jest taki, że bardzo trudno jest uzyskać za ich pomocą liniową kompensację efektu wstrzykiwania ładunku w całym zakresie napięć (typowo w układach napięciowych 'rail-to-rail'). Ponieważ jednak w komórkach opartych na lustrach prądowych napięcie to zmienia się w stosunkowo niewielkim zakresie, dlatego taka kompensacja jest możliwa po odpowiedniej optymalizacji. Zostało to szerzej opisane w p.4.1.[4].

- c. Innym problemem jaki ma duży wpływ na zachowanie układów pracujących w trybie prądowym jest tzw. efekt upływności (ang. *leakage effect*). Efekt ten można do pewnego stopnia minimalizować poprzez zwiększenie pojemności w pamięciach analogowych, jednak odbywa się to za cenę zmniejszenia osiągalnej szybkości działania oraz zwiększenia powierzchni układu. Inny sposób ograniczania wpływu tego zjawiska jaki został zastosowany w układzie opisanym w p.4.1.[4] polega na takiej konstrukcji pamięci analogowej, aby po obu stronach klucza doprowadzającego informację do kondensatora C_{ST} zachowywać podobny potencjał, co znacząco zmniejsza prąd upływu. Jest to możliwe przy odpowiedniej konstrukcji mechanizmu adaptacyjnego, jaki został zastosowany w zaprojektowanej analogowej sieci neuronowej (p.4.1.[3,4]).

W układach analogowych pracujących w trybie prądowym, którymi zajmował się Autor, nie były stosowane bloki aktywne typu wzmacniacze operacyjne. Miało to na celu ograniczenie poboru mocy oraz zmniejszenie zajmowanej powierzchni tych układów. Pewną wadą takiego podejścia jest ograniczenie szybkości działania układu. Przykładowo w technologii CMOS 0.18 μm granica ta dla niektórych realizowanych układów przy standardowym napięciu zasilania $V_{DD}=1.8\text{ V}$ wynosiła kilkanaście MHz. Ograniczenie to wynikało np. z wolnej pracy komparatorów (realizowanych w tym przypadku w oparciu o inwertery CMOS) przy niewielkich różnicach porównywanych prądów jakie trzeba było brać pod uwagę (np. w układach opisanych w p.4.1.[3-6]). Problem ten był analizowany dokładniej w przypadku równoległego układu służącego do detekcji zwycięskiego neuronu (p.4.1.[5]) w zaprojektowanej analogowej sieci Kohonena.

4.2.3 Układy synchroniczne czy asynchroniczne?

Układy asynchroniczne stwarzają potencjalnie szereg problemów. Niektóre z nich powstają podczas realizacji ich struktury wewnętrznej, a inne podczas współpracy tych układów z blokami synchronicznymi w jednym większym systemie. Istnieją jednak takie obszary zastosowań, w których użycie tych układów jest bardzo wskazane i dlatego warto podejmować próby rozwijania takich rozwiązań. Sposób w jaki bloki asynchroniczne współpracują z innymi blokami jest krytyczny dla zapewnienia stabilności całego systemu. Układy asynchroniczne mogą wykonywać określoną listę zadań, pracując np. w trybie 'feed-forward', w którym cały cykl zadań wykonuje się w jednym takcie zegara

narzuconego przez system. Przykładem jest tutaj asynchroniczny równoległy mechanizm sąsiedztwa zaproponowany przez Autora do zastosowań w sieciach neuronowych Kohonena realizowanych sprzętowo (p.4.1.[1]). Układy te mogą też pracować jako samodzielne bloki, jak np. wielowejściowy równoległy asynchroniczny filtr obrazu (p.4.1.[26]).

W przypadku braku zewnętrznego sygnału wyzwalającego który steruje danym układem asynchronicznym, układ taki najczęściej znajduje się w trybie uśpienia ('power-down'), praktycznie nie pobierając w tym czasie energii. W momencie gdy na wejście (lub wejścia) podany zostaje określony sygnał, układ taki przechodzi do trybu aktywnego, wykonuje określoną listę zadań, a następnie ponownie przechodzi do trybu uśpienia. Przykładem takiego rozwiązania jest asynchroniczny równoległy multiplekser CMOS zaproponowany przez Autora w p.4.1.[8] i opisany poniżej. W układzie tym tryb uśpienia uzyskiwany jest w sposób naturalny, ponieważ układy cyfrowe CMOS praktycznie nie pobierają energii, gdy nie są przełączane. Multiplekser został zaprojektowany do zastosowań w wielokanałowych specjalizowanych układach scalonych stosowanych w medycynie nuklearnej. W układach tych poszczególne kanały uaktywniane są za pomocą danych pojawiających się asynchronicznie na ich wejściach.

W pewnym sensie do układów asynchronicznych zaliczyć można również takie rozwiązania, w których określona lista zadań wykonywana jest przy asyście wewnętrznego układu sekwencyjnego, który nie jest sterowany z zewnątrz ale uruchamiany i zatrzymywany jest określonymi sygnałami wewnętrznymi. Z punktu widzenia systemu zewnętrznego układ taki widziany jako tzw. czarna skrzynka (ang. *black box*). Uruchamiany jest w określonych okolicznościach, generując określone wyniki po czasie nie dłuższym niż tzw. założony najgorszy przypadek. Okres czasu określany jako najgorszy przypadek jest tutaj narzucony przez system. Przykładem takiego układu jest zaproponowany przez Autora przetwornik A/C typu SAR opisany w p.5.1.62. Wewnętrzny układ zegarowy tego przetwornika uaktywniany jest sygnałem (flaga), który pojawia się w momencie, gdy na wejście przetwornika podany zostanie sygnał o określonej wartości. Powoduje to wybudzenie przetwornika. Następnie wewnętrzny blok sekwencyjny generuje określoną liczbę taktów zegarowych, które sterują poszczególnymi stopniami algorytmu konwersji. Na końcu przetwornik ponownie przechodzi w stan uśpienia. Jest to rodzaj automatu skończonego (FSM – ang. *finite state machine*).

Prezentowane układy asynchroniczne mają kilka istotnych zalet. Jedną z nich jest brak konieczności stosowania złożonego, wielofazowego systemu zegarowego. Brak zegara sterującego znacząco upraszcza całkowitą strukturę układu, co ma wpływ na powierzchnię zajmowaną w układzie scalonym. Zdecydowanie zmniejsza się wtedy pobór mocy, a w układach analogowych dodatkowo poprawia się jakość przetwarzania sygnałów, co wynika z braku przenikania cyfrowych sygnałów zegarowych do torów sygnałów analogowych. Wszystkie te cechy mają istotne znaczenie z punktu widzenia urządzeń stosowanych w sieciach typu WSN oraz WBAN.

Większość układów asynchronicznych zaproponowanych przez Autora umożliwia równoległe przetwarzanie sygnałów. Jak wspomniano wcześniej układy te nie zawsze są bardzo szybkie (dotyczy to projektowanych układów analogowych), jednak ze względu na prostą strukturę istnieje możliwość umieszczenia wielu takich bloków w jednym układzie scalonym. Równoległa praca pozwala na osiągnięcie wydajności obliczeniowej przewyższającej moc obliczeniową układów cyfrowych takich jak np. komputer PC dodatkowo przy dużo mniejszym poborze mocy (p.4.1.[1,3]).

4.2.4 Projektowanie układów w stylu 'full custom'

Prezentowane autorskie układy scalone projektowane były w stylu 'full-custom'. Metoda ta została wybrana z kilku względów:

- a. Projektowane układy bardzo często zawierały bloki zarówno analogowe jak i cyfrowe. Metody automatyczne (np. metoda cel standardowych) typowo stosuje się w przypadku układów cyfrowych, więc w tym przypadku nie znalazły one zastosowania.

- b. W opinii Autora, gdy metoda "full custom" używana jest w sposób umiejętny, prowadzi do uzyskania lepszych parametrów, takich jak np. powierzchnia zajmowana w układzie scalonym oraz zużywana energia. Dodatkowo w określonych przypadkach projektowanie tą metodą zabiera podobną ilość czasu jak w przypadku metod automatycznych.
- c. Wiele rozwiązań układowych zaproponowanych przez Autora wymagało bardzo precyzyjnego określenia lokalizacji określonych bramek, czy też większych bloków w layoucie (p.4.1.[1,8]). Zalety tych układów w dużej mierze zależały od tego rozkładu.

4.2.5 Streszczenie artykułów składających się na 'wskazane osiągnięcie'

1. TNN WTM

W artykule zaproponowany został równoległy asynchroniczny cyfrowy mechanizm sąsiedztwa do zastosowań w samoorganizujących się sieciach neuronowych Kohonena (SOM – ang. *Self-Organizing Map*) realizowanych jako specjalizowane układy scalone w technologii CMOS. Mechanizm może współpracować z sieciami neuronowymi realizowanymi zarówno jako układy analogowe jak i cyfrowe. Rolą układu jest wyznaczanie odległości topologicznych pomiędzy neuronem zwycięskim oraz wszystkimi neuronami należącymi do jego sąsiedztwa, niezależnie od lokalizacji neuronu zwycięskiego w mapie oraz niezależnie od liczby neuronów w sieci. Podstawowymi zaletami układu jest to, że wszystkie odległości wyznaczone są jednocześnie w bardzo krótkim czasie. Wyznaczone odległości są następnie używane przez bloki funkcji sąsiedztwa (patrz punkt NN TNF poniżej) w poszczególnych neuronach do wyznaczania współczynnika z jakim dany neuron będzie adaptował swoje wagi. W typowych implementacjach softwarowych odległości do poszczególnych neuronów należących do sąsiedztwa wyznaczone są sekwencyjnie. Adaptacja wag w poszczególnych neuronach również odbywa się sekwencyjnie. Powoduje to bardzo duże opóźnienia, które rosną liniowo ze wzrostem liczby neuronów należących do sąsiedztwa neuronu zwycięskiego.

Mechanizm zaproponowany w artykule działa na zupełnie innej zasadzie. Neuron zwycięski generuje 1-bitowy sygnał 'EN' (Enable), który rozchodzi się we wszystkich kierunkach mapy zawsze w kierunku od neuronu zwycięskiego. Sygnał ten przechodzi przez wszystkie pierścienie neuronów otaczających neuron zwycięski, stanowiąc jednocześnie informację dla poszczególnych neuronów, że mogą dokonać adaptacji swoich wag. Propagacja sygnału EN odbywa się poprzez opisany w pracy blok EN_PROP, który jest tak skonstruowany aby zapobiegać kolizjom. Oznacza to, że nie ma możliwości aby sygnał EN rozprzestrzeniał się np. wokół pierścieni neuronów lub zawrócił w stronę neuronu zwycięskiego. Innymi słowy nie ma takiej możliwości, aby sygnał EN dotarł do któregośkolwiek neuronu z innego kierunku niż w prostej linii od neuronu zwycięskiego.

Problem polega na tym, że propagacja sygnału EN musi zostać zatrzymana na określonym pierścieniu neuronów. Odległość tego pierścienia od neuronu zwycięskiego (zwana promieniem sąsiedztwa, R) jest parametrem ustalonym dla każdej epoki uczenia sieci. Aby umożliwić zatrzymanie sygnału EN na określonym pierścieniu, neuron zwycięski równoległe z tym sygnałem wysyła dodatkowo wielobitowy sygnał r . Sygnał ten przechodzi przez poszczególne pierścienie neuronów również w sposób asynchroniczny oraz równoległe we wszystkich kierunkach od neuronu zwycięskiego. W tym przypadku utrzymanie właściwych kierunków rozprzestrzeniania się sygnału r zapewniane jest przez sygnały EN w poszczególnych neuronach. Na każdym pierścieniu neuronów wartość sygnału r jest zmniejszana o 1 za pomocą opisanego w artykule asynchronicznego bloku R_PROP. Propagacja sygnału EN kończy się na tym pierścieniu, na którym sygnał r przyjmuje wartość 0.

Propagacja sygnału EN odbywa się asynchronicznie. Opóźnienie na każdym pierścieniu wynika z czasu propagacji jedynie kilku bramek logicznych, co powoduje, że cały proces zabiera bardzo mało czasu. W rezultacie odległości do wszystkich neuronów sąsiadujących

z neuronem zwycięskim nawet dla dużych sieci neuronowych zawierających setki neuronów wyznaczone są równolegle w czasie nieprzekraczającym kilkunastu ns (wyniki uzyskane w technologii CMOS 0.18 μm . Istnieje możliwość poprawy tych parametrów w nowszych technologiach dostępnych obecnie na rynku). Po tym czasie adaptacja we wszystkich neuronach może odbywać się również w sposób równoległy.

Wartość sygnału r_i na poszczególnych pierścieniach, i , może być w prosty sposób użyta do wyznaczenia szukanych odległości d_i na zasadzie $d_i = R - r_i$.

Zaproponowany układ jest programowalny, co oznacza, że całą mapę neuronów można w prosty sposób (za pomocą jedynie kilku bitów) przełączać pomiędzy trzema typowymi topologiami (prostokątną z czterema oraz ośmioma sąsiadami, oraz heksagonalną). Ma to duże znaczenie, ponieważ szczegółowe badania na modelu sieci dla różnych rozmiarów map oraz różnych danych wejściowych, przedstawione w artykule pokazały, że dla różnych przypadków różne topologie mapy są optymalne. Rozwiązanie takie czyni sieć neuronową dużo bardziej uniwersalnym rozwiązaniem.

Mechanizm sąsiedztwa został zweryfikowany symulacyjnie na poziomie tranzystorów dla kilkudziesięciu kombinacji parametrów PVT, pracując stabilnie w dużych zakresach tych parametrów (tzw. ang. *corner analysis*). Mechanizm stanie się jednym z podstawowych bloków projektowanej obecnie sieci neuronowej Kohonena, która dzięki niemu osiągnie moc obliczeniową kilkaset razy przekraczającą moc obliczeniową typowego komputera PC. Układ jest energooszczędny. Dla przykładowej mapy 8×8 neuronów zużywa energię na poziomie kilkudziesięciu pJ na jeden cykl obejmujący wyznaczenie wszystkich szukanych odległości. Dużą zaletą układu jest też to, że po wyznaczeniu wszystkich odległości, w czasie adaptacji wag i dalszych operacji wykonywanych przez sieć neuronową, mechanizm przechodzi w stan uśpienia, nie pobierając więcej energii.

Jak wspomniano na początku, zaproponowany układ może współpracować z sieciami neuronowymi, w których przetwarzanie informacji odbywa się zarówno za pomocą bloków analogowych, jak i cyfrowych, co czyni z niego rozwiązanie uniwersalne.

2. NN TNF

Artykuł przedstawia koncepcję oraz realizację na poziomie tranzystorów w technologii CMOS trójkątnej funkcji sąsiedztwa do zastosowań w równoległej samoorganizującej się sieci neuronowej Kohonena z asynchronicznym równoległym mechanizmem sąsiedztwa opisanym w poprzednim punkcie (TNN WTM).

W artykule przeprowadzono szczegółowe badania symulacyjne w oparciu o model sieci neuronowej mające na celu pokazanie wpływu różnych funkcji sąsiedztwa oraz innych parametrów na jakość uczenia sieci. Badania pokazały, że zastosowanie innej funkcji sąsiedztwa niż prostokątna (RNF - ang. *rectangular neighborhood function*) często prowadzi do lepszych wyników uczenia, szczególnie w przypadku dużych sieci. Studium literatury przedmiotu pokazuje, że funkcją typowo stosowaną w celu polepszenia jakości procesu uczenia jest funkcja Gaussa (GNF - ang. *Gaussian neighborhood function*). Zastosowanie tej funkcji w przypadku realizacji softwarowych sieci Kohonena nie jest trudne. Z tego względu w dominujących w literaturze implementacjach tego typu funkcja ta jest zazwyczaj stosowana. Inaczej sytuacja wygląda w przypadku implementacji sprzętowej. Realizacja funkcji Gaussa w układzie scalonym, w którym nawet kilkaset neuronów pracuje równolegle jest bardzo trudna. Wynika to z dużej złożoności sprzętowej bloku realizującego taką funkcję oraz faktu, że każdy neuron musi posiadać własną kopię takiego bloku, aby była możliwa w pełni równoległa praca.

Biorąc to pod uwagę, w artykule zaproponowano aby funkcję Gaussa zgrubnie aproksymować funkcją trójkątną (TNF - ang. *triangular neighborhood function*). Przeprowadzone szczegółowe badania porównawcze pokazały że zastosowanie funkcji trójkątnej daje wyniki porównywalne, a często nawet lepsze niż przy zastosowaniu funkcji Gaussa. Badania tego

typu nie były do tej pory prowadzone na taką skalę. Wynika to prawdopodobnie z faktu, że w przypadku implementacji softwarowych na komputerach o dużej mocy obliczeniowej rodzaj funkcji sąsiedztwa ma drugorzędne znaczenie. Badania takie mają jednak bardzo duże znaczenie w przypadku implementacji sieci Kohonena na poziomie tranzystorów ale też w układach FPGA oraz mikrokontrolerach, czyli wszędzie tam gdzie zasoby sprzętowe są ograniczone. Realizacja funkcji trójkątnej wymaga zastosowania jedynie prostych operacji arytmetycznych takich jak dodawanie, mnożenie oraz tak jak w przypadku zaproponowanej funkcji dzielenie przez określone stałe, które może być realizowane poprzez przesuwanie bitów. W rezultacie złożoność sprzętowa (mierzona liczbą użytych tranzystorów) jest w tym przypadku mniejsza nawet o 95 % w porównaniu z funkcją Gaussa.

W artykule zbadano też wpływ ograniczonej liczby bitów w sygnale wyjściowym bloku funkcji sąsiedztwa na jakość procesu uczenia. Badania pokazały, że sieć uczy się prawidłowo nawet gdy liczba bitów zostanie zredukowana do 6 (dla danych wejściowych rozłożonych nieregularnie w przestrzeni danych). Fakt ten dodatkowo upraszcza strukturę bloku funkcji sąsiedztwa. Ostatecznie liczba użytych tranzystorów dla pojedynczego bloku TNF wyniosła nieco ponad 1300.

Zaproponowany blok realizujący funkcję sąsiedztwa działa asynchronicznie. W układzie zastosowano asynchroniczny układ mnożący. Dzielenie przez liczbę całkowitą wymagane do tego, aby uzyskać efekt mnożenia przez współczynnik mniejszy od 1, zostało ograniczone do liczb będących kolejnymi potęgami liczby 2. Pozwoliło to zrealizować układ dzielący jako prosty asynchroniczny przesuwnik bitów. Czas potrzebny na wyliczenie współczynnika uczenia, η , z jakim w kolejnym kroku będzie przebiegała adaptacja w danym neuronie nie przekraczał 6 ns dla technologii CMOS 0.18 μm . Współczynnik uczenia obliczany jest na podstawie sygnału d_i , który wcześniej obliczany jest w asynchronicznym mechanizmie sąsiedztwa opisanym w punkcie TNN WTM.

3. TNN CONS

W artykule przedstawiono nowatorski projekt analogowej samoorganizującej się sieci neuro nowej typu WTA (ang. *Winner Takes All*) zaimplementowanej na poziomie tranzystorów w technologii CMOS. Sieć działa w sposób równoległy, a dodatkowo większość operacji wykonywanych jest asynchronicznie. W sieciach tego typu po podaniu nowego n -elementowego wzorca uczącego $X = [x_1, x_2, \dots, x_n]$, każdy z neuronów wyznacza odległość własnego wektora wag $W = [w_1, w_2, \dots, w_n]$ od tego wektora, w oparciu o określoną miarę odległości. W przypadku miary Euklidesa odległość ta dla j -tego neuronu wyznaczana jest według zależności:

$$d_j = \sqrt{\sum_{i=1}^n (x_i - w_{i,j})^2} \quad (1)$$

Z punktu widzenia algorytmu uczenia sieci ważna jest jedynie informacja, który z neuronów położony jest najbliżej danego wzorca uczącego, podczas gdy wartości odległości mają mniejsze znaczenie. Z tego względu w zaprojektowanej sieci zastosowano miarę będącą kwadratem miary Euklidesa. Miara ta w procesie uczenia prowadzi do takich samych wyników jak w przypadku zastosowania miary Euklidesa, a nie wymaga stosowania operacji pierwiastkowania. Upraszcza to strukturę układu.

W typowych implementacjach softwarowych poszczególne operacje z równania 1 wykonywane są sekwencyjnie. W rezultacie szybkość działania sieci zależy od liczby wejść oraz liczby neuronów (liczby wyjść sieci). W przypadku zaproponowanej sieci, zrealizowanej jako układ ASIC pracujący w trybie prądowym, poszczególne operacje odejmowania w wyrażeniu $x_i - w_{i,j}$ danego neuronu wykonywane są równoległe. Wyniki tych operacji są bezpośrednio podawane na układy podnoszące do kwadratu w poszczególnych kanałach obliczeniowych.

Operacje te również wykonywane są równolegle. Prądy wyjściowe z tych bloków są następnie sumowane w węzłach wyjściowych poszczególnych neuronów i podawane na blok WSC (ang. – *Winner Selection Circuit*), który na bieżąco dokonuje detekcji zwycięskiego neuronu. Ponieważ wszystkie te operacje odbywają się na zasadzie 'feed-forward', dlatego można było tutaj w prosty sposób zastosować asynchroniczne przetwarzanie sygnałów. W rezultacie wszystkie operacje od momentu podania danego wzorca uczącego do momentu wyłonienia zwycięzcy odbywają się w jednym takcie zegara. W drugim takcie zegara następuje adaptacja wag zwycięskiego neuronu po czym cały cykl powtarza się dla nowego wzorca uczącego. Podejście takie pozwoliło na bardzo duże uproszczenie struktury układu. Sieć zawierająca 3 wejścia oraz 4 wyjścia (12 kanałów obliczeniowych pracujących równolegle) wraz z mechanizmem adaptacji wag zbudowana jest jedynie z około 3000 tranzystorów. Równoległe przetwarzanie informacji pozwoliło uzyskać szybkość porównywalną z mocą obliczeniową typowego komputera PC.

Zaproponowana sieć została zaprojektowana jako układ z w pełni analogowym przetwarzaniem sygnałów. Wynikało to z określonej przesłanki. Warto zwrócić uwagę na to, że zarówno w opisywanej w tym punkcie sieci WTA jak i sieci WTM opisanej w poprzednich punktach istotna jest informacja o tym który neuron wygrał dla danego wzorca wejściowego. Do wyrażenia tej informacji wystarczy tylko jeden bit na każdy neuron. Wartości wag pozostają ukryte i nie są przetwarzane poza siecią. W przypadku gdy sieć zrealizowana jako układ cyfrowy ma za zadanie przetwarzanie analogowych danych z otaczającego świata zewnętrznego, konieczne jest zastosowanie przetworników analogowo-cyfrowych. Następnie przetwarzanie informacji wewnątrz sieci odbywa się na sygnałach cyfrowych, które poza wspomnianą informacją o zwycięzcy nie są dalej wykorzystywane. W przypadku wykonanej sieci analogowej informacja o zwycięskim neuronie jest dostępna w postaci cyfrowej na wyjściach sieci, więc może być dalej przetwarzana w układach cyfrowych. Informacja ta jest w prosty sposób tworzona na podstawie wyjść z komparatorów znajdujących się w bloku WSC (patrz punkt **MJ MIN/MAX** poniżej). Takie podejście pozwala w niektórych przypadkach uniknąć konieczności stosowania przetworników A/C, co dodatkowo upraszcza cały system. Jest to jedna z głównych zalet zaproponowanego podejścia.

Wszystkie główne bloki składowe prezentowanej sieci neuronowej zostały zaprojektowane od podstaw. Nie można było wykorzystać istniejących rozwiązań, ponieważ poszczególne bloki musiały realizować specyficzne w tym przypadku funkcje. W tym artykule skupiono się na implementacji tzw. mechanizmu sumienia, który w sieciach WTA używany jest do zmniejszania liczby tzw. martwych neuronów lub całkowitej ich eliminacji. Inne bloki opisane zostały w kolejnych artykułach przedstawionych poniżej (**TCAS ADM** oraz **MJ MIN/MAX**). Od strony matematycznej zastosowany mechanizm sumienia był rozwiązaniem pośrednim pomiędzy dwoma znanymi z literatury rozwiązaniami. Przyjęcie takiej koncepcji wynikało z konieczności dostosowania go do określonej implementacji sprzętowej. Wcześniej w oparciu o model softwarowy sprawdzono poprawność działania tego mechanizmu na poziomie systemowym. Szczegółowo zostało to przedstawione w artykule.

4. TCAS ADM

W artykule przedstawiono koncepcję oraz wyniki eksperymentalne układu pracującego w trybie prądowym służącego do adaptacyjnej modyfikacji wag neuronów w analogowej sieci neuronowej przedstawionej w poprzedniej Sekcji. Koncepcja układu opiera się na zastosowaniu dwóch naprzemiennie pracujących komórek pamięci na każdą wagę neuronu. W jednej z komórek pamiętana jest aktualna wartość danej wagi. Gdy dany neuron zostaje zwycięzcą to dla każdej ze swoich wag, $w_{i,j}$, oblicza poprawkę, $\Delta w_{i,j}$, którą następnie sumuje (w węźle) z wartością wagi zapisaną w jednej z komórek pamięci. Wynik sumowania zostaje zapisany w drugiej komórce, a wyjście z tej komórki staje się punktem odniesienia w następnym cyklu obliczeniowym dla nowego wzorca uczącego X . Przy kolejnym zwycięstwie danego neuronu

sygnał zapisany w drugiej komórce jest sumowany z wyliczoną nową poprawką $\Delta w_{i,j}$, a wynik zapisywany jest ponownie w komórce pierwszej. Do przełączania obu komórek służy prosty układ cyfrowy, zawierający jeden przerzutnik typu D oraz kilka bramek.

W zaproponowanym mechanizmie adaptacyjnym zastosowano rozwiązanie umożliwiające redukcję wpływu zjawiska upływności, przez co znacząco wydłużono czas trzymania informacji. Ma to znaczenie w przypadku realizacji dużych sieci operujących przy niskich częstotliwościach. W sieciach takich odświeżanie poszczególnych wag zazwyczaj odbywa się z mniejszą częstotliwością, przez co sieci takie są mniej odporne na zjawisko upływności.

W zaproponowanym układzie bardzo uważnie dobrano wymiary poszczególnych tranzystorów, opierając się na analizie zjawiska niedopasowania tranzystorów. Szczegóły zawarte są w artykule.

5. MJ MIN/MAX

W artykule przedstawiono koncepcję oraz implementację w technologii CMOS równoległego asynchronicznego układu służącego do wykrywania zwycięskiego neuronu w zaprojektowanej analogowej sieci neuronowej opisanej w poprzednich podpunktach. Neuron zwycięski to ten neuron, którego sygnał wyjściowy określający odległość jego wektora wag od danego wzorca uczącego ma najmniejszą wartość. Do wykrycia tego neuronu potrzebny jest układ realizujący funkcję $\text{MIN}(d_1, d_2, \dots, d_M)$, gdzie M jest liczbą neuronów w sieci.

Koncepcja układu opiera się na drzewie binarnym. W stosunku do klasycznych rozwiązań tego typu wprowadzono jednak takie modyfikacje, które eliminują zjawisko kumulacji błędów występujące przy propagacji sygnałów między kolejnymi warstwami drzewa.

W oparciu o strukturę drzewa binarnego można tworzyć układy realizujące funkcje MIN oraz MAX. Obie te funkcje można w prosty sposób zrealizować w jednym układzie. Wystarczy jedynie, dla danych sygnałów wejściowych, zanegować wyjścia wszystkich komparatorów użytych w układzie. Zaproponowany układ umożliwia taką opcję. Funkcja MAX obok funkcji MIN jest używana w filtrach nieliniowych np. w filtracji obrazu. W tym miejscu warto zwrócić uwagę na to, że sposób użycia tego układu w sieciach neuronowych oraz filtrach jest całkowicie odmienny, co często nie jest rozróżniane w literaturze. Ma to znaczenie przy porównywaniu różnych rozwiązań. W pierwszym przypadku wartość minimalna nie jest dalej wykorzystywana, natomiast ważny jest adres neuronu który dostarczył tę wartość. W filtrach nieliniowych jest odwrotnie – ważna jest wartość sygnału podczas gdy adres nie jest istotny. Powoduje to, że układy MIN w przypadku sieci neuronowych są typowo bardziej złożone. Praktycznie nie ma innej możliwości ich realizacji jak tylko za pomocą drzewa binarnego.

W typowym drzewie binarnym sygnały podawane na poszczególne wejścia układu rywalizują ze sobą parami w blokach oznaczonych w artykule jako MIMA2. Każdy z tych bloków zawiera komparator, który za pomocą jednego bitu wskazuje lokalnego zwycięzcę. Zwycięzcy z poszczególnych par przechodzą do kolejnej warstwy drzewa gdzie odbywa się druga runda rywalizacji. Proces ten powtarzany jest dla kolejnych warstw drzewa. W każdej kolejnej warstwie liczba bloków MIMA2 jest mniejsza o połowę w stosunku do warstwy poprzedniej. W rywalizacji na ostatniej warstwie drzewa zawierającej już tylko jeden blok MIMA2 wyłoniony zostaje zwycięzca spośród wszystkich sygnałów wejściowych. Adres tego sygnału obliczany jest przez odpowiedni asynchroniczny układ logiczny na podstawie sygnałów wyjściowych z poszczególnych komparatorów.

W klasycznych rozwiązaniach opartych na koncepcji drzewa binarnego występuje propagacja zwycięskich sygnałów z wejść poszczególnych bloków MIMA2 na ich wyjścia. W każdym bloku MIMA2 między jego wejściami a wyjściem znajduje się typowo kilka luster prądowych, które wprowadzają błędy kopiowania. Błędy te kumulują się na kolejnych warstwach, co jest podstawową wadą układów opartych na koncepcji drzewa binarnego. W zaproponowanym układzie problem ten został w znacznej mierze rozwiązany. Zrezygnowano z propagacji sy-

gnału z warstwy na warstwę, natomiast sygnał wejściowy kopiowany jest tyle razy ile jest warstw w drzewie. Na każdą z warstw dostarczana jest inna bezpośrednia kopia sygnału wejściowego. To z którego neuronu sygnał będzie dostarczony do danej warstwy zależy od wyników rywalizacji na poprzednich warstwach. Odpowiednie ścieżki sygnałów układane są za pomocą kluczy sterowanych sygnałami będącymi odpowiednimi kombinacjami sygnałów wyjściowych z komparatorów na poszczególnych warstwach.

Układ działa asynchronicznie. Po podaniu na jego wejścia nowych sygnałów, po określonym czasie w którym występuje stan nieustalony w układzie, układ generuje poprawny wynik. Dalsze szczegóły zawarte są w artykule.

6. PE MIN/MAX

W układzie MIN / MAX opisanym w poprzednim podpunkcie wyeliminowano jedną z głównych wad układów opartych na strukturze drzewa binarnego jaką jest kumulowanie błędów kopiowania. Nadal jednak cały tor przetwarzania sygnałów jest analogowy. Poszczególne bloki MIMA2 zawierają komparatory analogowe, do których sygnały doprowadzane są za pomocą luster prądowych. Na dokładność układu ma więc pewien wpływ zjawisko niedopasowania tranzystorów opisane w artykule **TCAS ADM**. Pewnym problemem jest też to, że do ujemnych wejść komparatorów sygnały z wejść układu doprowadzane są za pomocą dwóch luster prądowych, podczas gdy do wejść dodatnich za pomocą tylko jednego. To może być źródłem offsetów na wejściach komparatorów.

W tym artykule zaproponowano układ WTA oparty na nieco innej koncepcji. Ponieważ układ został zaprojektowany również do zastosowań w sieciach neuronowych, dlatego musi być w stanie określać adres sygnału zwycięskiego. Z tego względu ponownie skorzystano z koncepcji drzewa binarnego, jednak w tym przypadku drzewo składa się tylko z bloków cyfrowych. Na wejściach całego układu zastosowano proste układy konwertujące wartości prądów wejściowych na opóźnienia czasowe (ICT – *Current-to-Time Converter*). Prądy wejściowe ładują kondensatory dołączone do inwerterów CMOS. Poszczególne inwertery przełączają się po czasie proporcjonalnym do wartości odpowiadających im prądów, generując na wyjściu sygnały cyfrowe (flagi) opóźnione o określone okresy czasu. Dalsze przetwarzanie sygnałów odbywa się w cyfrowym drzewie binarnym, w którym zastosowano układy które są w stanie określić która z flag wejściowych pojawiła się na wejściu wcześniej / później, w zależności od konfiguracji układu MIN / MAX.

Zaproponowano dwie wersje tego układu odpowiednio dla funkcji MAX oraz MIN. W pierwszym przypadku gdy do danego bloku T_CMP (*Time Comparator*) dotrze jedna z flag, blok ten niemal natychmiast wysyła flagę na drugą warstwę drzewa. Opóźnienie równa się jedynie czasowi propagacji jednej logicznej bramki OR. W tym samym czasie równolegle dokonuje się rywalizacja między dwoma wejściami danego bloku T_CMP. Druga warstwa wysyła swoją flagę na kolejną warstwę, itd. Proces ten dla drzewa zawierającego 7–8 warstw trwa jedynie 1 – 2 ns w technologii CMOS 0.18 μm . W przypadku układu pracującego w trybie MIN zamiast bramki OR zastosowano bramkę AND, która wysyła flagę danej pary na kolejną warstwę dopiero wtedy, gdy na jej wejściach pojawią się obie flagi.

Zaletą układu jest to, że wszystkie bloki ICT mają podobną strukturę, więc przy zachowaniu odpowiedniej długości ścieżek (kwestia zapewnienia podobnych rezystancji ścieżek oraz ich pojemności pasożytniczych) układ może być bardzo dokładny. W rozdziale 4.2.1 napisano, że w przypadku układów cyfrowych parametry PVT wpływają głównie na ich szybkość. Można dodać, że również rozrzut parametrów tranzystorów (ang. *transistor mismatch*) ma pewien wpływ na szybkość tych układów, zwłaszcza przy zastosowaniu tranzystorów o minimalnych wymiarach dla danej technologii. Różnice w szybkościach poszczególnych bloków T_CMP teoretycznie mogą mieć wpływ na powstawanie offsetów. Wpływ ten jest jednak pomijalnie mały w tym przypadku, co wynika z faktu, że w zastosowanych lustrach prądo-

wych tranzystory są bardzo mocno przewymiarowane, co minimalizuje wpływ niedopasowania tranzystorów.

Opisany tutaj układ MIN / MAX zaprojektowano też z innego powodu. Jednym z celów było pokazanie, że koncepcja cyfrowego drzewa binarnego jest uniwersalna, albowiem niemal identyczny układ został użyty w asynchronicznym multiplekserze opisanym w jednym z kolejnych punktów (MJ MUX). W tamtym przypadku układ ten został zrealizowany jako prototypowy układ scalony.

7. NEUR LUK

W artykule zaproponowano nową kategorię analogowych neuronów logicznych Łukasiewicza OR oraz AND pracujących w trybie prądowym, jak również całą sieć neuronową opartą na tych neuronach. Zasada działania tych neuronów opiera się na operacjach logicznych *or* oraz *and* przeprowadzanych na wielowartościowych sygnałach wejściowych. Operacje te należą do grupy kilkunastu podstawowych operacji stosowanych w logice rozmytej. Sprzętową implementację wszystkich tych operacji zaproponował po raz pierwszy Yamakawa w roku 1986 (odnośnik [15] w artykule). Używane w tym przypadku operacje *or* oraz *and* opierają się na operacjach, odpowiednio 'bounded sum' oraz 'bounded product' należących do tej grupy.

Yamakawa oparł swoją implementację na technice prądowej, która jest najodpowiedniejsza do realizacji tego typu układów. Wynika to z łatwości uzyskiwania operacji sumowania oraz odejmowania powszechnie wykorzystywanych w tym przypadku. Wadą takiej implementacji jest natomiast możliwe duże obniżenie dokładności przetwarzania sygnałów wynikające z niedopasowania tranzystorów w lustrach prądowych (Seksja 4.2.2). Problem staje się szczególnie widoczny w przypadku gdy między wejściami układu oraz jego wyjściem znajduje się wiele luster prądowych połączonych kaskadowo, co prowadzi do kumulowania się błędów.

W zaprezentowanym artykule Autor zaproponował najpierw sprzętową implementację sieci neuronowej Łukasiewicza opartej na oryginalnych operacjach rozmytych zaproponowanych przez Yamakawę. W tym przypadku minimalna liczba luster prądowych pomiędzy wejściami a wyjściem układu wynosiła sześć. Następnie Autor zaproponował własną implementację sieci typu OR-AND oraz AND-OR, w których zastosował wielowyjściowe lustra prądowe, proste komparatory prądowe oraz klucze sterowane odpowiednimi kombinacjami sygnałów cyfrowych z wyjść tych komparatorów.

Zasada działania zaproponowanych w tym artykule układów w dużej mierze odpowiada zasadzie działania układu MIN / MAX opisanego wcześniej (patrz punkt MJ MIN/MAX). Za pomocą pojedynczych wielowyjściowych luster prądowych tworzonych jest kilka kopii poszczególnych sygnałów wejściowych. Poszczególne kopie doprowadzane są do kolejnych stopni obliczeniowych całego układu za pomocą wspomnianych kluczy. Jedną z kopii każdego sygnału wejściowego doprowadzana jest też do wyjścia całej sieci, co oznacza że pomiędzy wejściami układu a jego wyjściem znajdują się tylko pojedyncze lustra prądowe. Patrząc od strony dokładności przetwarzania informacji jest to jedna z zalet zaproponowanego rozwiązania.

Zaproponowane sieci neuronowe działają w pełni asynchronicznie bez konieczności stosowania sterującego układu zegarowego. Przetwarzanie informacji odbywa się równolegle niezależnie od liczby sygnałów wejściowych. Powoduje to, że układ w zależności od wartości sygnałów wejściowych może osiągnąć dużą moc obliczeniową przy stosunkowo niskim poborze energii. W symulacjach na poziomie tranzystorów przeprowadzonych dla technologii CMOS 0.18 μm układ pracował prawidłowo dla maksymalnych wartości sygnałów wejściowych zmieniających się w zakresie od kilkudziesięciu nA do 10 μA . Warto jednak pamiętać, że dla niskich wartości prądów punkty pracy poszczególnych tranzystorów znajdują się w zakresie podprogowym, co ma wpływ na dokładność działania całego układu.

Celem artykułu było przedstawienie koncepcji układu, co wymagało wyprowadzenia odpowiednich zależności opisujących układ, oraz weryfikacji założeń w oparciu o symulacje

w programie Spice. Niemniej jednak uzyskane wyniki były obarczone podobnym błędem jak w przypadku opisanego wcześniej układu MIN / MAX (MJ MIN/MAX), który oprócz symulacji został zweryfikowany również eksperymentalnie.

8. MJ MUX

W artykule przedstawiono zaproponowany przez Autora nowatorski równoległy oraz asynchroniczny multiplekser do zastosowań w układach ASIC stosowanych w obrazowaniu medycznym w medycynie nuklearnej. Rolą multipleksera jest wychwytywanie zdarzeń pojawiających się w sposób asynchroniczny w kanałach dołączonych do poszczególnych wejść układu ASIC. Prototypowy układ tego typu zawierający osiem kanałów oraz obsługujący je multiplekser został zaprojektowany przez Autora oraz wykonany w technologii CMOS 0.18 μm . Oprócz multipleksera Autor zaproponował też własny filtr kształtujący impuls (PS – ang. *pulse shaping filter* – patrz (p.5.1.[24])) oraz detector szczytu (PD – ang. *peak detector* – (p.5.1.[55])).

Koncepcję multipleksera oparto na podobnym rozwiązaniu jakie zostało zastosowane w opisanym wcześniej układzie detekcji zwycięskiego neuronu (PE MIN/MAX). Podstawowymi zaletami układu są bardzo niski pobór energii oraz bardzo mała powierzchnia zajmowana w układzie scalonym. Układ standardowo znajduje się w stanie uśpienia, w którym nie pobiera energii. W momencie gdy na jednym (lub więcej) z jego wejść pojawia się flaga sygnalizująca, że dany kanał dokonał detekcji sygnału, multiplekser samoczynnie się uaktywnia, układu ścieżkę pomiędzy tym kanałem oraz wyjściem całego układu ASIC, a następnie natychmiast ponownie przechodzi w stan uśpienia. Istotne jest też to, że w czasie układania ścieżki przełączane są tylko te bloki (T_CMP w układzie PE MIN / MAX), które znajdują się w bezpośrednim obrębie tej ścieżki, podczas gdy pozostała część układu pozostaje w stanie uśpienia. Proces układania ścieżki jest bardzo szybki. W układzie wykonanym w technologii CMOS 0.18 μm zajmuje mniej niż 1 ns. Jest to wynik uzyskany dla przypadku układu zawierającego 8 wejść, czyli trzech warstw w drzewie binarnym. Czas ten rośnie stosunkowo wolno ze wzrostem liczby wejść, M , co wynika z faktu, że liczba warstw w drzewie binarnym wynosi jedynie $\log_2 M$ (zakładając, że M jest liczbą będącą jedną z potęg liczby 2). Jest to jedna z zalet układu.

Układ zawiera mechanizm przeciwdziałania kolizjom, który powoduje, że nawet w przypadku równoległego pojawienia się wielu zdarzeń, dostęp do wyjścia układu ASIC ma tylko jeden kanał. Po jego odczytaniu multiplekser samoczynnie przełącza się na kolejny aktywny kanał. W ten sposób informacja z poszczególnych kanałów nie jest tracona. Szczegóły dotyczące budowy oraz sposobu działania układu przedstawione są w artykule.

Warto podkreślić dużą uniwersalność zaproponowanego rozwiązania. Ten sam układ może zostać wykorzystany do budowy opisanego tutaj multipleksera asynchronicznego, układu WTA służącego do wykrywania zwycięskiego neuronu w sieciach neuronowych oraz w filtrach nieliniowych typu MIN oraz MAX.

5 Pozostałe osiągnięcia naukowo-badawcze oraz dydaktyczne

5.1 Wykaz pozostałych publikacji po uzyskaniu stopnia doktora inżyniera

5.1.1 Artykuły w czasopismach naukowych z Listy Filadelfijskiej

1. R. Długosz, T. Talaśka, R. Wojtyna, "An Influence of Current-Leakage in Analog Memory on Training of Kohonen Neural Network Implemented in Silicon", *Electrical Review* (Przegląd Elektrotechniczny), Thomson Master Journal list, ISSN: 0033-2097, R. 86 NR 11a/2010, pp.146–150, (November 2010), (30 %)

2. R. Długosz, K. Iniewski, "Programmable Switched Capacitor Finite Impulse Response Filter with Circular Memory Implemented in CMOS 0.18 μ m Technology", *Journal of Signal Processing Systems* (formerly the *Journal of VLSI Signal Processing Systems for Signal, Image, and Video Technology*), Springer New York, DOI: 10.1007/s11265-008-0233-3, (June 2008), printed in Vol. 56, No. 2-3, pp. 295–306, (September 2009), (85 %)
3. R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", *VLSI Design Journal*, Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 13 pages, DOI:10.1155/2007/45269, (2007), (75 %)
4. R. Długosz, K. Iniewski, "High precision analog peak detector for X-ray imaging applications", *Electronics Letters*, Vol. 43, Issue 8, pp. 440–441, (12 April 2007), (80 %)
5. A. Dąbrowski, R. Długosz, P. Pawłowski, "Integrated CMOS GSM Baseband Channel Selecting Filters Realized Using Switched Capacitor Finite Impulse Response Technique", Elsevier, *Microelectronics Reliability Journal*, Vol. 46, No. 5–6, pp. 949–958, (June 2006), (50 %)
6. A. Dąbrowski, R. Długosz, "Comparison of Various SC FIR Filter Structures on the Basis of their CMOS Realization and Simulation in the PSPICE Program", *Bulletin of the Polish Academy of Science. Technical Sciences*, Vol. 49, No. 1, pp. 59–79, (2001) (artykuł opublikowany przed uzyskaniem stopnia doktora inżyniera, podany w tym miejscu wyjątkowo jako uzupełnienie Tabeli 2)

Artykuł 3 obecnie nie jest na liście filadelfijskiej, natomiast był na tej liście w momencie jego publikacji. Artykuł nie jest raportowany w bazie Web of Science. Autor podaje go w tym miejscu dlatego, że artykuł doczekał się kilkunastu cytowań (pełna ich lista zawarta jest w Dodatku A).

5.1.2 Artykuły w pozostałych czasopismach naukowych polskich i zagranicznych

7. R. Długosz, M. Kolasa, T. Talaśka, J. Pauk, R. Wojtyła, M. Szulc, K. Gugała and P.A. Farine, "Low Power, Low Chip Area, Digital Distance Calculation Circuit for Self-Organizing Neural Networks Realized in the CMOS Technology", *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Dürnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp.247-252, (March 2013)
8. M. Kolasa, R. Długosz, W. Jóźwicki, J. Pauk, A. Świetlicka and P.A. Farine, "Analysis of Significant Prognostic Factors of Patients with Bladder Cancer Using Self-Organizing Maps", *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Dürnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp.223-228, (March 2013)
9. A. Świetlicka, K. Gugała, M. Kolasa, J. Pauk, A. Rybarczyk and R. Długosz, "A New Model of the Neuron for Biological Spiking Neural Network Suitable for Parallel Data Processing Realized in Hardware", *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Dürnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp. 217-222, (March 2013)
10. R. Długosz, J. Pauk, P.A. Farine, "New Trends in Motion Capture Systems for Human Gait Analysis", *Machine Graphics and Vision*, A quarterly journal published by: Institute of Computer Science of the Polish Academy of Sciences, (to appear in 2013)
11. M. Kolasa, R. Długosz, A. Świetlicka, "Wpływ funkcji sąsiedztwa na efektywność uczenia sieci neuronowych Kohonena implementowanych sprzętowo", *Elektryka*, Rok 57., Zeszyt 1 (217), pp. 63–73, (2011)
12. J. Dalecki, T. Talaśka, R. Długosz, "A new, low cost, precise measurement card for testing of ultra-low power analog ASICs", *Elektronika*, No.12, pp. 32–35, (2011)
13. P. Przedwojski, T. Talaśka, R. Długosz, "A Flexible Winner Takes All Neural Network with the conscience mechanism realized on microcontrollers", *Elektronika*, No.12, pp. 14–17, (2011)

14. M. Kolasa, R. Długosz, K. Bieliński, "Programmable, Asynchronous, Triangular Neighborhood Function for Self-Organizing Maps Realized on Transistor Level", *International Journal of Electronics and Telecommunications*, Vol. 56, No. 4, pp. 367–373, (November 2010)
15. R. Długosz, P. Pawłowski, A. Dąbrowski, "Operational amplifier for switched-capacitor systems realized in various CMOS technologies", *Elektronika*, No.1, pp. 67–70, R.51 (2010)
16. S.A. Torbus, M. Kolasa, R. Długosz, "Application of the Kohonen Neural Network in Analysis of the Measurement Results of the Polarization Mode Dispersion", *Bulletin of the University of Technology and Life Sciences, Electronics and Telecommunications series*, Vol. 256, No. 13, pp. 55-66, (December 2010)
17. R. Długosz, T. Talaśka, Przedwojski, "Comparison of Various Hardware Realizations of the Winner Takes All Neural Network", *Bulletin of the University of Technology and Life Sciences, Electronics and Telecommunications series*, Vol. 256, No. 13, pp. 67-78, (December 2010)
18. M. Kolasa R. Długosz, J. Pauk, "A Comparative Study of Different Neighborhood Topologies in WTM Kohonen Self-Organizing Maps", *Journal of Solid State Phenomena*, Trans Tech Publications, Switzerland, Vols. 147–149, pp. 564–569, (2009)
19. J. Pauk, M. Derlatka, R. Długosz, M. Kolasa, "Human Gait Analysis and Classification Based on Neural Networks and Fuzzy Logic", *Journal of Solid State Phenomena*, Trans Tech Publications, Switzerland, Vols. 147–149, pp. 600–605, (2009)
20. R. Długosz, "New Ultra Low Power Switched – Current Finite Impulse Response Filters Realized in CMOS 0.18 μm Technology", *Elektronika*, Vol. 47, No. 10, pp. 26–30, (2006)
21. A. Dąbrowski, R. Długosz, P. Pawłowski, "Rodzina filtrów o skończonej odpowiedzi impulsowej z linią opóźniającą o naprzemiennie połączonych układach opóźniających dwóch typów z przełączanymi kondensatorami" ("Family of the finite impulse response filters with delay line composed of Even and Odd delay elements", *Elektronika*, No. 10/2005, pp.5–8 (2005)
22. A. Dąbrowski, R. Długosz, T. Marciniak, P. Pawłowski, "Projektowanie i realizacja cyfrowych systemów zegarowych do sterowania filtrów FIR-SC", *Elektronika*, No.7, pp. 31–35, (2004)

5.1.3 Rozdziały w zagranicznych monografiach naukowych

23. R. Długosz, K. Iniewski, "Analog-to-Digital Converters for Radiation Detection Electronics", Chapter 11 in *Electronics for Radiation Detection (Devices, Circuits, and Systems)*, CRC Press, 1st edition, ISBN-10: 1439816484, ISBN-13: 978-1439816486, (edited by: K. Iniewski), pp.285–312, (August 05, 2010), (80 %)
24. R. Długosz, R. Wojtyna, "Novel CMOS Analog Pulse Shaping Filter for Solid State X-Ray Sensors in Medical Imaging Systems", Chapter 16 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 155-165, Springer-Verlag, Berlin / Heidelberg, (2009), (80 %)
25. M. Kolasa, R. Wojtyna, R. Długosz, W. Józwicki, "Application of Artificial Neural Network to Predict Survival Time for Patients with Bladder Cancer", Chapter 11 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 113-122, Springer-Verlag, Berlin / Heidelberg, (2009), (10 %)
26. R. Długosz, V. Gaudet, R. Wojtyna, "Gilbert-Multiplier-Based Parallel 1-D and 2-D Analog FIR Filters for Medical Diagnostics", Chapter 9 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 85-99, Springer-Verlag, Berlin / Heidelberg, (2009), (60 %)

5.1.4 Publikacje w materiałach konferencji międzynarodowych

27. P. Gurzyński, T. Talaśka, R. Długosz, A. Świetlicka, "An Optimized Algorithm for Recognition of Complex Patterns Based on Artificial Neural Network", *20th International Conference*

- Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2013), *accepted*
28. P. Bethke, R. Długosz, T. Talaśka, "Project and Realization of a Two-Wheels Balancing Vehicle", *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2013), *accepted*
 29. R. Długosz, T. Talaśka, M. Szulc, P. Śniatała, P. Stadelmann, S. Tanner, P.A. Farine, "A low power, low chip area decimation filter for $\Sigma-\Delta$ modulator for flywheel MEMS gyro realized in the CMOS 180 nm technology", *28th International Conference on Microelectronics (MIEL)*, Niš, Srbija, pp. 411–414, (13–16 May 2012)
 30. R. Długosz, M. Kolasa, M. Szulc, W. Pedrycz, P.A. Farine, "Implementation Issues of Kohonen Self-Organizing Map Realized on FPGA", *15th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2012)
 31. R. Długosz, T. Talaśka, W. Pedrycz, P.A. Farine, "Analog, Current-Mode Distance Calculation Circuit for Self-Organizing Neural Networks Implemented in CMOS Technology", *15th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2012)
 32. R. Długosz, T. Talaśka, P.A. Farine, W. Pedrycz, "Convex Combination Initialization Method for Kohonen Neural Network Implemented in the CMOS Technology", *19th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Warszawa, Poland, (May 2012)
 33. R. Długosz, M. Kolasa, M. Szulc, "An FPGA Implementation of the Asynchronous Programmable Neighborhood Mechanism for WTM Self-Organizing Map", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 34. T. Talaśka, P. Przedwojski, R. Długosz, "A Flexible Winner Takes All Neural Network with the Conscience Mechanism Realized on Microcontrollers", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 35. J. Dalecki, T. Talaśka, R. Długosz, "A New, Low Cost, Precise Measurement Card for Testing of Ultra-low Power Analog ASICs", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 36. R. Długosz, M. Kolasa, W. Pedrycz, "Fisherman learning algorithm of the SOM realized in the CMOS technology", *14th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2011)
 37. Rafał Długosz, Tomasz Talaśka, Paweł Przedwojski, Paweł Dmochowski, "A Flexible, Low-Power, Programmable Self-Organizing Neural Network Based on Microcontrollers for Medical Applications", *17th Electronics New Zealand Conference (ENZCon)*, Hamilton, New Zealand, (November 2010)
 38. R. Długosz, M. Kolasa, W. Pedrycz, "Programmable Triangular Neighborhood Functions of Kohonen Self-Organizing Maps Realized in CMOS Technology", *13th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, April 28–30, pp.529–534, (April 2010)
 39. R. Długosz, M. Kolasa, K. Bieliński "Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.328–332, (June 2010)
 40. P. Przedwojski, J. Dalecki, T. Talaśka, R. Długosz, "Kohonen Winner Takes All Neural Network Realized on Microcontrollers with AVR and ARM cores", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.273–276, (June 2010)

dr

41. R. Długosz, V. Kolodyazhnyi, W. Pedrycz "Power Efficient Hardware Implementation of a Fuzzy Neural Network", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.576–580, (June 2010)
42. R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", *12th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.275–280, (April 2009)
43. R. Długosz, W. Kolasa, "Optimization of the Neighborhood Mechanism for Hardware Implemented Kohonen Neural Networks", *12th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.565–570, (April 2009)
44. R. Długosz, V. Gaudet, "An Asynchronous Programmable Parallel 2-D Image Filter CMOS IC Based on the Gilbert Multiplier", *International Conference on Biomedical Electronics and Devices (BIODEVICES)*, Porto, Portugal, pp.46–51, (January 2009)
45. R. Długosz, M. Kolasa, "A New Fast Training Algorithm for the WTM Kohonen Neural Network Implemented for Classification of Biomedical Signals", *International Conference on Biomedical Electronics and Devices (BIODEVICES)*, Porto, Portugal, pp.364–367, (January 2009)
46. R. Długosz, T. Talaśka, "A Low Power Current-Mode Binary-Tree WTA / LTA Circuit for Kohonen Neural Networks", *16th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Łódź, Poland, pp.201–204, (June 2009)
47. R. Długosz, T. Talaśka, R. Wojtyna "Influence of Information Leakage in Analog Memory on Learning Kohonen Network on Silicon", *16th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Łódź, Poland, pp.282–285, (June 2009)
48. R. Długosz, P. Pawłowski, A. Dąbrowski, "Design and Optimization of Operational Amplifiers for SC Systems – a Comparative Study in CMOS 0.8 μ m, 0.35 μ m, 0.18 μ m Technologies", *Signal Processing – Algorithms, Architectures, Arrangements, and Applications (SPA)*, Poznań, Poland, pp.36–39, (September 2009)
49. R. Długosz, K. Iniewski, "Power and Area Efficient Circular-Memory Switched-Capacitor FIR Baseband Filter for WCDMA/GSM", *IEEE International Symposium on Circuits and Systems (ISCAS)*, Seattle, USA, pp.2326–2329, (May 2008)
50. R. Długosz, V. Gaudet, "Current-mode Memory Cell with Power Down Phase for Discrete Time Analog Iterative Decoders", *IEEE International Symposium on Circuits and Systems (ISCAS)*, Seattle, USA, pp.748–751, (May 2008)
51. T. Talaśka, R. Długosz, "Initialization mechanism in Kohonen neural network implemented in CMOS technology", *11th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.337–342, (April 2008)
52. M. Kolasa, R. Długosz, "Parallel asynchronous neighborhood mechanism for WTM Kohonen network implemented in CMOS technology", *11th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.331–336, (April 2008)
53. M. Kolasa, R. Długosz, J. Pauk, "Analysis of Various WTM Kohonen Self-Organizing Map Algorithms Used for Data Classification of Biomedical Signals", *4th International Conference, Mechatronic Systems and Materials (MSM)*, Białystok, (July 2008) Poland, pp.187–188
54. J. Pauk, M. Derlatka, R. Długosz, M. Kolasa, "Artificial Intelligence Methods for Data Handling in Gait Analysis", *4th International Conference, Mechatronic Systems and Materials (MSM)*, Białystok, Poland, pp.197, (July 2008)
55. R. Długosz, "Asynchronous Front-End Asic For X-Ray Medical Imaging Applications Implemented In CMOS 0.18 μ m Technology", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznań, Poland, pp.627–632, (June 2008)
56. R. Długosz, M. Kolasa, "CMOS, Programmable, Asynchronous Neighborhood Mechanism For WTM Kohonen Neural Network", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznań, Poland, pp.197–201, (June 2008)

DT.

57. R. Długosz, T. Talaśka, J. Dalecki, R. Wojtyna, "Experimental Kohonen Neural Network Implemented in CMOS 0.18 μ m Technology", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznan, Poland, pp.243–248, (June 2008)
58. T. Talaśka, R. Długosz, J. Dalecki, W. Pedrycz, R. Wojtyna, "CMOS implementation of Conscience Mechanism in Kohonen's Neural Network", *International Conference on Signals and Electronic Systems (ICSSES)*, Kraków, Poland, pp.101–104, (September 2008)
59. T. Talaśka, R. Długosz, J. Dalecki, W. Pedrycz, R. Wojtyna, "Experimental results of CMOS-implemented conscience mechanism applied for WTA networks", *International Conference on Signals and Electronic Systems (ICSSES)*, pp.101–104, (September 2008)
60. R. Długosz, K. Iniewski, "Novel CMOS Analog Signal Processing Technique for Solid-State X-Ray Sensors", *IEEE Northeast Workshop on Circuits and Systems (NEWCAS)*, Montreal, Canada, pp.770–771, (August 2007)
61. T. Talaśka and R. Długosz, "Current Mode Euclidean Distance Calculation Circuit for Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *Canadian Conference on Electrical and Computer Engineering (CCECE)*, Vancouver, Canada, pp.437–440, (April 2007)
62. R. Długosz, V. Gaudet, K. Iniewski, "Asynchronous Clock Generator for Flexible Ultra Low Power Successive Approximation Analog-to-Digital Converters", *Canadian Conference on Electrical and Computer Engineering (CCECE)*, Vancouver, Canada, pp.1649–1652, (April 2007)
63. T. Talaśka, R. Długosz, W. Pedrycz, "Adaptive Weights Change Mechanism for Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.151–156, (April 2007)
64. R. Długosz, K. Iniewski, "Synchronous and Asynchronous Multiplexer Circuits for Medical Imaging Realized in CMOS 0.18 μ m Technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, Proc. SPIE, Vol. 6590, pp.65900V; DOI:10.1117/12.721239, (May 2007)
65. R. Długosz, T. Talaśka, "Flexible and Low Power Binary-Tree Current Mode Min/Max Non-linear Filters Realized in CMOS Technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, May 2007 Proc. SPIE, Vol. 6590, pp.65900L; DOI:10.1117/12.721192, (May 2007)
66. R. Długosz, "Ultra Low Power Switched Current Finite Impulse Response Filter Banks Realized in CMOS 0.18 μ m technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, May 2007, Proc. SPIE, Vol. 6590, pp.65900H; DOI:10.1117/12.721162, (May 2007)
67. T. Talaśka, R. Długosz, R. Wojtyna, "Current mode Kohonen Neural Network", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.250–255, (June 2007)
68. R. Długosz, "Analog, Continuous Time, Fully Parallel, Programmable Image Processor Based on Vector Gilbert Multiplier", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.231–236, (June 2007)
69. R. Długosz, K. Iniewski, "Hierarchical Asynchronous Multiplexer for Readout front-end ASIC for Multi-Element Detectors in Medical Imaging", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.283–286, (June 2007)
70. T. Talaśka, R. Długosz, R. Wojtyna, "CMOS Implementation of Low Power Kohonen's Neural Network for Medical Applications", *International Conference Computers in Medical Activities (CiMA)*, Łódź, Poland, pp.95–96, (September 2007)

Dr

71. R. Długosz, K. Iniewski, R. Wojtyna, "Novel CMOS Analog Signal Processing Technique for Solid-State X-Ray Sensors in Medical Imaging Systems", *International Conference Computers in Medical Activities (CiMA)*, Łódź Poland, pp.23–25, (September 2007)
72. R. Długosz, R. Wojtyna, "Low Power Fully Parallel Analog 1-D And 2-D Filters for Medical Diagnostics Implemented in CMOS Technology", *Proceeding International Conference Computers in Medical Activities (CiMA)*, Łódź Poland, pp.27–28, (September 2007)
73. E. Piwowarska, W. Kuzmich, G. Farkas, A. Poppe, M. Hristov, E. Manolov, B. Weber, J. Butas, G. Jablonski, A. Jarosz, A. Kos, A. Golda, R. Długosz, "AnaDig-An Educational Chip for VLSI Device Characterization" *IEEE International Conference on Microelectronic Systems Education (MSE)*, pp.19–20, (2007)
74. R. Długosz, K. Iniewski, T. Talaśka, "0.35 μ m 22 μ W Multiphase Programmable Clock Generator for Circular Memory SC FIR Filter for Wireless Sensor Applications", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.157–160, (October 2006)
75. T. Talaśka, R. Wojtyna, Długosz, K. Iniewski, W. Pedrycz, "Analog-Counter-Based Conscience Mechanism in Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.416–421, (October 2006)
76. K. Boyle, Sai Mohan Kilambi, R. Długosz, K. Iniewski, V. Gaudet, "An Examination of the Effect of Feature Size Scaling on Effective Power Consumption in Analog to Digital Converters", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.194–199, (October 2006)
77. R. Długosz, "New Ultra Low Power Switched – Current Finite Impulse Response Filters Realized in CMOS 0.18 μ m Technology", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.337–342, (June 2006)
78. R. Długosz, K. Iniewski, "Ultra Low Power Current-mode Algorithmic Analog-to-Digital Converter Implemented in 0.18 μ m CMOS Technology for Wireless Sensor Network", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.401–406, (June 2006)
79. T. Talaśka, R. Wojtyna, R. Długosz, K. Iniewski, "Implementation of the Conscience Mechanism for Kohonen's Neural Network in CMOS 0.18 μ m Technology", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.310–315, (June 2006)
80. K. Iniewski, V. Axelrad, A. Shibkov, A. Balasinski, S. Magierowski, R. Długosz, A. Dąbrowski "3.125 Gb/s Power Efficient Line Driver with 2-level Pre-emphasis and 2kV HBM ESD Protection", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 23–26.05.2005, Kobe, Japan, Vol.2, pp.1154–1157
81. A. Dąbrowski, R. Długosz, P. Pawłowski K. Iniewski, V. Gaudet, "Analog Baseband Filtering Realized Using Switched Capacitor Finite Impulse Response Filter", *VLSI-TSA International Symposium on VLSI Design*, Hsinchu, Taiwan, pp.108–111, (April 2005)
82. R. Długosz, "Search strategy for relevant parasitic elements and reduction of their influence on the operation of SC FIR filters realized in CMOS technology", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.1075–1085, (May 2006)
83. R. Długosz R. Wojtyna, "Voltage-buffer-based low-power area-efficient SC FIR filter for wireless communication", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.288–299, (May 2006)
84. R. Długosz, P. Pawłowski, A. Dąbrowski, "Multiphase clock generators with controlled clock impulse width for programmable high order SC FIR filter realized in 0.35 μ m CMOS tech-

- nology", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.1056–1063, (May 2006)
85. R. Długosz, P. Pawłowski, A. Dąbrowski, "Finite Impulse Response Filter Banks Realized in the Switched Capacitor Technique", *17th European Conference on Circuit Theory and Design (ECCTD)*, Cork, Ireland, Volume: 3, pp.III/257–III/260, (29.08–01.09.2005)
86. R. Długosz, "New Architecture of Programmable SC FIR Filter with Circular Memory", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.153–158, (June 2005)
87. R. Długosz, P. Pawłowski, A. Dąbrowski, "Laboratory of Mixed Analog-Digital Integrated Circuits (Reason - Educhip Project)", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.851–856, (June 2005)
88. R. Długosz, P. Pawłowski, A. Dąbrowski, "Family of the Even-Odd Switched Capacitor Finite Impulse Response Filters", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.497–500, (June 2005)
89. T. Talaśka, R. Wojtyła, R. Długosz "Hardware Implemented Neural Network Model with Unsupervised Learning on Silicon", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.133–136, (June 2005)
90. R. Długosz, P. Pawłowski, A. Dąbrowski, "Multicriteria Comparison Of Multi-C SC FIR Filter Structures", *IEEE Signal Processing Workshop (SP)*, Poznań, Poland, pp.145–148, (September 2005)
91. R. Długosz, P. Pawłowski, A. Dąbrowski, "Discrete Time Programmable Analog Filter", *International Conference on Electrical Engineering and Circuit Theory (SPETO)*, Ustroń, Poland, pp.443–446, (May 2005)
92. R. Długosz, "Metoda Poszukiwania Krytycznych Pojemności Pasożytniczych w Analogowych Filtrach FIR SC Projektowanych w Technologii CMOS", *IV Krajowe Sympozjum Modelowanie i Symulacja Komputerowa w Technice (MiSKT)*, Łódź, Poland, pp.63–68, (April 2005)

5.2 Udział w projektach krajowych i zagranicznych

Do osiągnięć Autora należy aktywny udział w tworzeniu dziewięciu specjalizowanych układów scalonych (ASIC) realizowanych w stylu 'full-custom' w technologiach CMOS 0.8 μm , 0.35 μm , 0.18 μm oraz 0.13 μm . Autor był koordynatorem sześciu z tych projektów realizowanych od pomysłu do końcowej weryfikacji laboratoryjnej. W większości przypadków były to układy realizowane przy współpracy zespołów z różnych uczelni lub instytucji przemysłowych w Polsce, Kanadzie lub Niemczech. Autor brał też udział w projektach, które bezpośrednio nie dotyczyły realizacji układów ASIC. Większość projektów w których Autor brał udział po uzyskaniu stopnia doktora inżyniera była realizowana w trakcie jego pobytu na uczelniach w Kanadzie oraz w Szwajcarii.

5.2.1 Udział w projektach badawczych po uzyskaniu stopnia doktora inżyniera.

- Realizacja wybranych bloków składowych układów AFE (ang. *analog front-end electronics*) ASIC stosowanych w obrazowaniu medycznym w medycynie nuklearnej. Autor zaprojektował od podstaw równoległy oraz asynchroniczny multiplekser do tego układu jak również filtr kształtujący impuls oraz detektor szczytu. Multiplekser opisany został wcześniej w Sekcji 4.2.5. Projekt realizowany był podczas pobytu Autora na University of Alberta w Edmonton w Kanadzie we współpracy z firmą Redlen Technologies (<http://www.redlen.com>). Współpraca była koordynowana przez dr. Krzysztofa Iniewskiego, który był opiekunem Autora w trakcie jego pobytu naukowego na uczelni w Kanadzie.
- Współudział w realizacji specjalizowanego układu zawierającego odbiornik oraz nadajnik pracujący na częstotliwości 2 GHz. Projekt był realizowany w trakcie stażu naukowego Autora

01

w firmie Scanimetrix z Edmonton (<http://www.scanimetrix.com>). Rolą Autora była taka optymalizacja układu, aby spełniał on wymagania dotyczące pracy w odpowiednich zakresach temperatury, napięcia zasilania oraz różnych modeli tranzystorów (ang. *corner analysis*). Układ został przez Autora przeprojektowany tak, że mógł pracować w dużo szerszych zakresach wymienionych parametrów niż były pierwotnie zakładane.

- Realizacja przetwornika analogowo-cyfrowego typu SAR (ang. – *successive approximation*) bardzo niskiego poboru mocy do zastosowań w bezprzewodowych sieciach sensorycznych (WSN – ang. *Wireless Sensor Networks*) oraz układach AFE ASIC. Był to wewnętrzny projekt realizowany na University of Alberta, koordynowany przez dr. Iniewskiego. Architektura przetwornika zaproponowana podczas pobytu w Kanadzie była dalej rozwijana podczas ostatniego (2012/2013) pobytu Autora w IHP Microelectronics w Niemczech (nowy 10-bitowy przetwornik zajmujący 0.01 mm^2 , zaprojektowany w technologii CMOS $0.13 \mu\text{m}$).
- Realizacja szwajcarskiego projektu CTI pt. “Flywheel gyroscope: Levitated rotating MEMS for high sensitivity multi-axis gyroscope and multifunctional accelerometer”. Projekt realizowany był w czasie pobytu Autora na EPFL w Szwajcarii przy współpracy z zespołem Prof. Christofera Hierolda z ETH Zürich (Departement Maschinenbau und Verfahrenstechnik) oraz firmą Colibrys z Neuchatel (<http://www.colibrys.com>), która specjalizuje się w projektowaniu oraz wykonywaniu żyroskopów oraz akcelerometrów komercyjnych.

Opis projektu, który dotyczył realizacji żyroskopu o sześciu stopniach swobody znajduje się pod adresami:

<http://esplab.epfl.ch/page-9446-en.html> oraz

<http://www.aramis.admin.ch/Default.aspx?page=Beteiligte&projectid=25511>

W projekcie Autor odpowiedzialny był za realizację pętli sprzężenia zwrotnego zapewniającej sterowanie częścią MEMS (ang. – *Microelectromechanical systems*) żyroskopu. Zaprojektował od podstaw przetwornik analogowo-cyfrowy (ADC) oparty na modulatorze $\Sigma - \Delta$, regulator PID, filtry o skończonej odpowiedzi impulsowej (FIR) oraz nieskończonej odpowiedzi impulsowej (IIR) oraz tzw. “pulse width modulation block”, którego rolą było dostarczenie bezpośrednich sygnałów sterujących blokiem MEMS. Filtry były używane do kilku celów. Jednym z nich był kilkustopniowy filtr decymacyjny dla modulatora $\Sigma - \Delta$ (publikacja 5.1.[29]). Drugi filtr umiejscowiony poza pętlą sterowania używany był do odfiltrowania szumów celem wydobycia informacji o wartościach mierzonych przyspieszeń.

- Realizacja samoorganizujących się sieci neuronowych Kohonena jako niskomocowych układów analogowych oraz cyfrowych do zastosowań w bezprzewodowych sieciach sensorycznych (WSN) stosowanych w diagnostyce medycznej. Układy opisane zostały w publikacjach przedstawionych w Sekcji 4.2.5. Projekty sieci neuronowych realizowane były przy współpracy z Prof. Witoldem Pedryczem z University of Alberta w Kanadzie. Współpraca ta jest cały czas kontynuowana.
- 2005 – 2008 Udział w grantie KBN nr 3 T11 C 039 29 pt. “Wielopoziomowe wspomaganie projektowania skalonych analogowo-cyfrowych układów elektronicznych CMOS”.

5.2.2 Udział w projektach badawczych przed uzyskaniem stopnia doktora inżyniera

- 2002 – 2004 Międzynarodowy projekt REASON (REsearch And Training Action for System On Chip Design), piątego programu ramowego Unii Europejskiej. Projekt był koordynowany i kierowany przez Prof. Wiesława Kuźmicha z Politechniki Warszawskiej. Autor brał udział w realizacji układu scalonego Educhip.

- 2001 – 2003 “Optymalizacja algorytmów cyfrowego przetwarzania mowy i poprawa jej zrozumiałości w urządzeniach nowoczesnych systemów telekomunikacyjnych i w aparatach słuchowych”, grant KBN nr 7 T11D 005 20.
- 2001 – 2003 “Projektowanie i optymalizacja scalonych filtrów elektronicznych o skończonej odpowiedzi impulsowej”, grant KBN nr 7 T11B 076 21 (promotorski).
- 1999 – 2001 “Projekt oraz realizacja sprzętowa CMOS oraz BiCMOS analogowych bloków funkcjonalnych odbiornika telefonii komórkowej GSM”, grant KBN nr 8 T11B03716
- 1999 – 2000 Realizacja filtru decymacyjnego FIR do zastosowań w przetworniku analogowo-cyfrowym opartym na modulatorze $\Sigma-\Delta$. Przetwornik był realizowany do zastosowań w stacji bazowej GSM podczas pobytu Autora w Instytucie przemysłowym IHP Microelectronics we Frankfurcie nad Odrą w Niemczech.
- 1997 – 1999 Udział w projektach TEMPUS: łącznie cztery miesiące podczas trzech wizyt naukowych w: École Nouvelle d'Ingénieurs en Communication (ENIC) w Lille we Francji oraz Centro Studi e Laboratori Telecomunicazioni (CSELT) w Turynie we Włoszech
- 1997 “Rozwój metod separacji i filtracji sygnałów cyfrowych za pomocą procesorów sygnałowych”, grant KBN nr 3 P406 007 07

5.3 Wyróżnienia oraz stypendia naukowe

- 2012 Stypendium naukowe dla doświadczonych naukowców niemieckiej fundacji DAAD (pobyt w Niemczech 12/2012 – 02/2013)
- 2012 Stypendium “Invited Professor” fundowane przez Institute of Microtechnology / EPFL w Szwajcarii.
- 2010, 2011, 2012 Nagroda naukowa zespołowa (I i II stopnia) Jego Eminencji Rektora UTP, za wybitne osiągnięcia w dziedzinie badań naukowych.
- 2011 – 2012 Grant wspomagający Fundacji na Rzecz Nauki Polskiej dla laureatów programu Kolumb
- 2006 – 2009 Stypendium Marie Curie 6 Programu Ramowego Unii Europejskiej (International Outgoing Fellowship). Faza wyjazdowa: Department of Electrical and Computer Engineering / University of Alberta, Edmonton Kanada. Faza powrotna: University of Neuchâtel a następnie EPFL w Szwajcarii
- 2005 – 2008 W trakcie pobytu w Kanadzie pozyskanie czterech grantów z Canadian Microelectronics Corporation (CMC) umożliwiających realizację układów scalonych w nowoczesnych technologiach CMOS.
- 2005 – 2006 Stypendium zagraniczne w ramach programu Kolumb Fundacji na Rzecz nauki Polskiej. Stypendium to w 2005 roku przyznane zostało tylko 15 młodym doktorom. Miejsce pobytu: Department of Electrical and Computer Engineering / University of Alberta, Edmonton, Kanada.
- 2005 Nagroda Jego Eminencji Rektora Politechniki Poznańskiej za najlepszą rozprawę doktorską w 2004 r.
- 2004 Obrona z wyróżnieniem rozprawy doktorskiej na Wydziale Elektrycznym Politechniki Poznańskiej
- 2002 – 2003 Roczne stypendium naukowe dla młodych naukowców Fundacji na Rzecz Nauki Polskiej przedłużone w osobnym konkursie na kolejny rok.
- 1997 – 2010 Kilkanaście wyróżnionych referatów na międzynarodowych konferencjach naukowych (ESANN, SiPS, MIXDES)

5.4 Recenzowanie artykułów do czasopism naukowych oraz konferencyjnych

- IEEE Transactions on Neural Networks,

- IEEE Transactions on Circuits and Systems,
- IEEE Transactions on Very Large Scale Integration Systems,
- Microelectronics Journal (Elsevier),
- Knowledge Based Systems (Elsevier),
- Applied Soft Computing (Elsevier),
- Circuits, Devices & Systems (IET),
- Circuits, Systems & Signal Processing (Springer),
- VLSI Design Journal (Hindavi),
- Vibroengineering Journal,
- IEEE International Symposium on Circuits and Systems (ISCAS)

5.5 Recenzowanie wniosków stypendialnych

Przez okres dwóch lat Autor recenzował wnioski stypendialne w ramach programu "Ventures" Fundacji na Rzecz nauki Polskiej.

5.6 Udział w komitetach organizacyjnych konferencji

- 1998 Krajowa Konferencja Teoria Obwodów i Układy Elektroniczne (KKTOiUE)
- 1999-2005 IEEE Signal Processing Workshop

5.7 Działalność dydaktyczna

Doświadczenie dydaktyczne Autora obejmuje okres ponad 15 lat, czyli cały okres jego pracy zawodowej na uczelniach wyższych. Działalność dydaktyczna obejmuje prowadzenie regularnych zajęć, promotorstwo prac inżynierskich oraz magisterskich, ale też asystowanie przy realizacji rozpraw doktorskich.

5.7.1 Zajęcia prowadzone dawniej oraz obecnie

- Układy elektroniczne (ćwiczenia, laboratorium)
- Teoria obwodów (wykłady, ćwiczenia)
- Układy Analogowe (ćwiczenia, laboratorium)
- Języki programowania: Java, C/C++, (ćwiczenia, laboratorium),
- Algorytmy i struktury danych (ćwiczenia, laboratorium)
- Teoria systemów (ćwiczenia)
- Systemy sztucznej inteligencji (ćwiczenia, laboratorium)
- Miernictwo (wykład, laboratorium)
- Podstawy informatyki (wykład)
- Sieci globalne i systemy multimedialne (projekt, laboratorium)
- Aplikacje w sieciach teleinformatycznych (projekt)
- Seminarium dyplomowe

Autor brał też aktywny udział w przygotowaniu oraz prowadzeniu wybranych wykładów z zakresu Mikroelektroniki podczas pobytu naukowego w Kanadzie oraz Szwajcarii. Wykłady były prowadzone w języku angielskim.

5.7.2 Opieka nad studentami różnych szczebli edukacji

- Promotorstwo ponad pięćdziesięciu prac inżynierskich w Wyższej Szkole Informatyki oraz na Uniwersytecie Technologiczno-Przyrodniczym w Bydgoszczy.

- Aktywny udział w przygotowaniu rozpraw doktorskich dr inż. Tomasza Talaśki oraz dr inż. Marty Kolasy z Uniwersytetu Technologiczno-Przyrodniczego w Bydgoszczy.
- W czasie pobytu w Kanadzie na University of Alberta Autor asystował w pracach magisterskich dwóch studentów swojego opiekuna naukowego dr. Krzysztofa Iniewskiego.

A Cytowania nie ujęte w bazach Web od Science oraz Scopus

Większość cytowań prac Autora dostępnych jest w wyżej wymienionych bazach. Kilkunastu cytowań tam jednak nie ma. Zostały one zebrane poniżej:

a. R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", *VLSI Design Journal*, Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 2007

Oprócz dwóch cytowań odnotowanych w bazie Scopus, artykuł cytowany jest również przez:

1. Neena Nambiar, Benjamin J. Blalock, M. Nance Ericson, "A novel current-mode multi-channel integrating ADC", Springer, *Analog Integrated Circuits and Signal Processing*, Vol. 63, Number 2 (2010), pp.283–291, DOI: 10.1007/s10470-009-9393-8
2. L. Barboni, M. Valle, "Signal Conditioning System Analysis for Adaptive Signal Processing in Wireless Sensors", Springer, *Sensors and Microsystems, Lecture Notes in Electrical Engineering*, 2010, Vol. 54, Part 4, 291-294, DOI: 10.1007/978-90-481-3606-3_56
3. Binhee Kim, Long Yan, Jerald Yoo, and Hoi-Jun Yoo, "A 40fJ/c-s 1 V 10 bit SAR ADC with Dual Sampling Capacitive DAC Topology", *Journal of Semiconductor Technology and Science*, Vol.11, No.1, March, 2011, DOI:10.5573/JSTS.2011.11.1.023, pp.23–32
4. Hoi-Jun Yoo, Chris van Hoof, "Introduction to Bio-Medical CMOS IC", Springer, *BIO-MEDICAL CMOS ICS, Integrated Circuits and Systems*, 2011, pp.1–9, DOI: 10.1007/978-1-4419-6597-4_1
5. Binhee Kim, Long Yan, Jerald Yoo, Namjun Cho, and Hoi-Jun Yoo, "An Energy-Efficient Dual Sampling SAR ADC with Reduced Capacitive DAC", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 24-27 May 2009, pp.972 – 975
6. E. Maghsoudloo, S. Moradi, A. Arian, "Current mode sensor interface system for biomedical implantable applications", *20th Iranian Conference on Electrical Engineering (ICEE)*, 15–17 May 2012, pp.26 – 29
7. F. Fereydouni-Forouzandeh, O.A. Mohamed, M. Sawan, "Ultra Low Energy Communication Protocol for Implantable Wireless Body Sensor Networks", *6th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference (NEWCAS-TAISA)*, pp. 57 – 60, 22-25 June 2008,
8. Neena Balakrishnan Nambiar, "A Current-Mode Multi-Channel Integrating Analog-to-Digital Converter", Doctoral Dissertations, University of Tennessee, Knoxville, Trace: Tennessee Research and Creative Exchange, August 2009
9. L. Barboni, M. Valle, "Experimental Analysis of Wireless Sensor Nodes Current Consumption", *2nd International Conference on Sensor Technologies and Applications, (SENSOR-COMM)*, 25-31 August 2008, pp. 401 – 406
10. L. Barboni, M. Valle, "Signal-to-noise ratio evaluation for embedded wireless sensor nodes: A novel methodology", *16th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, 13-16 December 2009, pp. 940 – 943
11. L. Barboni, M. Valle, "Battery Current Consumption Measurement System for Lifetime Estimation of Wireless Sensor Nodes", *13th Italian Conference Sensors And Microsystems*, Roma, Italy, 19 – 21 February 2008, pp. 464 – 468

12. Salim Al-Ahdab, "An Ultra Low Power Fully Integrated Sensor Interface IC for Pacemaker", Thesis: degree of Master of Science, The Faculty of Electrical Engineering, Mathematics and Computer Science, Delft University of Technology, Nederland
13. Jinxin Song, "Ultra low power Analog-to-Digital Converter for Biomedical Devices", Educational program: Master of Science - System-on-Chip Design, School of Information and Communication Technology, Royal Institute of Technology, March 2011, Stockholm, Sweden

b. R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna, "Realization of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks", *IEEE Transactions on Neural Networks*, Vol. 21, Iss.6, pp.961–971, (June 2010)

Oprócz czterech cytowań odnotowanych w bazie Scopus, artykuł cytowany jest również przez:

14. E López-Rubio, "Improving the Quality of Self-Organizing Maps by Self-Intersection Avoidance", *IEEE Transactions on Neural Networks and Learning Systems*, DOI: 10.1109/TNNLS.2013.2254127, published 18 April 2013

c. R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", *Neurocomputing*, Elsevier, Vol. 73, Iss.7-9, pp.1222–1234, (March 2010)

Oprócz czterech cytowań odnotowanych w bazie Scopus, artykuł cytowany jest również przez:

15. Antonio Hernández Zavala, Ildar Z. Batyrshin, Oscar Camacho Nietoc, Oscar Castillod, "Conjunction and disjunction operations for digital fuzzy hardware", *Applied Soft Computing*, Vol. 13, Iss. 7, July 2013, pp.3248-3258

d. R. Długosz, T. Talaśka, "Low power current-mode binary-tree asynchronous Min/Max circuit", *Microelectronics Journal*, Elsevier, Vol.41, No.1, pp.64–73, (January 2010)

Oprócz czterech cytowań odnotowanych w bazie Scopus, artykuł cytowany jest również przez:

16. Dai Li, Zhuang Yiqi, Jing Xin, Tang Hualian, "High-Performance CMOS current-mode Winner-take-all circuit", *Journal of Xidian University*, Vol. 39, No. 3, June 2012, pp.80-85

e. R. Długosz, T. Talaśka, W. Pedrycz, "Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 58, Iss. 1, pp. 31–35, (January 2011)

Oprócz trzech cytowań odnotowanych w bazie Scopus, artykuł cytowany jest również przez:

17. R. Banchuin, "Complete Circuit Level Random Variation Models of Nanoscale MOS Performance", *International Journal Information and Electronic Engineering*, 2011, IJIEE 2011 Vol.1(1): 9-15 ISSN: 2010-3719, DOI: 10.7763/IJIEE.2011.V1.2