

Prof. dr hab. inż. Paweł Gryboś
Wydział Elektrotechniki, Automatyki
Informatyki i Inżynierii Biomedycznej
Akademia Górniczo – Hutnicza
Al. Mickiewicza 30, 30-059 Kraków
e-mail: pgrybos@agh.edu.pl

Kraków, 14. 01. 2014 r.

Ocena dorobku naukowego dr inż. Rafała Długosza
w związku z wszczęciem na Wydziale Elektrotechniki, Elektroniki, Informatyki
i Automatyki Politechniki Łódzkiej postępowania habilitacyjnego

wykonana na zlecenie Dziekana Wydziału EEIA PŁ z dnia 19. 11. 2013 r.

I. Informacje podstawowe o kandydacie

Dr inż. Rafał Długosz ukończył w 1996 r studia na Wydziale Elektrycznym Politechniki Poznańskiej w dziedzinie Automatyka i Robotyka. W latach 1996-2004 pracował jako asystent na Politechnice Poznańskiej, początkowo na Wydziale Elektrycznym, a następnie na Wydziale Informatyki i Zarządzania. W czerwcu 2004 r otrzymał tytuł doktora inżyniera w dziedzinie Telekomunikacja, specjalność Przetwarzanie Sygnałów, broniąc na Politechnice Poznańskiej rozprawę pt. „Design and optimization of finite impulse response electronic filters integrated in CMOS technology”. Po obronie doktoratu do 2010 pracował jako adiunkt na Wydziale Informatyki i Zarządzania, a od października 2010 r do dnia dzisiejszego pracuje na stanowisku adiunkta na Wydziale Telekomunikacji, Informatyki i Elektrotechniki, Uniwersytetu Techniczno-Przyrodniczego w Bydgoszczy. Równolegle od 2002 r. jest pracownikiem dydaktycznym w Wyższej Szkole Informatyki i Umiejętności w Łodzi, oddział zamiejscowy w Bydgoszczy. Kandydat ma na swoim koncie liczne staże zagraniczne i wyjazdy zagraniczne, przy czym do tych najważniejszych należą:

- trzyletni pobyt na University of Alberta w Edmonton w Kanadzie w latach 2005-2008 (stypendium FNP oraz stypendium Marii Curie FP6),
- trzyletni pobyt w Szwajcarii: na University of Neuchatel - lata 2006-2008, a następnie EPFL – lata 2009-2012 (stypendium Marii Curie FP6 oraz roczny kontrakt z EPFL),
- trzymiesięczny pobyt (12/2012 – 02/2013) w instytucie przemysłowym Innovation for High Performance Microelectronics we Frankfurcie nad Odrą (stypendium niemieckiej fundacji DAAD).

Współpraca naukowa z EPFL, jak i University of Alberta jest cały czas kontynuowana. W swym dorobku dr. Długosz wskazuje również, że od 2010 r do dnia dzisiejszego pracuje jako Senior Scientist (Analog Design Services), CMOS Emerging Technologies Research INC, w Kolumbii Brytyjskiej w Kanadzie.

II. Ocena rozprawy habilitacyjnej lub zestawu publikacji składających się na habilitację wraz z uzasadnieniem, co przeprowadzone badania wnoszą do nauki.

Jako osiągnięcie wynikające z art. 16 ust. 2 z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym dr. Długosz przedstawił cykl 8 publikacji pod tytułem „Analogowe oraz analogowo-cyfrowe specjalizowane układy scalone niskiego poboru mocy pracujące w trybie równoległym oraz asynchronicznym”, przy czym wszystkie te publikacje to prace zespołowe wykonane z udziałem habilitanta. W tym przypadku Centralna Komisja w swoich komentarzach (<http://www.ck.gov.pl/index.php/komentarze/kryteria-oceny-kwalifikacji-kadry-naukowej-i-artystycznej>) podaje, „że zgodnie z postanowieniem ustawy część pracy zespołowej może być rozprawą habilitacyjną, jeżeli opracowanie wydzielonego zagadnienia jest indywidualnym wkładem habilitanta do wspólnych opracowań”. **W mojej opinii w przypadku prac 1, 2, 3, 4 cytowanych w autoreferacie habilitanta (do których odwołuję się również poniżej), kryterium to nie jest spełnione i wkłady merytoryczne przedstawione w oświadczeniu habilitanta kolidują z zawartością prac autorskich, jakimi są obronione wcześniej (tj. przed wszczęciem rozprawy habilitacyjnej) rozprawy doktorskie Marty Kolasy i Tomasza Talaśki (prace te są załącznikami do mojej recenzji). Natomiast w przypadku prac 5, 6, 7, 8 uważam, że przedstawiony w nich wkład habilitanta nie stanowi znacznego wkładu dr. R. Długosza w rozwój elektroniki.**

Poniżej zamieszczam ocenę poszczególnych prac w świetle wymagań stawianych w przewodzie habilitacyjnym.

1. [TNN WTM] R. Długosz, M. Kolasa, W. Pedrycz, M. Szulc „Parallel Programmable Asynchronous Neighborhood Mechanizm for Kohonen SOM Implemented in CMOS Technology” IEEE Transaction on Neural Networks, vol. 22, Iss, 12, pp. 2091-2104 (December 2011).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 55% M. Kolasa - 30%, W. Pedrycz - 10%, M. Szulc - 5%.

W pracy zaprezentowano nowy programowalny cyfrowy mechanizm sąsiedztwa do zastosowań w samoorganizujących się sieciach neuronowych Kohonena. Zaproponowana w artykule w pełni równoległa i asynchroniczna architektura została zweryfikowana pod kątem możliwej implementacji sprzętowej w technologii CMOS 0.18 μm . Praca ta jest pracą współautorską, zatem z punktu widzenia przewodu habilitacyjnego należy rozważyć wkład do niej dr. R. Długosza. Wniosek dr. R. Długosza do CK o przeprowadzenie postępowania habilitacyjnego pochodzi z dnia 26.05.2013 (wniosek wpłynął do CK 4.09.2013) i deklarowany jego wkład do omawianej pracy [TNN WTM] wynosi 55%. Natomiast istnieje praca doktorskiej Marty Kolasy pt „Uczenie się samoorganizujących map Kohonena metodą WTM implementowaną sprzętowo”, opublikowana w 2011 r. i broniąca w ramach przewodu doktorskiego na Uniwersytecie Techniczno-Przyrodniczym w Bydgoszczy, który pomyślnie został zakończony w dniu 21.06.2012 r. (promotorem był dr hab. Ryszard Wojtyna). Po analizie zawartości merytorycznej pracy [TNN WTM] i pracy doktorskiej M. Kolasy, uważam, że co jest wartościowe w sensie merytorycznym w publikacji [TNN WTM], zostało również przedstawione i opublikowane w pracy doktorskiej M. Kolasy, a przedstawione oświadczenie dot. wkładu dr. Długosza do pracy [TNN WTM] jest niewiarygodne. Poniżej w tabeli 1 przedstawiłem porównanie wszystkich rysunków i tabel z pracy [TNN WTM] z w/w

pracą doktorską M. Kolasy, w tabeli 2 zestawilem oświadczenie dr. R. Długosza dotyczące jego udziału w pracy [TNN WTM] z zawartością pracy doktorskiej M. Kolasy.

Tab. 1. Porównanie **wszystkich** rysunków i tabel z pracy [TNN WTM] z w/w pracą doktorską M. Kolasy.

[TNN WTM]	Praca doktorska M. Kolasy	Komentarz recenzenta
Fig. 1. Analog neighborhood mechanism reported by Peris in [9] redesigned by us in the CMOS 0.18 μm technology.	Rysunek 4.16 Analogowy mechanizm sąsiedztwa przedstawiony w pracy Peiris'a [132] przeprogramowany do technologii CMOS 0.18 μm (str. 81).	Rysunki są identyczne
Fig. 2. Different SOM topologies (a) and (b) rectangular grid with four (Rect4) and eight (Rect8) neighbors, and (c) hexagonal grid (Hex).	Rysunek 3.2. Różne topologie sieci SOM: (a) oraz (b) topologia prostokątna z czterema (Rect4) i ośmioma (Rect8) sąsiadami, (c) topologia hexagonalna (Hex). Kolorem żółtym zaznaczono neurony zwycięskie. (str. 33)	Rysunki są identyczne
Fig. 3. General diagram of the proposed solution: placement of neurons together with the connection scheme.	Rysunek 4.1. Ogólny schemat proponowanego rozmieszczenia neuronów : (b) rozmieszczenie neuronów wraz ze schematem połączeń. (str. 54)	Rysunki są identyczne
Fig. 4. Schematic diagram of a single neuron used in the proposed NN.	Rysunek 4.2. Struktura neuronu użyta w sieci Kohonena typu WTM. (str. 55)	Rysunki są identyczne
Fig. 5. Structure of the EN propagation (EN_PROP) block used in (a) Rect8, (b) Rect4, and (c) Hex topology.	Rysunek 4.3. Struktura bloku propagacji sygnału aktywności (EN_PROP) dla topologii: (a) Rect8, (b) Rect4, (c) Hex. (str. 59)	Rysunki są identyczne
Fig. 6. Radius propagation (R_PROP) block.	Rysunek 4.4. Blok propagacji sygnału zasięgu sąsiedztwa r (R_PROP). (str. 60)	Rysunki są identyczne
Fig. 7. Propagation of signals in the neighborhood mechanism.	Rysunek 4.5. Schemat obrazujący propagację poszczególnych sygnałów mechanizmu sąsiedztwa. (str. 60)	Rysunki są identyczne
Fig. 8. Transition between particular map topologies realized in a single chip (a) basic Rect8 topology, (b) Rect8 $\rightarrow$ Rect4, and (c) Rect8 $\rightarrow$ Hex.	Rysunek 4.7. Schemat przełączania pomiędzy poszczególnymi topologiami sieci WTM zrealizowanej w jednym układzie scalonym: (a) topologia Rect8, (b) Rect8 $\rightarrow$ Rect4, (c) Rect8 $\rightarrow$ Hex. (str. 63)	Rysunki są identyczne
Table I Transition scheme between particular map topologies	Tabela 4.1. Schemat przełączania pomiędzy poszczególnymi topologiami sieci WTM (str. 63)	Tabele są identyczne
Fig. 9. Reconfigurable EN_PROP circuit used in the programmable version of the proposed neighborhood mechanism.	Rysunek 4.8. Programowalny obwód EN_PROP. (str. 64)	Rysunki są identyczne
Fig. 10. Simulations illustrating operation of the programmable EN_PROP circuit, which is responsible for reprogramming the topology of the SOM. Three topologies (Rect8, Hex, Rect4) are available on a single chip.	Rysunek 4.9. Wyniki symulacji z użyciem programu HSpice ilustrujące sposób działania programowalnego bloku EN_PROP dla poszczególnych topologii (S4, S6 oraz S8). (str. 65)	Rysunki pokazują te same wyniki symulacji

Fig. 11. Quantization error as a function of R_{max} for particular NFs,..... (a), (c), (e), (g), (i), (k)	Rysunek 5.4. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} (a), (b), (d), (e), (g), (h) (str. 115).	Rysunki są identyczne
Fig. 11. Quantization error as a function of R_{max} for particular NFs,..... (b), (d), (f), (h), (j), (l).	Rysunek 5.5. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} ,... (a), (b), (d), (e), (g), (h) (str. 116)	Rysunki są identyczne
Fig. 12. Q_{err} for an example map with 20×20 neurons for Rect4 case for (a) $R_{max} = 38$, (b) $R_{max} = 5$ i.e., for 1/8 of the size of the map, and (c) $R_{max} = 2$.	Rysunek 5.3. Błąd kwantyzacji Q_{err} dla mapy 16×16 neuronów oraz topologii Rect8, dla: (a) $R_{max} = 13$, (b) $R_{max} = 7$, (c) $R_{max} = 1$, (d) $R_{max} = 0$ (str. 105)	Obie prace rozpatrują 3 typy topologii: Rect4, Rect8, Hex. Rysunki przedstawiają wartość błędu kwantyzacji w funkcji liczby iteracji procesu uczenia się sieci, przy czym fig. 12 [TNN WTM], pokazuje przykład dla sieci 20×20 neuronów i topologii Rect4, a praca doktorska M. Kolasy dla sieci 16×16 neuronów i topologii Rect8, choć w tekście na str. 104 odwołuje się do mapy 20×20 neuronów i Rect4.
Fig. 13. Quality ($Q_{err}/PDN/ET1/ET2/ET3$) in the learning process reported for the following cases:	Rysunek 5.11. Jakość procesu uczenia sieci ($Q_{err} / PDN / ET1 / ET2 / ET3$) dla następujących przypadków (str. 122)	Rysunki są identyczne
Fig. 14. Performance of the proposed circuit presented over time.	Rysunek 4.13. Symulacje w dziedzinie czasu ilustrujące działanie zaproponowanego rozwiązania mechanizmu sąsiedztwa dla topologii Rect4, przy wykorzystaniu RNF oraz TNF, dla mapy 8×8 neuronów, dla: (a) $R_{max} = 15$, (b) $R_{max} = 7$, (c) $R_{max} = 2$. (str. 74)	Otrzymane wyniki symulacji są bardzo zbliżone. W doktoracie M. Kolasy znajdują się bardziej szczegółowe wyniki prowadzonych symulacji.
Fig. 15. Energy consumption per single input pattern and delay between the two extreme neurons in the map versus the neighborhood range R , for the Rect4 topology, for different supply voltages, 20 °C, for TT transistor model.	Rysunek 4.14. Zużycie energii dla jednego wzorca uczącego oraz opóźnienie pomiędzy dwoma najbardziej oddalonymi neuronami na mapie jako funkcje zasięgu sąsiedztwa R dla różnych wartości napięcia zasilania, dla topologii: (a) Rect4 (str.78)	Rysunki są identyczne
Fig. 16. Estimated power dissipation regarded as a function of the number of neurons and the sampling frequency at the input (the worst case).		Ten rysunek jest nowy i nie występuje w pracy doktorskiej M. Kolasy

Porównując publikację [TNN WTM] z pracą doktorską M. Kolasy, należy stwierdzić, że praca doktorska M. Kolasy zawiera znacznie szerszą analizę oraz bardziej szczegółowe symulacje i wyniki niż publikacja [TNN WTM]. Jedynym innym elementem pojawiającym się w pracy [TNN WTM] (w stosunku do pracy doktorskiej M. Kolasy), jest krótki

podrozdział V.A *Computational Power of Proposed SOM* wraz z rys. 16. Należy dodać, że publikacja [TNN WTM] jest przywoływana w pracy doktorskiej M. Kolasy na str. 54, 61, 62 i 93 jako referencja [40]. Porównałem również oświadczenie złożone przez dr R. Długosza z zawartością pracy doktorskiej M. Kolasy (tab. 2). Trudno znaleźć istotnie inne wkłady merytoryczne w oświadczeniach dr. R. Długosza, które nie pojawiałyby się również w pracy doktorskiej M. Kolasy.

Tab. 2. Zestawienie oświadczenia dr. R. Długosza dotyczące jego udziału w pracy [TNN WTM] z zawartością pracy doktorskiej M. Kolasy.

Oświadczenie dr. R Długosza o szczegółowym udziale w publikacji [TNN WTM]	Komentarz recenzenta biorący pod uwagę zawartość pracy doktorskiej M. Kolasy
Zaproponowanie koncepcji asynchronicznego mechanizmu sąsiedztwa pracującego w sposób równoległy oraz jego implementacji na poziomie tranzystorów w technologii CMOS. Zaproponowałem trzy wersje tego mechanizmu dla trzech różnych topologii sieci (heksagonalnej oraz prostokątnej z czterema oraz ośmioma sąsiadami).	Tematem rozdziału 4.1.2 jest „Asynchroniczny mechanizm sąsiedztwa pracujący równolegle”. Przedstawiona tam jest struktura poszczególnych bloków w zaproponowanym mechanizmie sąsiedztwa dla trzech topologii Rect8, Rect4 i Hex.
W kolejnym etapie zaproponowałem programowalny układ sąsiedztwa, który umożliwia realizację wyżej wymienionych topologii w jednym układzie scalonym. mechanizm można przełączać pomiędzy poszczególnymi topologiami za pomocą jedynie dwóch bitów w czasie 1 ns.	Tematem rozdziału 4.1.3 jest „Nowy programowalny mechanizm sąsiedztwa dla sieci WTM”. Dalej na str. 62 jest napisane: „... w rozprawie doktorskiej zaproponowane zostało na poziomie tranzystorów uniwersalne programowalne rozwiązanie mechanizmu sąsiedztwa, które umożliwia pracę sieci SOM z różnymi topologiami w jednym układzie scalonym”
Realizacja opisanego mechanizmu na poziomie tranzystorów oraz jego szczegółowe symulacje w programie Hspice. Realizacja ta była złożonym procesem, ponieważ układ dla przykładowej mapy zawierającej kilkadziesiąt neuronów składał się z około 100 tysięcy tranzystorów.	W podsumowaniu pracy doktorskiej na str. 128 czytamy: „Zbadano symulacyjnie sprzętowy mechanizm sąsiedztwa w środowisku Hspice. Badania zostały przeprowadzone dla różnych napięć zasilających, różnych modeli tranzystorów i różnych temperatur otoczenia”. W pracy doktorskiej przedstawiono znacznie szerszy zakres symulacji niż w omawianym artykule [TNN WTM].
Redakcja artykułu do czasopisma, która obejmowała między innymi studium specyfiki innych istniejących rozwiązań. Etap ten wymagał dodatkowo przeprojektowania analogowego mechanizmu sąsiedztwa zaproponowanego przez Perisa do tej samej technologii w której zrealizowany został zaproponowany w artykule cyfrowy mechanizm sąsiedztwa. Przeprojektowanie takie było konieczne aby można było dokonać bezpośredniego porównania pomiędzy tymi rozwiązaniami.	Na str. 80 w pracy doktorskiej czytamy: „W odróżnieniu jednak od układu zaproponowanego w tej rozprawie topologia warstwy wyjściowej w rozwiązaniu Perisa jest niezmienna. Aby właściwie ocenić możliwości tamtego rozwiązania oraz dokonać adekwatnego porównania parametrów z zaproponowanym układem, układ Perisa został przeprojektowany do technologii TSMC CMOS 0.18 μm , a następnie zweryfikowany w oparciu o środowisko HSpice”

2. [NN TNF] M. Kolasa, R. Długosz, W. Pedrycz, M. Szulc „Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip” *Neural Networks*, Elsevier, vol. 25, pp. 146-160 (January 2012).

Zadeklarowany we wniosku procentowy udział autorów w pracy: M. Kolasa – 40% , R. Długosz - 45% , W. Pedrycz – 10%, M. Szulc – 5%.

W artykule zaprezentowano elastyczny, programowalny mechanizm sąsiedztwa oparty na funkcji trójkątnej do zastosowań w równoległej samoorganizującej się sieci Kohonena. Po analizie zawartości merytorycznej pracy [NN TNF] i pracy doktorskiej M. Kolasy uważam, że przedstawione oświadczenie dot. wkładu dr. Długosza do pracy [TNN WTM] jest niewiarygodne. Poniżej w tabeli 3 przedstawiłem porównanie wszystkich rysunków i tabel z pracy [NN TNF] z w/w pracą dokorską M. Kolasy, w tabeli 4 zestawilem oświadczenie dr. R. Długosza dotyczące jego udziału w pracy [NN TNF] z zawartością pracy doktorskiej. M. Kolasy.

Tab. 3. Porównanie **wszystkich** rysunków i tabel z pracy [TNN WTM] z w/w pracą dokorską M. Kolasy.

[NN TNF]	Praca dokorska M. Kolasy	Komentarz recenzenta
Fig. 1. Diagram of the proposed solution: (a) a placement of neurons in the map	Rysunek 4.1. Ogólny schemat proponowanego rozmieszczenia neuronów :.... (b) rozmieszczenie neuronów wraz ze schematem połączeń. (str. 54)	Rysunki są identyczne
Fig. 1. Diagram of the proposed solution: (b) the structure of a single neuron for p neighboring neurons.	Rysunek 4.2. Struktura neuronu użyta w sieci Kohonena typu WTM. (str. 55)	Rysunki przedstawiają tą samą strukturę neuronu.
Fig. 2. SOM arranged as: (a) the hexagonal grid (Hex), (b, c) the rectangular grid with 8 and 4 neighbors (Rect8 and Rect4).	Rysunek 3.2. Różne topologie sieci SOM: (a) oraz (b) topologia prostokątna z czterema (Rect4) i ośmioma (Rect8) sąsiadami, (c) topologia hexagonalna (Hex). Kolorem żółtym zaznaczono neurony zwycięskie. (str. 33)	Rysunki są identyczne
Fig. 3. The EN_PROP block for the Rect8 topology and the R_PROP circuit (the same block is used for all topologies).	Rysunek 4.3. Struktura bloku propagacji sygnału aktywności (EN_PROP) dla topologii: (a) Rect8, (b) Rect4, (c) Hex. (str. 59) Rysunek 4.4. Blok propagacji sygnału zasięgu sąsiedztwa r (R_PROP). (str. 60)	Rysunki są identyczne
Fig. 4. The quantization error as a function of Rmax for particular neighborhood functions, for the Rect4 topology. 'E' means the Euclidean distance, while 'M' the Manhattan one.	Rysunek 5.4. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (a), (b), (c) (str. 115). Rysunek 5.6. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (a), (b), (c) (str. 117).	Rysunki z pracy [NN TNF] zawierają opis błędów z uwzględnieniem miary Euklidesa i miary Manhattan. W pracy doktorskiej M. Kolasy jest uwzględniona tylko miara Euklidesa. Wyniki dla miary Euklidesa w pracy [NN TNF] i rozprawie doktorskiej są te same.
Fig. 5. The quantization error as a function of Rmax for particular neighborhood functions, for the Rect8 topology. 'E' means the Euclidean distance, while 'M' the Manhattan one.	Rysunek 5.4. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (d), (e), (f) (str. 115). Rysunek 5.6. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (d), (e), (f) (str. 117).	Rysunki z pracy [NN TNF] zawierają opis błędów z uwzględnieniem miary Euklidesa i miary Manhattan. W pracy doktorskiej M. Kolasy jest uwzględniona tylko miara Euklidesa. Wyniki dla miary Euklidesa w pracy [NN TNF] i rozprawie

		doktorskiej są te same.
Fig. 6. The quantization error as a function of Rmax for particular neighborhood functions, for the Hex topology. 'E' means the Euclidean distance, while 'M' the Manhattan one.	Rysunek 5.4. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (g), (h), (i) (str. 115). Rysunek 5.6. Błąd kwantyzacji po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, Rmax.... (g), (h), (i) (str. 117).	Rysunki z pracy [NN TNF] zawierają opis błędów z uwzględnieniem miary Euklidesa i miary Manhattan. W pracy doktorskiej M. Kolasy jest uwzględniona tylko miara Euklidesa. Wyniki dla miary Euklidesa w pracy [NN TNF] i rozprawie doktorskiej są te same.
Fig. 7. The number of cases for which the map becomes properly organized, for different map sizes for the following cases: (a) Rect4, (b) Rect8 and (c) Hex topology.	Rysunek 5.10. Liczba przypadków, dla których mapa została prawidłowo zorganizowana, dla danych CREG_2D, w zależności od zastosowanej funkcji sąsiedztwa, w funkcji liczby neuronów, dla topologii: (a) Rect4, (b) Rect8 oraz (c) Hex. (str. 121)	Rysunki są identyczne
Fig. 8. The quality (Qerr/PDN/ET1/ET2/ET3) in the learning process reported for the following cases: (a)-(h)	Rysunek 5.11. Jakość procesu uczenia sieci (Qerr / PDN / ET1 / ET2 / ET3) dla następujących przypadków: (a)-(d) Rysunek 5.12. Jakość procesu uczenia sieci (Qerr / PDN / ET1 / ET2 / ET3) dla następujących przypadków: (a)-(d) (str. 122-123)	Rysunki są identyczne
Fig. 9. The proposed circuit and the structure of the bits-shift block, which shifts the bits to the right, thus dividing the signal by D that is always a power of 2.	Rysunek 4.11. Struktura bloku przesuwającego bity w prawo, dzieląc sygnał r_E przez D, którego wartość jest zawsze potęgą liczby 2. (str. 70)	Rysunki są identyczne
Fig. 10. The shape of the triangular function for selected values of the C, D, E and R parameters. The diagrams illustrate the flexibility of the proposed solution.	Rysunek 4.10. Kształt funkcji trójkątnej dla wybranych wartości parametrów C, D, E oraz R. Prezentowane charakterystyki ilustrują dużą elastyczność zaproponowanego rozwiązania.	Rysunki są identyczne
Table 1 The quality of the learning process treated as a function of the initial neighborhood range Rmax, for the RNF, GNF and TNF (selected results).	Tabela 1, str. 144 Tabela 3, str. 146 Tabela 4, str. 147 Tabela 6, str. 149 Tabela 8, str. 151 Tabela 9, str. 152	Wyniki w artykule [NN TNF] zawierają wyciąg z tabel w doktoracie M. Kolasy. Doktorat M. Kolasy w Dodatku (str. 144-161) zawiera znacznie więcej analizowanych przypadków
Fig. 11. Quantization error after completing the learning process for different resolutions of the $\eta() \cdot G()$ signal, for the Rect4 topology.	Rysunek 5.13. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$,... (a), (b), (c) (str. 124) Rysunek 5.14. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$	Rysunki są identyczne

	G(),... (a), (b), (c) (str. 125)	
Fig. 12. Quantization error after completing the learning process for different resolutions of the $\eta() \cdot G()$ signal, for the Rect8 topology.	Rysunek 5.13. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$,... (d), (e), (f) (str. 124) Rysunek 5.14. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$,... (d), (e), (f) (str. 125)	Rysunki są identyczne
Fig. 13. Quantization error after completing the learning process for different resolutions of the $\eta() \cdot G()$ signal, for the Hex topology.	Rysunek 5.13. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$,... (g), (h), (i) (str. 124) Rysunek 5.14. Błąd kwantyzacji Q_{err} po zakończeniu procesu uczenia sieci w funkcji początkowej wartości zasięgu sąsiedztwa, R_{max} , dla różnej rozdzielczości sygnału $\eta() \cdot G()$,... (g), (h), (i) (str. 125)	Rysunki są identyczne
Fig. 14. Transistor level simulations of the TNF block itself. The top plot illustrates different values of the r and the E parameters applied to the inputs. The next two plots illustrate particular stages of the TNF block. The bottom plot illustrates the supply current. The results are presented for the supply voltage $VDD = 1.8$ V.	Rysunek 4.12. Symulacje na poziomie tranzystora pojedynczego bloku TF. Górna część ilustruje różne wartości parametrów r oraz E doprowadzonych do wejść. Kolejne dwie części ilustrują poszczególne stany realizowane przez blok TF. Najniższa część przedstawia prąd zasilania. Pokazane rezultaty uzyskane zostały dla $VDD=1.8$ V. (str. 72)	Rysunki są identyczne
Fig. 15. Transistor level simulations of the overall neighborhood mechanism for 8×8 neurons in the map. The results are shown for the Rect4 mode. The 1st and the 2nd plot illustrate the enable, EN, signals at particular stages of the neighborhood. The 3rd and the 4th plot illustrate the supply current for the RNF and TNF cases, respectively.	Rysunek 4.13. Symulacje w dziedzinie czasu ilustrujące działanie zaproponowanego rozwiązania mechanizmu sąsiedztwa dla topologii Rect4, przy wykorzystaniu RNF oraz TNF, dla mapy 8×8 neuronów, dla: (a) $R_{max} = 15$, (b) $R_{max} = 7$, (c) $R_{max} = 2$. (str. 74)	Otrzymane wyniki symulacji są bardzo zbliżone. W doktoracie M. Kolasy znajdują się bardziej szczegółowe wyniki prowadzonych symulacji.

Porównując publikację [NN TNF] z pracą doktorską M. Kolasy, należy stwierdzić, że praca doktorska M. Kolasy zawiera bardziej znacznie szerszą analizę oraz bardziej szczegółowe symulacje i wyniki niż publikacja [NN TNF]. Należy dodać, że publikacja [NN TNF] jest przywoływana w pracy doktorskiej M. Kolasy na str. 57, 62, 67 i 100 jako referencja [86]. Porównałem również oświadczenie złożone przez dr R. Długosza z zawartością pracy doktorskiej M. Kolasy (tab 4) i w mojej opinii trudno znaleźć istotnie inne wkłady merytoryczne w oświadczeniach dr R. Długosza, które nie pojawiałyby się również w pracy doktorskiej M. Kolasy.

Tab. 4. Zestawienie oświadczenia dr. R. Długosza dotyczące jego udziału w pracy [NN TNF] z zawartością pracy doktorskiej. M. Kolasy

Oświadczenie dr. R Długosza o szczegółowym udziale w publikacji [NN TNF]	Komentarz recenzenta biorący pod uwagę zawartość pracy doktorskiej M. Kolasy
Propozycja zastąpienia funkcji sąsiedztwa w kształcie funkcji Gaussa (GNF - ang. Gaussian Neighborhood Function), która jest typowo używana w programowalnych realizacjach sieci Kohena, trójkątną funkcją sąsiedztwa (TNF – ang. Triangular Neighborhood Function), która może być w dużo prostszy sposób zrealizowana sprzętowo. W wyniku dalszych badań okazało się, że przy zastosowaniu funkcji TNF sieć Kohonena uczy się tak samo dobrze jak w przypadku użycia funkcji GNF. W rezultacie gdy rozpatrywana sieć neuronowa z dużą liczbą neuronów pracujących równolegle zamiana funkcji prowadzi do bardzo dużego uproszczenia struktury sprzętowej całej sieci.	Na str. 31 pracy doktorskiej czytamy: „Badania autorki przeprowadzone modelu sprzętowym sieci SOM pokazują, że złożoność sprzętowa funkcji GNF jest nawet o dwa rzędy wielkości większa niż w przypadku funkcji RNF. Z tego powodu w niniejszej pracy zaproponowano efektywną, cyfrową realizację trójkątnej funkcji sąsiedztwa TNF (ang. Triangular Neighborhood Function), która może być znacznie prościej zrealizowana sprzętowo niż funkcja Gaussa. ... Szczegółowe porównanie funkcji sąsiedztwa, tj. RNF, GNF oraz TNF, zaprezentowano w rozdziale 5.1. Wyniki symulacji uzyskane z wykorzystaniem modelu programowego sieci SOM pokazują, że funkcja TNF daje wyniki o zbliżonej dokładności do tych, które uzyskane zostały przy wykorzystaniu funkcji GNF. Funkcja TNF charakteryzuje się jednak znacznie mniejszą złożonością sprzętową, ponieważ wymaga jedynie operacji mnożenia, co zostało omówione w rozdziale 4.1.4.”
Zaproponowanie sprzętowej implementacji trójkątnej funkcji sąsiedztwa na poziomie tranzystorów. Poprzez wykorzystanie przesuwnika bitowego opartego na zestawie kluczy wyeliminowany został złożony układ dzielący wymagany do tego aby uzyskać efekt mnożenia przez liczbę mniejszą od 1. W rezultacie możliwe było zrealizowanie bloku sąsiedztwa jako asynchronicznego i równoległego układu cyfrowego, który jest bardzo szybki i jednocześnie pobiera bardzo małą moc.	W pracy [NN TNF] nie pokazano implementacji trójkątnej funkcji sąsiedztwa na poziomie tranzystorów, a jedynie na poziomie na poziomie bramek logicznych czy schematów, które znajdują się również w rozprawie doktorskiej M. Kolasy. Sprzętowa realizacja trójkątnej funkcji sąsiedztwa jest tematem rozdziału 4.1.4 rozprawy doktorskiej. Struktura bloku przesuwającego bity znajduje się na rys. 4.11 na str. 70 w rozprawie doktorskiej M. Kolasy.
Zaprojektowanie bloku realizującego funkcję sąsiedztwa na poziomie tranzystorów a następnie jej kompleksowa weryfikacja symulacyjna w środowisku Hspice.	Znacznie bardziej dokładniejsze analizy funkcji sąsiedztwa niż w pracy [NN TNF] zaprezentowano w rozprawie doktorskiej M. Kolasy w rozdziałach 4 i 5.
Główny udział w redagowaniu artykułu do czasopisma	

Analizując zatem dwie przedstawione prace [TNN WTM] i [NN TNF] stwierdzam, że

- wszystkie wartościowe naukowe wyniki pochodzące z prac [TNN WTM] i [NN TNF] znalazły się w rozprawie doktorskiej M. Kolasy,
- analizując zadeklarowany wkład dr. R Długosza do w/w prac stwierdzam, że jeżeli jakieś elementy, na które się on powołuje w swoim oświadczeniu dot. udziału są omawiane w pracach [TNN WTM] i [NN TNF], to znajdują się one również w pracy doktorskiej M. Kolasy, przy czym uzyskane wyniki i symulacje są w rozprawie doktorskiej M. Kolasy przedstawione w bardziej rozbudowanej i szczegółowej formie,
- należy dodać, że przewód doktorski Pani M. Kolasy został zakończony w dniu 21.06.2012r., podczas gdy wniosek dr. R. Długosza do CK o przeprowadzenie postępowania habilitacyjnego pochodzi z dnia 26.05.2013 r.

Biorąc powyższe pod uwagę uważam, że wkładu zadeklarowanego przez dr. R. Długosza w dwóch omawianych pracach nie można wziąć pod uwagę przy rozpatrywaniu jego wniosku o stopień doktora habilitowanego.

3. [TNN CONS] R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna: „Realisation of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self –Organizing Neural Networks” IEEE Transaction of Neural Networks, vol. 21, Iss. 6, pp. 961-971 (June 2010).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 40% , T. Talaśka – 40% , W. Pedrycz – 10% , R. Wojtyna – 10%.

W artykule [TNN CONS] zaprezentowano implementację CMOS mechanizmu sumienia aby poprawić uczenie się samoorganizującej się sieci neuronowej typu WTA (ang. *Winner-Takes-All*). W pracy przedstawiono implementację sprzętowa, symulacje i wyniki pomiarów sieci zaimplementowanej w technologii CMOS TSMC 180 nm. Uważam, że artykuł [TNS CONS] w kontekście prowadzonego postępowania habilitacyjnego i wkładu merytorycznego dr. R. Długosza, należy rozpatrywać mając na uwadze pracę doktorską Tomasza Talaśki zatytułowaną „Badania sieci Kohonena realizowanej w postaci układu scalonego” (pomyślnie zakończoną w dniu 28.10.2009 r, promotor dr. hab. Ryszard Wojtyna), w której zaproponował on **ten sam mechanizm sumienia i jego późniejszą realizację sprzętową w formie układu scalonego, która omawiana jest w pracy [TNN CONS]**. Porównanie schematów rozpatrywanych obwodów i planu masek układu scalonego zawiera tabela 5.

Tab. 5. Porównanie schematów i planu masek układu scalonego z pracy [TNN COS] z w/w pracą doktorską T. Talaśki.

[TNN CONS]	Praca doktorska T. Talaśki	Komentarz recenzenta
Fig. 1. Block diagram of the WTA neural network implemented by the authors. Signals d_{cdc} , d_{cons} , and d_{count} are a part of the hardware realization; they are represented by currents I_{cdc} , I_{cons} and I_{count} .	Rysunek 3.1. Schemat blokowy uczenia sieci WTA z wykorzystaniem mechanizmu sumienia (str. 27)	Zaproponowany schemat jest ten sam, użyto tylko innych oznaczeń
Fig. 2. Block diagram of the proposed conscience mechanism realized with the use of analog counters.	Rysunek 5.43. Idea pracy zaprojektowanego w technologii CMOS i użytego w sieci Kohonena nowatorskiego mechanizmu sumienia wykorzystującego liczniki analogowe (str. 92)	Rysunki przedstawiają ten sam mechanizm sumienia, co więcej dalej w pracy doktorskiej. T. Talaśki przedstawiony jest schemat elektryczny układu implementującego mechanizm sumienia oparty na przełączanych lustrach prądowych.
Fig. 3. Main components of the proposed conscience mechanism: (a) an analog counter (CNR),....	Rysunek 5.44. Schemat elektryczny licznika analogowego, który użyty został do realizacji mechanizmu sumienia CONS (str. 93)	Idea licznika pokazana na obu schematach jest ta sama. W pracy [TNN CONS] pokazano dodatkowy sygnał sterujący ENBL.
Fig. 3. Main components of the proposed conscience mechanism:...., (b) a temperature compensation circuit (CTEMP),...		Schemat ten nie pojawia się w pracy doktorskiej M. Talaśki
Fig. 3. Main components of the proposed conscience mechanism: ...(c) a differential U-I converter.	Rysunek 5.46. Schemat elektryczny regulowanego konwertera U-I, który użyty został do realizacji mechanizmu sumienia	Schemat jest ten sam

	CONS	
Fig. 10. Layout of the experimental current-mode analog network designed in CMOS 0.018- μ m technology. The circuit sizes are 320 x 200 μ m .	Rysunek 5.55. Layout oraz bonding diagram sieci Kohonena WTA zaprojektowanej w technologii CMOS TSMC 0.18 μ m (str. 105)	Layout jest ten sam

Porównałem również oświadczenie złożone przez dr R. Długosza z zawartością pracy doktorskiej T. Talaśki (tab. 6).

Tab. 6. Zestawienie oświadczenia dr. R. Długosza dotyczące jego udziału w pracy [TNN COS] z zawartością pracy doktorskiej. T. Talaśki

Oświadczenie dr. R Długosza o szczegółowym udziale w publikacji [TNN COS]	Komentarz recenzenta biorący pod uwagę zawartość pracy doktorskiej T. Talaśki
Udział w pracach nad koncepcją mechanizmu sumienia stosowanego w sieciach neuronowych Kohonena. Mechanizm musiał zostać dostosowany do potrzeb jego implementacji w analogowym układzie scalonym CMOS o bardzo małej powierzchni oraz bardzo niskim poborze mocy. Takie wymagania techniczne spowodowały że proces projektowania mechanizmu był czasochłonny.	Szczegółowej realizacji mechanizmu sumienia jest poświęcony w pracy doktorskiej T Talaśki podrozdział „Układ realizujący mechanizm sumienia - CONS” (str. 87-104). W podsumowaniu swojej pracy doktorskiej T. Talaśka na str. 121 pisze: „Do najważniejszych osiągnięć badawczych przedstawionych w rozprawie można zaliczyć: - opracowanie modelu matematycznego sieci Kohonena typu WTA, na bazie którego zaproponowano i zaprojektowano w technologii CMOS nowatorskie komponenty sieci WTA (opisane w rozdziale 5) takie jak: układ do inicjalizacji wstępnej wag początkowych, układ do obliczania odległości między wektorami, układ do wyznaczania zwyczajcy, układ do adaptacyjnej zmiany wag oraz układ do realizacji mechanizmu sumienia,...”
Projekt oraz implementacja w technologii CMOS 180 nm licznika analogowego wraz z układem stabilizacji temperaturowej (w artykule rys 3a i 3b) użytego w mechanizmie sumienia.	Idea licznika pokazana w doktoracie T. Talaśki jest taka sama, natomiast w pracy [TNN CONS] pokazano dodatkowy sygnał sterujący ENBL. Układ stabilizacji temperaturowej występuje tylko w pracy [TNN CONS], zatem należy go uznać za rozwiązanie autorskie dr. R. Długosza
Projekt układu scalonego (layout) sieci Kohonena wraz z mechanizmem sumienia w technologii CMOS 180 nm. Projekt był realizowany w Kanadzie.	Cały rozdział 5 w pracy doktorskiej T. Talaśki poświęcony jest implementacji mikroelektronicznej podstawowych komponentów sieci WTA. Obok szczegółowych schematów, pojawiają się tam szczegółowe layouty różnych bloków sieci Kohonena zrealizowanych w technologii CMOS 180 nm: - rys. 5. 10 (str. 54) – layout bloku do obliczenia kwadratu odległości Euklidesa, - rys. 5.20 (str. 65) – layout układu WTA2, - rys. 5.40 (str. 86) – layout układu adaptacji wag, - rys. 5.54 (str. 102) – layout układu realizującego mechanizm sumienia, - rys. 5.55 (str. 109) – layout sieci Kohena WTA (ten sam który jako jedyny pojawia się w pracy [TNN CONS])
Udział w pracach nad tworzeniem netlisty bloku mechanizmu sumienia przystosowanej do symulacji w środowisku Hspice. Następnie udział w symulacjach przedlayoutowych zaprojektowanego układu.	Symulacje „przedlayoutowe” pokazane są w pracy [TNN COS] na rys. 4 i rys. 5. Rys. 4 w [TNN COS] pokazuje pracę licznika analogowego dla różnych wartości napięcia kontrolnego, gdy dostajemy licznik modulo 3 lub modulo 40. W doktoracie T. Talaśki na rys. 5.45 (str. 94) pokazano pracę

	licznika analogowego dla różnych wartości napięcia kontrolnego, gdy dostajemy licznik modulo: 3, 7, 18, 34, 77, 125. Rys. 5 w [TNN COS] pokazuje regulowanego konwertera U-I dla napięć sterujących 0.9, 1.3 i 0.7 (inne modulo). W doktoracie T. Talański na rys. 5.47 (str. 96) pokazano pracę konwertera przy ustalonym modulo licznika i dla napięć sterujących 0.8, 1.0, 1.2.
Główny udział w redagowaniu artykułu czasopisma.	

W pracy [TNN CONS] najbardziej wartościowy jest zaproponowany mechanizm sumienia, który po lekturze pracy doktorskiej T. Talański, okazuje się, że jest jednym z głównych osiągnięć w/w pracy doktorskiej. Również pomiary z pracy [TNN CONS], które znacząco ją wzbogacają są autorstwa T. Talański. Biorąc pod uwagę wnioski z powyżej przedstawionych tabel 5 i 6, w mojej opinii trudno znaleźć uzasadnienie dla wkładu merytoryczny dr. Długosza deklarowanego aż na 40%.

4. [TCAS ADM] R. Długosz, T. Talaska, W. Pedrycz „Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks” IEEE Transaction on Circuits and Systems II: Express Briefs, vol. 58, Iss. 1, pp. 31-35 (January 2011).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 50% , T. Talańska – 40% , W. Pedrycz – 10%.

W artykule [TCAS ADM] zaprezentowano pracujący w trybie prądowym układ do adaptacyjnej modyfikacji wag neuronów w analogowej sieci neuronowej, ze znaczącą redukcją prądu upływu w pamięciach analogowych, co znacząco wydłuża czas trzymania informacji, i ma znaczenie w przypadku dużych sieci neuronowych pracujących przy niskich częstotliwościach. W pracy tej na rys. 1 zamieszczono schemat układu, wyniki symulacyjne (z uwzględnieniem efektów wstrzykiwania ładunku, wpływu temperatury i prądów upływu - rys. 2-5), odniesiono się do efektów niedopasowania (rys. 6 i 7) oraz przedstawiono zdjęcie układu (rys. 8) i odniesiono się do innych prac (tabela 1) definiując w prezentowanym artykule FOM (Figure of Merit) jako stosunek rozpraszanej mocy do częstotliwości próbkowania. **Należy zwrócić uwagę, że koncepcja tego układu do modyfikacji wag neuronów, została wcześniej przedstawiona w rozprawie doktorskiej. T. Talański w rozdziale 5.4 (str.72-87) zatytułowanym „Układ do adaptacyjnej zmiany wag neuronów – AWC”, gdzie przedstawiono zarówno schematy omawianego układu, badania symulacyjne adaptacji wag, wpływ prądu upływu i temperatury, a zdjęcie układu przedstawiono na rys. 5.56 na str. 108. Należy dodać, że na str. 121, T. Talańska do najważniejszych osiągnięć badawczych zalicza właśnie omawiany „układ do adaptacyjnej zmiany wag” . Odniesienie deklaracji dr. R. Długosza, dotyczącego jego wkładu merytorycznego do pracy [TCAS ADM] w stosunku do pracy doktorskiej T. Talański prezentuje tabela 7.**

Tab. 7. Zestawienie oświadczenia dr. R. Długosza dotyczące jego udziału w pracy [TCAS ADM] z zawartością pracy doktorskiej. T. Talański

Oświadczenie dr. R Długosza o szczegółowym udziale w publikacji [TCAS ADM]	Komentarz recenzenta biorący pod uwagę zawartość pracy doktorskiej T. Talański
Propozycja koncepcji sprzętowej implementacji mechanizmu adaptacyjnego wraz z pamięcią analogową służącą do przechowywania wag neuronów, pracujących w trybie prądowym.	Koncepcja sprzętowej implementacji mechanizmu została przedstawiona w rozdziale 5.4 na rys. 5.29 (str. 74), rys. 5.30 (str. 75) i na rys. 5.31 (str. 76)

Implementacja mechanizmu adaptacyjnego w technologii CMOS 180 nm (layout). Układ wraz z całą siecią neuronową był realizowany w Kanadzie.	Layout układu do adaptacji wag zrealizowanego w technologii CMOS 0,18 μm przedstawia rys. 5.40 (str. 86). Pozostałe layouty sieci neuronowej w doktoracie T. Talaśki są jak omówiono to w tabeli 6 (zamieszczonej powyżej).
Udział w symulacjach przedlayoutowych i polayoutowych zaprojektowanego układu w środowisku Hspice.	Przedstawione w pracy doktorskiej T. Talaśki symulacje Hspice mechanizmu adaptacyjnego czy zależności straty danych od temperatury i prądu upływu, są prowadzone dla innego zakresu parametrów (np. innej częstotliwości sygnału).
Główny udział w redagowaniu czasopisma	

Nowym elementem w sensie merytorycznym, który nie występuje w pracy doktorskiej T. Talaśki, a pojawia się w [TCAS ADM] są symulacje przedstawione w podrozdziale IV.C pt: „Influence of Mismatch Effects on the Leakage Rate”. Dyskusja nad efektami niedopasowania jest jak najbardziej uzasadniona i wartościowa. Efektem tej dyskusji jest odpowiedni dobór wymiarów źródeł prądowych. Natomiast w tej kwestii mam drobne uwagi:

- autorzy komentując dopasowanie źródeł prądowych napisali, że: „In strong inversion region, the improvement resulting from increasing transistor sizes is limited as V_{GS} voltage decreases for the constant current”. Jest to prawdą w przypadku, gdy zwiększamy szerokość tranzystora W . Natomiast gdy zwiększanie wymiarów tranzystora odbywa się poprzez wzrost długości L tranzystora to V_{GS} rośnie,
- uważam, że autorzy prowadząc analizę efektów niedopasowania, powinni skorzystać z możliwości jakie dają analizy Monte-Carlo.

5. [MJ MIN/MAX] R. Długosz, T. Talaśka: „Low Power Current-Mode Binary Tree Asynchronous Min/Max Circuit”, *Microelectronics Journal*, vol. 41, no. 1., pp. 64-73 (January 2010).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 60% , T. Talaśka - 40% .

W pracy przedstawiono koncepcję niskomocowego, prądowego, opartego na drzewie binarnym obwodu MIN/MAX. Układ ten może być stosowany w sieciach neuronowych do wykrywania zwycięskiego neuronu i w nieliniowych filtrach. Istotną modyfikacją układu, jest zredukowanie zjawiska kumulacji błędów pomiędzy poszczególnymi warstwami drzewa. Uzyskano to dzięki temu, że zrezygnowano z propagacji sygnału z warstwy na warstwę, natomiast sygnał wejściowy kopiowany jest tyle razy, ile jest warstw w drzewie. Autorzy prowadzą również dyskusję dot. efektów niedopasowania, rozważając prace tranzystorów w zakresie słabej lub silnej inwersji, podobnie jak miało to miejsce w we wcześniej omawianym artykule [TCAS ADM]. Częstotliwość pracy układu, a co za tym idzie pobór mocy może być skalowany w szerokim zakresie, przykładowo przy prądach wejściowych na poziomie 20 μA i częstotliwości 11 MHz pobiera 505 μW mocy, a przy sygnałach na poziomie 200 nA i częstotliwości 500 kHz wynosi zaledwie 1 μW . Ze złożonego oświadczenia dot. udziału w pracy wynika, że obaj autorzy pracowali nad koncepcją układu i wykonywali symulacje. Natomiast wykonanie layoutu było po stronie R. Długosza, a pomiary prototypu wykonanego w technologii 180 nm wykonał T. Talaśka.

6. [PE MIN/MAX] R. Długosz, T. Talaśka: „A Power-Efficient, Current-Mode, Binary Tree Min/Max Circuit for Kohonen Self-Organizing Feature Maps and Nonlinear Filters”

Electrical Review (Przegląd Elektrotechniczny), ISSN 0033-2097, R. 86 NR 11a/2010, pp. 237-241, (November 2010).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 60% , T. Talaśka - 40% .

Przedstawiony artykuł swoją tematyką nawiązuje po opracowania [MJ MIN/MAX] omawianego powyżej, tyle że układ WTA oparty jest na koncepcji drzewa binarnego składającego się tylko z bloków cyfrowych. W układzie wejściowe analogowe sygnały prądowe najpierw zamieniane są na sygnały skoku jednostkowego o różnych opóźnieniach. Dokonuje się to w prostych układach konwertujących, gdzie prądy wejściowe ładują kondensatory podłączone do wejść inwerterów, a te z kolei przełączają się po czasie uzależnionym od wartości prądów ładujących. W kolejnym kroku w komparatorach czasu znajdujących się w strukturze drzewa binarnego wskazywany jest sygnał o minimalnym lub maksymalnym opóźnieniu, co zgodnie z oświadczeniami autorów jest koncepcją dr. R. Długosza. W przedstawionej pracy koncepcja została sprawdzona jedynie symulacyjnie w technologii CMOS 180 nm, natomiast niewątpliwą zaletą przedstawionej koncepcji jest bardzo mały pobór energii.

7. [NEUR LUK] R. Długosz, W. Pedrycz: „Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation” Neurocomputing, Elsevier, vol.73, Iss. 7-9, pp. 1222-1234, (March 2010).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 80% , W. Pedrycz - 20% .

W pracy tej zaproponowano nową kategorię analogowych neuronów logicznych Łukasiewicza OR i AND pracujących w trybie prądowym i sieć opartą na tych neuronach. W mojej opinii jest to jedna z niewielu prac składających się na rozprawę habilitacyjną, w której jasno czytając deklaracje udziału współautorów można wyróżnić indywidualny wkład dr. R. Długosza (powołuje się on na konkretne rozdziały, rysunki wzory). O ile prof. W. Pedrycz zaproponował koncepcję pojedynczego neuronu i sieci Łukasiewicza, o tyle implementacja na poziomie schematów w technologii CMOS 180 nm i późniejsza weryfikacja na poziomie symulacji są dokonaniem habilitanta. Początkowo habilitant zaproponował sprzętową implementację sieci neuronowej opartą na oryginalnych operacjach rozmytych zaproponowanych przez Yamakawę (rozdział 4), a następnie przedstawił własną autorską implementację sieci typu AND-OR (rys. 9) i OR-NAND (rys. 10). Podobnie jak we wcześniejszej pracy [MJ MIN/MAX], aby uniknąć błędów związanych z kilkukrotnym kopiowaniem, tworzonych jest kilka kopii poszczególnych sygnałów wejściowych za pomocą pojedynczych wielowejściowych luster prądowych. Szkoda tylko, że przedstawiona koncepcja nie została zrealizowana w formie prototypu układu scalonego, co mogłoby być eksperymentalnym potwierdzeniem słuszności zaproponowanego rozwiązania, zwłaszcza biorąc pod uwagę efekty niedopasowania.

8. [MJ MUX] R. Długosz, P.A. Farine, K. Iniewski: „Power Efficient Asynchronous Multiplexer for X-ray Sensors in Medical Imaging Analog Front-End Electronics”, Microelectronics Journal, vol. 42, no. 1., pp. 33-42 (January 2011).

Zadeklarowany we wniosku procentowy udział autorów w pracy: R. Długosz - 75% , P.A. Farine - 10%, K. Iniewski - 15% .

W artykule przedstawiono ciekawe rozwiązanie analogowego multipleksera, wykorzystywanego w wielokanałowych systemach detekcji promieniowania jonizującego.

Autorska koncepcja multipleksera opracowana przez habilitanta przedstawiona jest w pracy na rys. 2. Oparty na koncepcji drzewa binarnego multiplekser okazał się bardzo atrakcyjny w aspekcie pobieranej mocy i niewielkiej powierzchni. W momencie, gdy dany kanał zarejestruje sygnał, multiplekser samoczynnie uaktywnia ścieżkę pomiędzy tym kanałem a wyjściem układu scalonego i jednocześnie zwraca adres aktywnego kanału. Zaimplementowano również mechanizm zapobiegający kolizjom, w przypadku równoległego pojawienia się wielu zdarzeń. Dr Długosz przeprowadził symulacje układu i wykonał jego layout w technologii 180 nm. Ponieważ układ zawiera tylko 8 kanałów, przeprowadzono również symulacje przepustowości układu w zależności od liczby kanałów i przy dwóch różnych napięciach zasilania. Mankamentem pracy jest to, że nie prezentuje ona wyników pomiarowych multipleksera, pomimo że układ został wyprodukowany. Autorzy motywują to faktem, iż opisany multiplekser jest częścią składową większego układu scalonego, a testy wydzielonego bloku multipleksera nie są możliwe.

III. Ocena ilościowa dorobku publikacyjnego

Dorobek publikacyjny dr. Rafała Długosza koncentruje się wokół projektowania analogowych i analogowo-cyfrowych układów scalonych typu ASIC. Dorobek naukowy dra inż. R. Długosza obejmuje łącznie 124 pozycje, przy czym najważniejsze to:

- 13 artykułów na liście filadelfijskiej (w tym 12 po doktoracie) – są to prace współautorskie,
- 16 publikacji w innych recenzowanych czasopismach,
- 4 rozdziały w książkach – współautorskie (w 3 z nich wkład dr. R. Długosza jest dominujący), wszystkie wydane po doktoracie, w wydawnictwach takich jak: CRC Press i Springer-Verlag, Berlin,
- publikacje w materiałach międzynarodowych konferencji naukowych 90 (w tym 66 po doktoracie).
- udzielone patenty, wynalazki, wzory użytkowe i przemysłowe – brak.

Łączny Impact Factor publikacji filadelfijskich wynosi 17.22, natomiast łączna liczba punktów ministerialnych (wg. listy A i B) wynosi 340. Liczba cytowań wg. bazy Web of Science wynosi 37, bez autocytowań 25, a indeks h=3.

IV. Kierowanie międzynarodowymi lub krajowymi projektami badawczymi lub udział w takich projektach

Habilitant nie podaje w swojej dokumentacji, aby kierował projektem krajowym lub międzynarodowym. Píše natomiast, że brał aktywny udział „w tworzeniu dziewięciu specjalizowanych układów scalonych” i „był realizatorem sześciu z tych projektów od pomysłu do końcowej weryfikacji laboratoryjnej”. Po doktoracie autor wyróżnia 6 projektów badawczych, w których brał udział, w tym m.in. we współpracy z firmą Redlen Technologies (układ Analog Front-end Electronics), Scanimetrics (współudział w odbiorniku i nadajniku na 2 GHz), projekt przetwornika SAR (zapoczątkowany we współpracy z University of Alberta), udział w projekcie CTI: „Flywheel gyroscope ...” (w czasie pobytu autora w EPFL w Szwajcarii), realizacja sieci neuronowych Kohonena (we współpracy z University of Alberta) oraz udział w grantie KBN pt „Wielopoziomowe wspomaganie projektowania układów analogowo-cyfrowych elektronicznych CMOS”. Przed doktoratem autor wyróżnia 7 projektów w których brał udział (w tym m.in. REASON, udział w programie TEMPUS, 6 projektów KBN i współpracę z IHP Microelectronics we Frankfurcie nad Odrą).

V. Międzynarodowe lub krajowe nagrody, wyróżnienia za działalność naukową

Dr. R Długosz ma na swoim koncie następujące wyróżnienia:

- za swoją wyróżnioną rozprawę doktorską, jako najlepszą w 2004 r otrzymał nagrodę JM Rektora Politechniki Poznańskiej,
- trzykrotnie otrzymał nagrodę JM Rektora UTP za działalność naukową,
- jego referaty były wyróżniane w trakcie takich konferencji jak ESANN, SiPS, MIXDES.

Wyróżnikiem działalności naukowej dr. Długosza jest to, że wielokrotnie uzyskiwał stypendia naukowe, m.in.: niemieckiej fundacji DAAD, FNP, Marii Curii FP6 i inne. Sam przez 2 lata był recenzentem programu Ventures FNP.

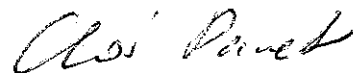
Należy dodać że recenzował artykuły konferencyjne, jak i do regularnych czasopism, takich jak: IEEE Transaction on Circuit and Systems, IEEE Transaction on Very Large Scale Integration Systems, Microelectronics Journal, Knowledge Based Systems, Applied Soft Computing i innych. W 1998 r był w Komitecie organizacyjnym KKTOiUE, a w latach 1999-2005 w Komitecie organizacyjnym IEEE Signal Processing Workshop.

VI. Działalność dydaktyczna

Doświadczenie dydaktyczne dr. R. Długosza obejmuje okres 15 lat pracy na wyższych uczelniach – wymieniono je w informacjach podstawowych o kandydacie. Habilitant prowadził wykłady z Teorii obwodów, Miernictwa, Podstaw informatyki oraz ćwiczenia, laboratoria, projekty i seminaria łącznie z 12 przedmiotów. W trakcie pobytu w Szwajcarii i Kanadzie przygotowywał i prowadził wybrane wykłady z Mikroelektroniki. W swoim autoreferacie dr. R. Długosz pisze punkcie 5.7.2 dot. opieki nad studentami różnych szczebli edukacji „Aktywny udział w przygotowaniu rozpraw doktorskich dr inż. Tomasza Talaśki oraz dr inż. Marty Kolasy z Uniwersytetu Technologiczno-Przyrodniczego w Bydgoszczy”. Ponadto dr. R. Długosz był promotorem ponad 50 prac inżynierskich (Wyższa Szkoła Informatyki i UTP w Bydgoszczy) i asystował w pracach magisterskich 2 studentów w trakcie swojego pobytu w University of Alberta w Kanadzie.

VII. Wniosek końcowy

Biorąc pod uwagę dorobek naukowy habilitanta, a zwłaszcza moją krytyczną ocenę wkładu merytorycznego, jaki wniósł dr. R. Długosz do cyklu publikacji zaprezentowanych jako osiągnięcie wynikające z art. 16 ust. 2 z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym, stwierdzam, że jego dorobek naukowy nie spełnia wymagań stawianych w przewodzie habilitacyjnym.



Załączniki:

- 1) Marta Kolasa: „Uczenie się samoorganizujących map Kohonena metodą WTM implementowaną sprzętowo”, rozprawa doktorska Uniwersytet Techniczno-Przyrodniczy, Bydgoszcz 2011.
- 2) Tomasz Talaśka: „Badania sieci Kohonena realizowanej w postaci układu scalonego”, rozprawa doktorska Uniwersytet Techniczno-Przyrodniczy, Bydgoszcz 2009.