

Załącznik nr 3

Łódź, dn. 15.09.2017

dr inż. Dariusz Makowski
Politechnika Łódzka
Wydział Elektrotechniki, Elektroniki, Informatyki i Automatyki
Katedra Mikroelektroniki i Technik Informatycznych
ul. Wólczańska 221/223
90-924 Łódź
tel. 42 631 27 20
faks 42 636 03 27
e-mail: dmakow@dmcs.pl

AUTOREFERAT

Spis treści

Lista skrótów i akronimów.....	3
1. Osiągnięcie naukowe habilitanta przedstawione do oceny.....	5
Tytuł osiągnięcia naukowego.....	5
Lista publikacji powiązanych tematycznie stanowiących osiągnięcie naukowe.....	5
2. Wprowadzenie do tematyki badań naukowych habilitanta.....	11
2.1. Przebieg pracy naukowej przed uzyskaniem stopnia naukowego doktora.....	11
2.2. Przebieg pracy naukowej po uzyskaniu stopnia naukowego doktora.....	11
3. Metodyka projektowania złożonych systemów wykorzystywanych w fizyce wysokich energii.....	15
3.1. System LLRF sterujący europejskim akceleratorem XFEL.....	17
3.2. Systemy diagnostyczne reaktora termonuklearnego ITER.....	19
3.2.1. Systemy wizyjne reaktora termonuklearnego ITER.....	20
4. Badania nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard AdvancedTCA.....	22
4.1. System LLRF bazujący na standardzie AdvancedTCA.....	23
5. Badania nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard MTCA.4.....	30
5.1. Systemu LLRF zrealizowany w technologii MTCA.4.....	33
5.1.1. Moduł sterownika czasu rzeczywistego i modulatora wektorowego.....	35
5.1.2. Unifikacja sygnałów złącza w strefie 3.....	38
5.1.3. Standaryzacja sygnałów zabezpieczających oraz sygnałów synchronizacji.....	40
5.2. System akwizycji obrazu.....	41
5.2.1. System akwizycji obrazu dla eksperymentu ITER.....	42
6. Badania nad układami zarządzania i diagnostyki złożonych systemów xTCA.....	47
6.1. Sterownik IPMI dla systemu AdvancedTCA.....	48
6.2. Sterownik IPMI dla system MicroTCA.....	50
6.3. Aktualizacja oprogramowania w systemach xTCA.....	52
7. Podsumowanie.....	55
7.1. Podsumowanie wyników badań nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard AdvancedTCA.....	55
7.2. Podsumowanie wyników badań nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard MTCA.4.....	55
7.3. Podsumowanie wyników badań nad układami zarządzania i diagnostyki złożonych systemów xTCA	57
7.4. Autorski wkład w rozwój technologii xTCA.....	58
7.5. Autorski wkład w dyscyplinę elektronika.....	59
8. Bibliografia.....	60

Lista skrótów i akronimów

API – Application Programming Interface
ADC – Analogue to Digital Converter
ADS – Advanced Design System
AMC – Advanced Mezzanine Card
AdvancedTCA, ATCA – Advanced Telecommunications Computing Architecture
ATCA-CB – ATCA-Carrier Board
BER – Bit Error Rate
CADAC – Control and Data Acquisition
CERN – Conseil Européen pour la Recherche Nucléaire
CompactPCI – Compact Peripheral Component Interconnect (PICMG 2.0)
CML – Current Mode Logic
CMOS – Complementary Metal Oxide Semiconductor
CPU – Central Processing Unit
DAC – Digital to Analogue Converter
DAN – Data Archiving Network
DAMC – Double Width Advanced Mezzanine Card
DDR – Double Data Rate
DESY – Deutsche Elektronen-Synchrotron
DIPAC – Diagnostics and Instrumentation for Particle Accelerators
DMCS – Department of Microelectronics and Computer Science (KMiT)
DRAM – Dynamic Random Access Memory
DSP – Digital Signal Processor/Processing
DWC – Down Converter
EK – Electronic Keying
EMMC – Enhanced Module Management Controller
EPAC – European Particle Accelerator Conference
ERTM – Enhanced Rear Transition Module
ESS – European Spallation Source
EuCARD – European Coordination for Accelerator Research and Development
E-XFEL – European X-ray Free Electron Laser
FAT – Factory Acceptance Test
FEC – Fusion Energy Conference
FPGA – Field Programmable Gate Array
FSM – Finite State Machine
FLASH – Free Electron Laser in Hamburg
FRU – Field Replaceable Unit
GMC – Grand Master Clock
GPU – Graphics Processing Unit
GPGPU – General-Purpose Computing on Graphics Processing Units
GTP – Gigabit Transceivers
HEP – High-Energy Physics
HFFS – High Frequency Electromagnetic Field Simulation
I&C – Instrumentation and Control
ICALEPS – International Conference on Accelerator and Large Experimental Physics Control Systems
IEEE – Institute of Electrical and Electronics Engineers
I2C, IIC – Inter-Integrated Circuit
IHEP – Institute of High Energy Physics
IPAC – International Conference on Particle Accelerator
IPFN – Instituto de Plasmas e Fusão Nuclear
IPMC – Intelligent Platform Management Controller
IPMI – Intelligent Platform Management Interface
IT – Information Technology
ITER – International Thermonuclear Experimental Reactor
JTAG – Joint Test Action Group
KIT – Karlsruher Institut für Technologie
LINAC – Linear Accelerator
LLL – Low Latency Links
LLRF – Low Level Radio Frequency
LVCMOS – Low Voltage Complementary Metal Oxide Semiconductor

LVDS – Low Voltage Differential Signal
LVPECL – Low Voltage Positive/Pseudo Emitter-Coupled Logic
MASSA – MicroTCA ASSEMBLY Area
MCH – Module Carrier Hub
MIMO – Multiple Input Multiple Output
MIXDES – Mixed Design of Integrated Circuits and Systems
MO – Master Oscillator
MMC – Module Management Controller
MicroTCA, MTCA – Micro Telecommunications Computing Architecture
M-LVDS – Multipoint-Low Voltage Differential Signalling
NCBJ – National Centre for Nuclear Research
NRFI – National Research Foundation of Korea
NSS-MIC – Nuclear Science Symposium and Medical Imaging Conference
OCVCXO – Oven Controlled Voltage Controlled Crystal Oscillator
PAC – Particle Accelerator Conference
PCB – Printed Circuit Board
PCI – Peripheral Component Interconnect
PCIe, PCI Express – Serialized evolution of PCI
PCI-SIG – PCI Special Interest Group
PI – Proportional-Integral
PICMG – PCI Industrial Computer Manufacturers Group
PID – Proportional-Integral-Derivative
PLL – Phase-Locked Loop
PSM – Power Supply Module
PXI – PCI eXtensions for Instrumentation
PXI Express – PCI Express eXtensions for Instrumentation
RAS – Reliability, Availability, Serviceability
RC – Root Complex
RF – Radio Frequency
RMC – RTM Management Controller
RMS – Root Mean Square
RT – Real-Time Conference
RTM – Rear Transition Module
SAT – Site Acceptance Test
SDN – Synchronous Databus Network
SFP – Small Form-factor Pluggable
SLAC – Stanford Linear Accelerator Center
SM – Shelf Manager
SPI – Serial Peripheral Interface
TCN – Time Communication Network
TIARA – Test Infrastructure and Accelerator Research Area Preparatory Phase
TMR – Triple Modular Redundancy
Tokamak – Тороидальная Камера с Магнитными Катушками
TTL – Transistor-Transistor Logic
SDS – System Design Specification
SEE – Single Event Effect
SEU – Single Event Upset
SOFT – Symposium On Fusion Technology
SRAM – Static Random Access Memory
SRS – System Requirement Specification
QDR – Quad Data Rate
uTC – MicroTCA.4 Controller
VHDL – Very high speed integrated circuit Hardware Description Language
VM – Vector Modulator
VME – Versa Module Europe
VPP – VXI Plug and Play Specification
VS – Vector Sum
VSO – VITA Standards Organization
VXI – VME Extensions for Instrumentation
VXS – VME Bus switched Serial
WoS – Web of Science

Wykształcenie, uzyskane stopnie naukowe i tytuły

1996 – 2001	Studia magisterskie na kierunku Elektronika i Telekomunikacja, Politechnika Łódzka, Wydział Elektrotechniki i Elektroniki, mgr inż. elektroniki, specjalność: aparatura elektroniczna.
2001	Praca magisterska obroniona z wyróżnieniem: “Zastosowanie interfejsu IEEE 1394 do przesyłania obrazów z kamery termowizyjnej”, Politechnika Łódzka, Wydział Elektrotechniki i Elektroniki. Promotor: Prof. Dr hab. Inż. Andrzej Napieralski
2003	Studium Doskonalenia Pedagogicznego Młodych Nauczycieli Akademickich, Politechnika Łódzka.
2006	Praca doktorska obroniona z wyróżnieniem (elektronika): “Wpływ promieniowania na pracę układów elektronicznych ze szczególnym uwzględnieniem pomiaru promieniowania neutronowego i gamma”, Politechnika Łódzka, Wydział Elektrotechniki, Elektroniki, Informatyki i Automatyki. Badania naukowe prowadzone we ścisłej współpracy z ośrodkiem naukowo-badawczym Deutsches Elektronen-Synchrotron (DESY) w Hamburgu. Nagroda Prezesa Rady Ministrów za rozprawę doktorską przyznana w 2007 roku. Promotor: Prof. Dr hab. Inż. Andrzej Napieralski Recenzenci: dr hab. inż. Paweł Gryboś, dr hab. inż. Zygmunt Ciota, prof. PŁ

Doświadczenie zawodowe

od 2001	Deutsches Elektronen-Synchrotron, Maschine Strahlkontrollen	Kierownik grupy roboczej, projektant systemów elektronicznych
2002 – 2006	Politechnika Łódzka, Katedra Mikroelektroniki i Technik Informatycznych	Asystent
od 2006	Politechnika Łódzka, Katedra Mikroelektroniki i Technik Informatycznych	Adiunkt
2009 – 2011	Politechnika Łódzka, Katedra Mikroelektroniki i Technik Informatycznych	Adiunkt, kierownik studiów podyplomowych

1. Osiągnięcie naukowe habilitanta przedstawione do oceny

Zbiór publikacji powiązanych tematycznie.

Tytuł osiągnięcia naukowego

Rozproszone systemy sterowania i akwizycji danych w fizyce wysokich energii.

Lista publikacji powiązanych tematycznie stanowiących osiągnięcie naukowe

Oświadczenia współautorów dotyczące indywidualnego wkładu w powstanie poszczególnych publikacji znajdują się w odrębnym załączniku.

Lp.	Autorzy, tytuł publikacji, rok wydania, nazwa wydawnictwa, indywidualny wkład autora	Impact factor
H1	<p>D. Makowski, A. Piotrowski, A. Napieralski, "Universal communication module based on AMC standard", <i>Mixed Design of Integrated Circuits and Systems</i>, 2008, <i>MIXDES 2008</i>, 15th International Conference, pp. 139–143, Jun. 2008, Poznań, ISBN 978-83-922632-7-2.</p> <p><u>Indywidualny wkład autora:</u> Projekt pierwszego w skali światowej cyfrowego modułu wejścia-wyjścia AMC B dedykowanego dla systemu LLRF. Opracowanie nowych rozwiązań układowych, schematów elektrycznych, projekt obwodu drukowanego, przygotowanie produkcji, opracowanie programów testowych dla układu programowalnego FPGA. Opracowanie oprogramowania dla systemu wbudowanego sterownika MMC. Pomiary w laboratorium oraz testy w akceleratorze FLASH w DESY.</p> <p><u>Procentowy wkład autora:</u> 80%</p> <p>Liczba autorów: 3</p>	Artykuł indeksowany w Web of Science
H2	<p>K. Przygoda, A. Piotrowski, G. Jabłoński, D. Makowski, T. Poźniak, A. Napieralski, „Prototype Control System for Compensation of Superconducting Cavities Detuning Using Piezoelectric Actuators”, <i>IEEE Transactions on Nuclear Science</i>, vol. 56, no. 4, pp. 2336–2340, Aug. 2009, doi: 10.1109/TNS.2009.2023445, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u> Opracowanie koncepcji systemu zrealizowanego w technologii AdvancedTCA do kompensacji odstrojenia wnęk rezonansowych z wykorzystaniem elementów piezoelektrycznych. Projekt układów elektronicznych: IPMC, interfejsy Low Latency Link (LLL) o niskim opóźnieniu transmisji, projekt obwodu drukowanego. Weryfikacja końcowych schematów oraz projektu obwodu drukowanego, integracja modułu ATCA do kompensacji odstrojenia z płytą nośną realizującą sterownik systemu LLRF. Pomiary w laboratorium oraz akceleratorze FLASH.</p> <p><u>Procentowy wkład autora:</u> 30%</p> <p>Liczba autorów: 6</p>	1,591
H3	<p>D. Makowski, W. Koprek, T. Jeżyński, A. Piotrowski, G. Jabłoński, W. Jałmużna, S. Simrock, „Interfaces and Communication Protocols in ATCA-based LLRF Control Systems”, <i>IEEE Transactions on Nuclear Science</i>, vol. 56, no. 5, pp. 2814–2820, Oct. 2009, doi: 10.1109/TNS.2009.2027234, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u> Opracowanie koncepcji systemu transmisji danych dla systemu LLRF wykonanego w technologii AdvancedTCA (rysunek 1 i 3). Opracowanie oprogramowania i komponentów do transmisji danych z wykorzystaniem interfejsu PCIe, projekt interfejsu do zewnętrznego komputera. Pomiary wydajności interfejsu PCIe z użyciem zewnętrznego przełącznika PCIe oraz układu zarządzającego magistralą root complex (zewnętrzny komputer, komputer wbudowany MPC 8568, komputer dedykowany dla standardu AdvancedTCA ADLink CPU-6900). Projekt oraz pomiary wydajności opracowanych protokołów pracujących na płycie tylnej kasey ATCA w regionie fabric interface. Pomiary oraz testy systemu w laboratorium oraz akceleratorze FLASH.</p> <p><u>Procentowy wkład autora:</u> 40%</p> <p>Liczba autorów: 7</p>	1,591
H4	<p>A. Piotrowski, D. Makowski, „PCI Express Hot-Plug mechanism in Linux-based ATCA control systems”, <i>Mixed Design of Integrated Circuits and Systems (MIXDES)</i>, 2010 Proceedings of the 17th International Conference, Warsaw, Jun. 2010, pp. 148–151, ISBN 978-1-4244-7011-2</p> <p><u>Indywidualny wkład autora:</u> Opracowanie wymagań dotyczących transmisji danych w systemie LLRF bazującym na technologii AdvancedTCA. Projekt płyty nośnej i modułu cyfrowego AMC B z układami FPGA firmy Xilinx oraz interfejsami PCIe. Opracowanie oprogramowania dla transceivera PCIe oraz sterownika dla systemu Linux, nowych rozwiązań programowych do obsługi funkcji hot-swap. Debugowanie i testy funkcjonalne transmisji PCIe w komputerze PC oraz kasecie AdvancedTCA.</p> <p><u>Procentowy wkład autora:</u> 50%</p> <p>Liczba autorów: 2</p>	Artykuł indeksowany w Web of Science

H5	<p>T. Kozak, D. Makowski, „AMC radiation monitoring module for ATCA/μTCA based low level RF control system”, <i>Mixed Design of Integrated Circuits and Systems (MIXDES)</i>, 2010 <i>Proceedings of the 17th International Conference</i>, Warsaw, Jun. 2010, pp. 125–128, ISBN 978-1-4244-7011-2</p> <p><u>Indywidualny wkład autora:</u> Opracowanie wymagań dla modułu AMC dedykowanego do pomiaru fluencji promieniowania neutronowego i natężenia promieniowania gamma. Opracowanie koncepcji modułu z detektorami promieniowania neutronowego i gamma. Projekt układu odczytowego dozymetrów.</p> <p>Adaptacja i oprogramowanie modułu cyfrowego AMC B z układem FPGA, pamięcią SDRAM i interfejsiem PCIe. Debugowanie i testy funkcjonalne zaprojektowanego urządzenia w kasecie AdvancedTCA, MicroTCA oraz akceleratorze FLASH.</p> <p><u>Procentowy wkład autora:</u> 50%</p> <p>Liczba autorów: 2</p>	Artykuł indeksowany w Web of Science
H6	<p>D. Makowski, G. Jabłoński, P. Prędko, Napieralski, “Low Latency Data Transmission in LLRF System”, <i>11th Particle Accelerator Conference PAC</i>, pp. 877–879, New York, Mar. 2011, ISBN 978-92-9083-366-6</p> <p><u>Indywidualny wkład autora:</u> Opracowanie wymagań dla interfejsów o niskiej latencji LLL dla systemu sterowania LLRF. Opracowanie koncepcji transmisji danych w rozproszonym systemie LLRF bazującym na technologii AdvancedTCA. Opracowanie nowego protokołu o niskim opóźnieniu transmisji oraz kodów testowych w języku VHDL dla protokołu Aurora. Pomiar opóźnienia transmisji w kasetach AdvancedTCA i MTCA.4 z wykorzystaniem modułów ATCA i AMC z układami Xilinx Virtex 5.</p> <p><u>Procentowy wkład autora:</u> 45%</p> <p>Liczba autorów: 4</p>	
H7	<p>D. Makowski, W. Koprek, T. Jeżyński, A. Piotrowski, G. Jabłoński, W. Jałmużna, K. Czuba, P. Prędko, S. Simrock, A. Napieralski, „Prototype Real-Time ATCA-based LLRF Control System”, <i>IEEE Transactions on Nuclear Science</i>, vol. 58, no. 4, pp. 1553–1561, Aug. 2011, doi: 10.1109/TNS.2011.2151284, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u> Opracowanie koncepcji systemu LLRF w dwóch wariantach: scentralizowany i częściowo-rozproszony (rysunki 1, 3, 4 i 5). Projekt układów elektronicznych (schematy, obwód drukowany) oraz opracowanie nowych rozwiązań układowych dla płyty nośnej ATCA dla systemu LLRF (część cyfrowa, układ zasilania, interfejsy PCIe, LLL, gigabitowe, sterownik IPMC, podłączenie modułów AMC, koncepcja zarządzania modułami AMC). Projekt interfejsu PCIe do zewnętrznego układu root complex, opracowanie oprogramowania do transmisji PCIe. Projekt części cyfrowej kluczowych modułów AMC, opracowanie nowych rozwiązań układowych: modulator wektorowy, moduł synchronizacji, projekt i wykonanie innych kart AMC: modułu IO oraz modułu do monitorowania promieniowania. Opracowanie oprogramowania dla sterownika MMC modułów AMC. Debugowanie zaprojektowanych urządzeń elektronicznych (płyta nośna ATCA, moduł synchronizacji czasowej, modulator wektorowy, moduł IO i karta do monitorowania promieniowania). Opracowanie oprogramowania dla sterownika IPMC. Finalne pomiary oraz testy w akceleratorze FLASH (rysunek 6, 7 i 12).</p> <p><u>Procentowy wkład autora:</u> 17,5%</p> <p>Liczba autorów: 10</p>	1,447
H8	<p>T. Kozak, P. Prędko, D. Makowski, „Real-Time IPMI Protocol Analyzer”, <i>IEEE Transactions on Nuclear Science</i>, vol. 58, no. 4, pp. 1857–1863, Aug. 2011, doi: 10.1109/TNS.2011.2145000, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u> Opracowanie koncepcji oraz wymagań dla projektu analizatora IPMI. Debugowanie, testy funkcjonalne oraz pomiary zaprojektowanego urządzenia elektronicznego. Debugowanie modułów AMC opracowanych na potrzeby systemu sterowania LLRF.</p> <p><u>Procentowy wkład autora:</u> 30%</p> <p>Liczba autorów: 3</p>	1,447
H9	<p>P. Prędko, D. Makowski, A. Napieralski, „Intelligent Platform-Management Controller for Low-Level RF Control System ATCA Carrier Board”, <i>IEEE Transactions on Nuclear Science</i>, vol. 58, no. 4, pp. 1538–1543, Aug. 2011, doi: 10.1109/TNS.2011.2143427, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p>	1,447

H9	<p>Opracowanie koncepcji sterownika IPMC dla płyty nośnej ATCA systemu LLRF. Projekt (schematy i obwód drukowany) sterownika IPMC dla płyty nośnej ATCA systemu sterowania LLRF europejskiego akceleratora XFEL (rysunek 1).</p> <p>Opracowanie oprogramowania dla procesora ATmega 1281, implementacja funkcjonalności IPMC, zawierającej pseudo-jądro czasu rzeczywistego, przetwarzanie komunikatów IPMI, sterowanie funkcją hot-swap oraz odczyt czujników.</p> <p>Opracowanie środowiska programistycznego do rozwoju oprogramowania IPMC i sterownika MMC kart AMC wraz z jądrem czasu rzeczywistego.</p> <p>Opracowanie koncepcji systemu do aktualizacji oprogramowania, elektronicznego kluczkowanie sygnałów (E-keying), wsparcie dla sygnałów wysokonapięciowych, dedykowanych protokołów LLL o niskim opóźnieniu, monitoringu i dystrybucji sygnałów zegarowych.</p> <p><u>Procentowy wkład autora:</u> 45%</p> <p><u>Liczba autorów:</u> 3</p>	
H10	<p>I. Rutkowski, K. Czuba, M. Grzegorzółka, D. Makowski, A. Mielczarek, P. Perek, H. Schlarb, "Improved Vector Modulator Card for MTCA-based LLRF Control System for Linear Accelerators", <i>Proceedings of IPAC2013</i>, pp. 3207–3209, Shanghai, China, Jun. 2013, ISBN 978-3-95450-122-9</p> <p><u>Indywidualny wkład autora:</u></p> <p>Koncepcja projektu zaawansowanego zarządzania IPMI modułem modulatora wektorowego, opracowanie schematów oraz obwodu drukowanego dla zmodyfikowanego modułu IPMI. Opracowanie nowych rozwiązań układowych, koncepcji sygnałów zabezpieczających interlock, systemu zerowania dzielnika oraz automatycznego systemu testowego dla części cyfrowej. Modyfikacja i opracowanie nowych programów testowych w języku VHDL dedykowanych dla interfejsów o niskim opóźnieniu transmisji, interfejsów gigabitowych, interfejsów światłowodowych. Opracowanie koncepcji oraz implementacja aktualizacji oprogramowania z użyciem protokołu HPM.1. Debugowanie i przeprowadzenie badań w akceleratorach FLASH i E-XFEL. Przygotowanie plików do masowej produkcji, instalacja układów w tunelu E-XFEL.</p> <p>Opracowanie klas połączeń cyfrowych dla interfejsu Zone 3 (obecnie część specyfikacji PICMG „MTCA.4 Enhancements”). Modyfikacja podłączenia złącz J30/J31 zgodnie z klasa cyfrową D1.2.</p> <p><u>Procentowy wkład autora:</u> 25%</p> <p><u>Liczba autorów:</u> 7</p>	
H11	<p>D. Makowski, G. Jabłoński, P. Perek, A. Mielczarek, P. Prędkie, H. Schlarb, A. Napieralski, „Firmware Upgrade in xTCA Systems”, <i>IEEE Transactions on Nuclear Science</i>, vol. 60, no. 5, pp. 3639–3646, Oct. 2013, doi: 10.1109/TNS.2013.2275073, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p> <p>Opracowanie koncepcji układu aktualizacji oprogramowania dla urządzeń programowalnych (CPU, FPGA, DSP) dla systemu LLRF wykonanego w technologii MTCA.4 (rysunek 1 oraz 4). Opracowanie oraz implementacja nowych rozkazów IPMI niezbędnych do realizacji aktualizacji oprogramowania (tabela II). Opracowanie nowych rozwiązań programowych dla systemu aktualizacji oprogramowania dla płytek uTC, SIS8300, uVM and DAMC2 (rysunki 1, 2 i 3). Debugowanie, testowanie i utrzymanie środowiska do aktualizacji oprogramowania układów programowalnych w systemie LLRF akceleratora FLASH (tablica 3).</p> <p>Dalsze utrzymanie i modyfikacje mające na celu wsparcie nowych modułów (DAMC-TCK7, DRTM-VM02).</p> <p><u>Procentowy wkład autora:</u> 40%</p> <p><u>Liczba autorów:</u> 7</p>	1,455
H12	<p>I. Rutkowski, K. Czuba, D. Makowski, A. Mielczarek, H. Schlarb, F. Ludwig, „Vector Modulator Card for MicroTCA-Based LLRF Control System for Linear Accelerators”, <i>IEEE Transactions on Nuclear Science</i>, vol. 60, no. 5, pp. 3609–3614, Jun. 2013, doi: 10.1109/TNS.2013.2278372, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p> <p>Opracowanie koncepcji części cyfrowej dla wersji niskiej i wielkiej częstotliwości modułu modulatora wektorowego. Opracowanie nowych rozwiązań układowych, schematów oraz projekt obwodu drukowanego dla układów: FPGA i zarządzania IPMI. Projekt, symulacja i połączenie na płycie drukowanej interfejsów o niskim opóźnieniu transmisji, gigabitowych, sterownika IPMI modułu RTM (Rear Transition Module), sygnałów zabezpieczających interlock, modułu kasowania dzielników sygnału zegarowego oraz bramkowania sygnału RF.</p>	1,455

H12	<p>Opracowanie szablonu obwodu drukowanego w programie Altium dla modułów RTM zgodnych z technologią MTCA.4. Rozwój i standaryzacja szablonu dla układu elektronicznego IPMI sterującego modulem RTM.</p> <p>Opracowanie nowych programów testowych w języku VHDL dla interfejsów: o niskim opóźnieniu transmisji, gigabitowych oraz optycznych.</p> <p>Debugowanie urządzeń elektronicznych i finalne pomiary w akceleratorze FLASH.</p> <p>Przygotowanie plików do masowej produkcji.</p> <p>Instalacja w tunelu europejskiego akceleratora XFEL.</p> <p><u>Procentowy wkład autora:</u> 35%</p> <p>Liczba autorów: 6</p>	
H13	<p>D. Makowski, A. Mielczarek, P. Perek, A. Napieralski, Ł. Butkowski, J. Branlard, M. Fenner, H. Schlarb, B. Yang, „High-Speed Data Processing Module for LLRF”, <i>IEEE Transactions on Nuclear Science</i>, vol. 62, no. 3, pp. 1083–1090, Jun. 2015, doi: 10.1109/TNS.2015.2416120, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p> <p>Opracowanie koncepcji modułu sterownika systemu LLRF (3 wersje), rysunek 4.</p> <p>Opracowanie rozwiązań układowych, schematów i projekt obwodów drukowanych dla układu FPGA, interfejsów PCIe, o niskim opóźnieniu transmisji, gigabitowych, modułu zasilania, sterownika MMC (rysunek 5), sterownika RTM, sygnałów zabezpieczających interlock i dystrybucji sygnału zegarowego. Opracowanie szablonu obwodu drukowanego w programie Altium dla modułu Advanced Mezzanine Card (rysunek 3). Opracowanie programów testowych dla interfejsów gigabitowych, PCIe generacji 2 i 3, interfejsów optycznych w języku VHDL. Debugowanie elektroniki i finalne testy w laboratorium i akceleratorach CMTB i FLASH.</p> <p>Przygotowanie plików do produkcji, plików licencji dla firmy Vadatech, nadzorowanie masowej produkcji, kontrola jakości.</p> <p>Pomiary wydajności oraz testy modułów dla masowej produkcji (dostarczonych przez firmę Vadatech), instalacja w tunelu akceleratora E-XFEL.</p> <p>Opracowanie standardu dla cyfrowej klasy połączeń w strefie 3 (obecnie na etapie standaryzacji przez organizację PICMG “MicroTCA Enhancements” MTCA.4.1 Rev. 1.0).</p> <p><u>Procentowy wkład autora:</u> 50%</p> <p>Liczba autorów: 9</p>	1,198
H14	<p>D. Makowski, M. Fenner, F. Ludwig, U. Mavric, A. Mielczarek, A. Napieralski, P. Perek, H. Schlarb, „Standardized Solution for Management Controller for MTCA.4”, <i>IEEE Transactions on Nuclear Science</i>, vol. 62, no. 3, pp. 932–939, Jun. 2015, doi: 10.1109/TNS.2015.2408452, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p> <p>Kierownik projektu sterownika Module Management Controller dedykowanego dla urządzeń LLRF zgodnych ze standardem MTCA.4 dla akceleratorów FLASH i E-XFEL ze strony Politechniki Łódzkiej.</p> <p>Opracowanie koncepcji uniwersalnego sterownika MMC (szablonu) dla urządzeń kompatybilnych z MTCA.4 (rysunki 1 - 6). Opracowanie rozwiązań układowych, schematów i dedykowanego obwodu drukowanego do projektowania i testowania sterowników modułów AMC i RTM. Podstawowa wersja sterownika RTM jest obecnie częścią specyfikacji PICMG „MTCA.4 Enhancements”.</p> <p>Opracowanie wysokopoziomowej architektury oprogramowania dla systemu wbudowanego. Programowanie i debugowanie różnych układów MMC, RMC i urządzeń peryferyjnych modułów AMC i RTM. Implementacja mechanizmów wspierających klasy sygnałów analogowych i cyfrowych w strefie 3 (złącza J30, J31).</p> <p>Implementacja i utrzymanie sterownika MMC modułów DAMC-TCK7 i sterownika RMC na płycie DRTM-VM02 (rysunek 8).</p> <p>Utrzymanie środowiska do rozwoju MMC w ośrodku naukowym DESY oraz modułów w akceleratorach FLASH i E-XFEL.</p> <p><u>Procentowy wkład autora:</u> 55%</p> <p>Liczba autorów: 8</p>	1,198
H15	<p>D. Makowski, A. Mielczarek, P. Perek, G. Jabłoński, M. Orlikowski, B. Sakowicz, A. Napieralski, P. Makijarvi, S. Simrock, V. Martin, „High-Performance Image Acquisition and Processing System with MTCA.4”, <i>IEEE Transactions on Nuclear Science</i>, vol. 62, no. 3, pp. 925–931, Jun. 2015, doi: 10.1109/TNS.2015.2415582, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p>	1,198

H15	<p>Kierownik projektu ze strony Politechniki Łódzkiej odpowiedzialny za system do akwizycji i przetwarzania obrazu dla tokamaka ITER.</p> <p>Opracowanie nowej koncepcji i architektury systemu akwizycji obrazu wykonanego w technologii MTCA.4. Wydzielenie klas algorytmów przetwarzania obrazu ze względu na sposób realizacji FPGA/GPU/CPU.</p> <p>Opracowanie dedykowanego interfejsu PCIe x16 3 generacji (nowe rozwiązania układowe i programowe) dla standardu MTCA.4 o przepustowości 128 Gbps. Pomiary wydajności, opóźnienia podczas transmisji, optymalizacja przepustowości. Opracowanie oprogramowania dla komponentów akwizycji obrazu, transmisji PCIe, optymalizacja wydajności. Opracowanie architektury oprogramowania nisko- i wysokopoziomowego. Debugowanie urządzeń elektronicznych i testy funkcjonalne.</p> <p><u>Procentowy wkład autora: 35%</u></p> <p>Liczba autorów: 10</p>	
H16	<p>G. Jabłoński, D. Makowski, A. Mielczarek, M. Orlikowski, P. Perek, A. Napieralski, P. Makijarvi, S. Simrock, „IEEE 1588 Time Synchronization Board in MTCA.4 Form Factor”, <i>IEEE Transactions on Nuclear Science</i>, vol. 62, no. 3, pp. 919–924, Jun. 2015, doi: 10.1109/TNS.2014.2375954, ISSN: 0018-9499</p> <p><u>Indywidualny wkład autora:</u></p> <p>Analiza dostępnych rozwiązań programowych dla protokołu synchronizacji czasowej bazującej na standardzie IEEE 1588. Opracowanie nowego rozwiązania układowego dla strojonego cyfrowo oscylatora referencyjnego o dużej stabilności, bazującego na generatorze stabilizowanym temperaturowo OCVCXO. Narysowanie schematów oraz projekt obwodów drukowanych (układ FPGA, pamięć SDRAM, układ zasilania, MMC, Gigabit Ethernet). Programowanie mikrokontrolera realizującego MMC, układu Gigabit Ethernet PHY, układu pomiaru czasu. Debugowanie układu elektronicznego oraz pomiary wydajności.</p> <p><u>Procentowy wkład autora: 30%</u></p> <p>Liczba autorów: 8</p>	1,198
H17	<p>D. Makowski, “Application of PCI Express Interface in High-Performance Video Systems”, <i>Mixed Design of Integrated Circuits and Systems (MIXDES)</i>, 22nd International Conference, pp. 141–143, Jun. 2015, Toruń, ISBN: 978-8-3635-7806-0</p> <p><u>Indywidualny wkład autora:</u></p> <p>Analiza dostępnych interfejsów i protokołów przeznaczonych do transmisji strumienia obrazu z kamer cyfrowych oraz modułu akwizycji obrazu. Koncepcja systemu akwizycji obrazu dla architektury MTCA.4 z użyciem zewnętrznego komputera oraz akceleratora graficznego GPU. Opracowanie koncepcji oraz projekt interfejsu do podłączenia zewnętrznego komputera.</p> <p>Opracowanie dedykowanych programów, sterownika Linux i skryptów do pomiarów wydajności interfejsu PCIe. Pomiary wydajności i opóźnienia interfejsu PCIe x8 3 generacji podczas transferów z modułów akwizycji obrazu do zewnętrznego komputera.</p> <p><u>Procentowy wkład autora: 100%</u></p> <p>Liczba autorów: 1</p>	Artykuł zaproszony, indeksowany w Web of Science
H18	<p>D. Makowski, “A New Methodology for Designing and Development of Complex Systems for High Energy Physics”, <i>International Journal of Microelectronics and Computer Science (IJMCS)</i>, Vol. 7, No. 4, 2016, pp. 123–132, ISBN 2080-8755</p> <p><u>Indywidualny wkład autora:</u></p> <p>Badania naukowe mające na celu opracowanie nowej architektury oraz metodyki projektowania złożonych, skalowalnych systemów sterowania i akwizycji danych dla aplikacji fizyki wysokich energii.</p> <p>Autor opracował dedykowaną metodologię projektowania, budowy i utrzymania systemów elektronicznych oraz zbadał jej przydatność w zastosowaniach uwzględniających dodatkowe wymagania нефункционалне, takie jak: wysoka niezawodność, dostępność oraz łatwa serwisowalność.</p> <p>Analiza i porównanie 9 wybranych standardów telekomunikacyjnych, które mogą zostać wykorzystane do budowy systemów HEP. Opracowanie architektury oraz implementacja 2 przykładowych systemów zaprojektowanych zgodnie z zaproponowaną metodyką: system sterowania niskiej mocy akceleratora E-XFEL oraz prototyp systemu akwizycji obrazu dla tokamaka ITER oraz znaczny udział w ich realizacji.</p> <p><u>Procentowy wkład autora: 100%</u></p> <p>Liczba autorów: 1</p>	
Sumaryczny impact factor:		15,225

2. Wprowadzenie do tematyki badań naukowych habilitanta

2.1. Przebieg pracy naukowej przed uzyskaniem stopnia naukowego doktora

W ramach pracy doktorskiej pt. „Wpływ promieniowania na pracę układów elektronicznych ze szczególnym uwzględnieniem pomiaru promieniowania neutronowego i gamma” habilitant zajmował się badaniem wpływu promieniowania na układy elektroniczne, pomiarami promieniowania gamma, fluencji neutronów oraz opracowaniem rozwiązań układowych i programowych pozwalających na zwiększenie niezawodności układów elektronicznych narażonych na jego wpływ. W szczególności autor zaproponował nową metodę pomiaru promieniowania wykorzystującą komercyjnie dostępne pamięci statyczne SRAM (Static Random Access Memory) do detekcji neutronów oraz zbudował cztery prototypy układów odczytowych zdolnych do pracy w warunkach podwyższonej radiacji. Zaprojektowany system do monitorowania promieniowania gamma oraz pomiaru fluencji neutronów w czasie rzeczywistym RadMon (Radiation Monitor) został zainstalowany w tunelu akceleratora Free-Electron Laser in Hamburg (FLASH) znajdującego się w ośrodku naukowo-badawczym Deutsches Elektronen-Synchrotron (DESY). Po ukończeniu doktoratu autor kontynuuje badania naukowe nad dedykowanymi detektorami promieniowania jonizującego dla zastosowań fizyki wysokich energii HEP (High-Energy Physics).

2.2. Przebieg pracy naukowej po uzyskaniu stopnia naukowego doktora

Habilitant prowadzi obecnie pionierskie badania naukowe mające na celu opracowanie metodyki projektowania oraz architektury złożonych elektronicznych systemów sterowania i akwizycji danych wykorzystywanych w fizyce wysokich energii. Badania dotyczą poszukiwania nowych metod, procedur budowania systemów, standardów, rozwiązań układowych i programowych, sposobów diagnostyki, zdalnego zarządzania, utrzymania oraz serwisowania urządzeń elektronicznych pracujących w trudnych warunkach HEP. W ramach badań naukowych autor pracuje nad nowymi, skalowalnymi architekturami sprzętowymi, rozwiązaniami układowymi lub programowymi, metodami pozwalającymi na akwizycję i przetwarzanie dużych ilości danych oraz sterowanie urządzeniami wykorzystywanymi w fizyce wysokich energii. Zaprojektowane i zbudowane w wyniku tych badań systemy sterowania, akwizycji i przetwarzania danych uzyskują parametry znacznie lepsze niż osiągalne do tej pory [H6], [H10], [H12], [H13], [H15], [H16], [H17].

Systemy elektroniczne wykorzystywane w fizyce wysokich energii pracują w trudnych warunkach: w podwyższonej temperaturze oraz znacznym zapyleniu, są także narażone na wpływ podwyższonego promieniowania radiacyjnego i pola magnetycznego. Często, dostęp do urządzeń elektronicznych jest utrudniony lub wręcz niemożliwy. Dobrym przykładem są urządzenia zamontowane w tunelach akceleratorów, kontrolowanych strefach o podwyższonym promieniowaniu, w pomieszczeniach z laserami lub budynkach tokamaków. Warunki pracy systemów fizyki wysokich energii są znacznie trudniejsze niż dla wymagających urządzeń telekomunikacyjnych. Z powyższych powodów projektując systemy elektroniczne wykorzystywane w fizyce wysokich energii należy stosować odmienną metodykę niż w przypadku klasycznych systemów telekomunikacyjnych, czy też informatycznych. Z tego względu niezwykle ważne jest opracowanie skutecznych metod RAS (Reliability, Availability, and Serviceability) pozwalających na zdalną diagnostykę układów, wczesne wykrywanie problemów, przewidywanie awarii oraz zapewnienie możliwości wymiany uszkodzonych podzespołów bez potrzeby wyłączenia danego

urządzenia. W celu zwiększenia dostępności systemów elektronicznych niezbędne jest opracowanie nowej architektury oraz specjalizowanej i elastycznej platformy sprzętowej pozwalającej na redundancję krytycznych podsystemów takich jak: układ zasilania, chłodzenia, interfejsy transmisji danych oraz układy zarządzające systemem. Platforma sprzętowa powinna pozwalać na łatwą skalowalność oraz rozbudowę układów, np. przez instalację dodatkowych lub nowych modułów o lepszych parametrach. Systemy elektroniczne wykorzystywane w fizyce wysokich energii wymagają specyficznego procesu projektowania i testowania. W wielu przypadkach, w końcowym etapie budowy systemu elektronicznego urządzenie lub maszyna nie jest jeszcze ukończona i nie ma możliwości przeprowadzenia testów całego systemu z jej użyciem. Z tego względu testy całego systemu lub jego komponentów przeprowadzane są z wykorzystaniem modelu urządzenia lub specjalnie zaprojektowanego emulatora¹ [1].

Habilitant opracował nową metodykę projektowania oraz zaproponował nowe architektury sprzętowe pozwalające na budowanie systemów sterowania i akwizycji danych dla urządzeń fizyki wysokich energii. Zaprojektował oraz uczestniczył w budowie kilkudziesięciu prototypów urządzeń elektronicznych wykonanych w nowych technologiach (MTCA/MicroTCA, Micro Telecommunications Computing Architecture: MTCA.4, MTCA.4.1) oraz zmodyfikowanych technologiach telekomunikacyjnych xTCA (MTCA.0, Advanced Telecommunications Computing Architecture, Advanced Mezzanine Card)² [2], [3], [4], [5]. Badania prowadzone są we współpracy z międzynarodowymi ośrodkami naukowo-badawczymi DESY w Hamburgu w Niemczech, International Thermonuclear Experimental Reactor (ITER) w Cadarache we Francji oraz European Spallation Source (ESS) w Lund w Szwecji. Zaproponowana przez autora metodyka projektowania systemów sterowania i akwizycji danych oraz rezultaty jego badań naukowych zostały wykorzystane do zaprojektowania systemów sterowania laserami na swobodnych elektronach, takimi jak: Free-Electron Laser in Hamburg, European X-Ray Free Electron Laser (E-XFEL) oraz systemów diagnostycznych eksperymentalnego reaktora termionuklearnego ITER. Opracowana metodyka oraz zaproponowane architektury sprzętowe mogą zostać wykorzystane do budowy innych systemów wykorzystywanych w fizyce wysokich energii. Dobrym przykładem jest budowany obecnie akcelerator ESS w Lund w Szwecji, przy budowie, którego autor również uczestniczy wykorzystując powyższą metodykę oraz doświadczenie zdobyte podczas realizacji projektów dla DESY oraz ITER. Niektóre z opracowanych rozwiązań układowych nadają się również do zastosowania w układach telekomunikacyjnych.

Habilitant kierował zespołem naukowo-badawczym w Katedrze Mikroelektroniki i Technik Informatycznych (KMiT) Politechniki Łódzkiej, współpracującym z ośrodkiem naukowo-badawczym DESY w latach 2008–2011. Od 2010 roku kieruje zespołem współpracującym z ośrodkiem ITER, od 2012 roku jest kierownikiem grupy roboczej prowadzącej badania naukowe wspólnie z DESY nad systemami sterowania i akwizycji danych, a od 2016 roku kieruje zespołem współpracującym z ośrodkiem ESS, nad systemami sterowania elementami piezoelektrycznymi. Jest

¹ W przypadku lasera na swobodnych elektronach European X-ray Free Electron Laser zbudowana została prototypowa maszyna Free Electron Laser in Hamburg.

² Rodzina standardów AdvancedTCA, MicroTCA oraz AMC jest nazywana standardem xTCA.

on też twórcą laboratorium systemów sterowania i akwizycji danych CADAQ (Control And Data Acquisition) znajdującego się w Katedrze Mikroelektroniki i Technik Informatycznych.

Prace nad prototypowym systemem sterowania LLRF wykonanym w zmodyfikowanej technologii telekomunikacyjnej AdvancedTCA (ATCA, Advanced Telecommunications Computing Architecture) były wynikiem projektu zagranicznego niewspółfinansowanego TESLA-XFEL „System sterowania LLRF akceleratora XFEL” realizowanego wspólnie z ośrodkiem badawczym DESY, którego habilitant był kierownikiem, europejskich projektów 6 i 7 programu ramowego: Coordinated Accelerator Research in Europe (CARE), European Coordination for Accelerator Research and Development (EuCARD) oraz projektu Test Infrastructure and Accelerator Research Area Preparatory Phase (TIARA), w których habilitant był głównym wykonawcą i opiekunem grup roboczych. Wyniki prac są również efektem kontraktów czasowych z ośrodkiem DESY (od 2006 roku, 12 kontraktów) oraz z ITER (od 2010 roku, 3 projekty). Udział w wyżej wymienionych projektach pozwala na wyodrębnienie znaczącego, autorskiego wkładu w rozwój dyscypliny elektronika w zakresie badań nad złożonymi systemami sterowania i akwizycji danych.

Habilitant jest członkiem międzynarodowej organizacji PCI Industrial Computer Manufacturers Group (PICMG), która opracowała standardy telekomunikacyjne AdvancedTCA, MicroTCA, AMC oraz czynnie uczestniczy w pracach 3 grup roboczych: Higher Speed Ethernet, Physics Software Architectures and Protocols, Physics Timing and Synchronization, które prowadzą pracę rozwojową nad nowymi standardami MicroTCA (MTCA.4, MTCA.4.1) oraz dalszą adaptacją standardów xTCA (ATCA.0, MTCA.0, AMC.1, AMC.2) na potrzeby eksperymentów fizyki wysokich energii [2], [3], [5], [6].

Autoreferat jest podsumowaniem oryginalnego dorobku habilitanta, wypracowanego po obronie z wyróżnieniem pracy doktorskiej. Do tej pory habilitant opublikował łącznie ponad 200 publikacji (145 po doktoracie), w tym 19 artykułów znajdujących się w bazie Journal Citation Reports (17 po doktoracie), zaprezentował ponad 128 referatów na konferencjach krajowych i zagranicznych (110 po doktoracie) oraz opublikował 27 artykułów w czasopiśmie o zasięgu krajowym lub zagranicznym (18 po doktoracie). W bazie Web of Science (WoS) zarejestrowano 74 publikacje, 65 cytowań z wyłączeniem autocytowań, a indeks Hirscha jest równy 5 (stanu na wrzesień 2017 r.).

W dalszej części autoreferatu (rozdziały 3–5) autor opisuje praktyczne przykłady złożonych, rozproszonych elektronicznych systemów zaprojektowanych pod kierunkiem habilitanta na potrzeby fizyki wysokich energii, przy projekcie, których wykorzystano opracowaną przez habilitanta metodologię projektowania systemów oraz z uwypukleniem problemów, nad rozwiązaniami, których pracował. Autoreferat opisuje cykl tematycznie powiązanych artykułów, które świadczą o znacznym wkładzie naukowym autora w reprezentowaną dyscyplinę nauk technicznych – elektronikę. Jako przykład skalowalnego systemu sterowania, do budowy, którego użyte zostały rezultaty badań naukowych habilitanta nad technologiami AdvancedTCA, MTCA.4, MTCA.4.1 przedstawiony zostanie system sterowania niskiej mocy LLRF (Low Level Radio Frequency) akceleratorów FLASH oraz E-XFEL. Jako przykład systemu akwizycji danych zbudowanego w oparciu o metodologię zaproponowaną przez habilitanta oraz zrealizowanego w oparciu o wyniki badań naukowych autora nad nową technologią MTCA.4, zostanie przedstawiony prototyp systemu do akwizycji i przetwarzania obrazu o dużej mocy obliczeniowej, wykonany na potrzeby eksperymentu ITER.

Prace badawcze prowadzone przez autora obejmują trzy obszary:

1. Badania rozpoczęte po uzyskaniu stopnia doktora mające na celu opracowanie oraz zweryfikowanie nowej metodyki projektowania systemów zbudowanych w oparciu o technologię telekomunikacyjną AdvancedTCA, które doprowadziły do zaprojektowania, wykonania i zbadania pierwszego na świecie systemu sterowania niskiej mocy LLRF akceleratora liniowego wykonanego w tejże technologii. Głównym celem prowadzonych przez autora prac naukowo-badawczych było opracowanie oraz zweryfikowanie przydatności nowej metodyki projektowania systemów elektronicznych na potrzeby fizyki wysokich energii oraz zaproponowanie nowej architektury sprzętowej mającej zastąpić urządzenia projektowane z wykorzystaniem wysłużonej technologii VME Bus.
2. Badania nad systemami zrealizowanymi w oparciu o istniejącą technologię telekomunikacyjną MicroTCA, które przyczyniły się do opracowania nowej metodyki projektowania i budowy systemów elektronicznych oraz dwóch nowych standardów PCI Industrial Computer Manufacturers Group: MTCA.4 i MTCA.4.1³. O skuteczności opracowanej przez habilitanta metodyki budowy niezawodnych systemów sterujących najlepiej świadczy prototypowy system LLRF akceleratora FLASH oraz finalny system sterujący europejskim laserem na swobodnych elektronach XFEL⁴, przy budowie których zostały wykorzystane rozwiązania opracowane przez habilitanta. Obecnie coraz więcej ośrodków fizyki wysokich energii (DESY, CERN, ESS, SLAC, HZB, KIT, IPFN, IHEP, NRFI, ITER) wykorzystuje standard MTCA.4 jako platformę sprzętową do budowy złożonych systemów sterowania. Habilitant współpracuje z następującymi ośrodkami fizyki wysokich energii: DESY (Niemcy), ESS (Szwecja), ITER (Francja), SLAC (USA), HZB (Niemcy), KIT (Niemcy), IPFN (Portugalia), NRFI (Korea Południowa), które wykorzystują opracowane przez niego metody oraz rozwiązania elektroniczne i programowe. Autor zaproponował - jako pierwszy na świecie - wykorzystanie nowego standardu MTCA.4 do budowy skalowalnych systemów akwizycji obrazu z kamer cyfrowych o dużej rozdzielczości. Zaproponowana przez autora architektura systemu pozwala na użycie zewnętrznego komputera o dużej mocy obliczeniowej, wyposażonego w dodatkowe akceleratory graficzne GPU (Graphics Processing Unit)⁵, które dedykowane są do równoległego przetwarzania obrazu.
3. Badania nad metodyką projektowania i budowy układów diagnostyki i zarządzania systemami elektronicznymi oraz ich wykorzystaniem w fizyce wysokich energii do diagnostyki systemów pracujących w trudnych warunkach. Badania miały na celu wykorzystanie standardu Intelligent Platform Management Interface (IPMI) oraz opracowanie nowych procedur projektowania układów elektronicznych, programów dla systemów wbudowanych, rozwiązań układowych i programowych pozwalających na zastosowanie tej technologii w systemach sterowania i akwizycji danych.

³ Specyfikacja MTCA.4.1 jest obecnie w końcowej fazie standaryzacji prowadzonej przez organizację PICMG.

⁴ Oficjalne otwarcie laboratorium oraz uruchomienie lasera E-XFEL odbyło się 1 września 2017 roku.

⁵ Technologia obliczeń ogólnego przeznaczenia z wykorzystaniem procesorów GPU określana jest skrótem GPGPU (General-Purpose Computing on Graphics Processing Units).

3. Metodyka projektowania złożonych systemów wykorzystywanych w fizyce wysokich energii

Habilitant opracował nową metodykę pozwalającą na projektowanie złożonych, skalowalnych systemów sterowania i diagnostyki uwzględniających dodatkowe wymagania niefunkcjonalne systemów wykorzystywanych w nowoczesnej fizyce wysokich energii [H18]. Znaczna liczba systemów sterujących urządzeniami wykorzystywanymi w fizyce wysokich energii jest budowana z wykorzystaniem standardu ANSI/IEEE VME Bus (Versa Module Europa Bus). Opracowany w latach 70 standard VME Bus nie pozwala na budowę wymagających systemów sterowania i akwizycji danych wykorzystywanych w nowoczesnej fizyce ze względu na ograniczenia związane z wydajnością, transmisją danych, niezawodnością oraz brakiem układów zarządzania i diagnostyki modułów umieszczonych w kasecie⁶ [H18].

Nowoczesne komputery oraz systemy sterowania i akwizycji danych wykorzystują szeregowo interfejsy o przepustowościach dochodzących do terabitów na sekundę (np. PCI Express, 10/40/100/400 Gb Ethernet). W celu zwiększenia niezawodności systemu elektronicznego dąży się do dystrybucji jak największej liczby sygnałów z wykorzystaniem panelu tylnego kasety (transmisja danych, referencyjne sygnały zegarowe i częstotliwości RF, sygnały wyzwalań, zabezpieczające, etc.). Natomiast kluczowe sygnały wykorzystywane w systemach fizyki wysokich energii (szczególnie sygnały analogowe) powinny być doprowadzone z tyłu kasety⁷. Takie rozwiązanie znacznie upraszcza okablowanie systemu, diagnostykę i serwisowanie. Wiele systemów bazujących na technologii VME Bus, budowanych dla fizyki wysokich energii, wykorzystuje gigabitowe interfejsy szeregowo dostępne na panelach przednich kasety. Wymaga to rozproszania znacznej liczby dodatkowych przewodów, co negatywnie wpływa na niezawodność całego systemu oraz utrudnia serwisowanie urządzeń.

Historyczny już dziś standard VME Bus nie wspiera redundancji systemów zasilania i chłodzenia oraz nie pozwala na użycie układów zarządzania i diagnostyki modułami umieszczonymi w kasecie. Uniemożliwia to prowadzenie skutecznej diagnostyki w czasie użytkowania urządzenia, czy też przewidywanie zbliżających się awarii komponentów systemu (układ zasilania, chłodzenia). Nie ma również możliwości wymiany uszkodzonych modułów bez potrzeby wyłączenia zasilania całej kasety (hot-swap). Uszkodzenie modułu zasilania lub chłodzenia w takim systemie zwykle kończy się awarią całego systemu i kosztowną przerwą w pracy maszyny. Ograniczenia standardu VME Bus najlepiej obrazuje zbudowany w ośrodku naukowym DESY system LLRF sterujący akceleratorem FLASH przy budowie, którego autor brał udział. System zbudowany z wykorzystaniem tej technologii pozwalał na sterowanie akceleratorem FLASH spełniając podstawowe wymagania funkcjonalne, jednak nie spełniał wymagań niefunkcjonalnych związanych z niezawodnością, skalowalnością oraz dostępnością systemu. Z tego względu autor rozpoczął badania naukowe

⁶ Złożone systemy elektroniczne budowane są z wykorzystaniem kasety z panelem tylnym, w której umieszczone są moduły elektroniczne. Takie podejście pozwala na standaryzację rozwiązania, ułatwia połączenie modułów elektronicznych, zwiększa niezawodność systemu oraz ułatwia serwisowanie urządzenia.

⁷ Doprowadzenie sygnałów analogowych z tyłu kasety pozwala na lepszą separację od sygnałów zakłócających (sygnały cyfrowe) oraz ułatwia serwisowanie urządzenia (możliwość wymiany modułów przednich bez potrzeby odłączania sygnałów doprowadzonych z tyłu kasety).

poszukując nowych metod projektowania systemów oraz architektur sprzętowych pozwalających na konstruowanie złożonych, rozproszonych systemów sterujących dużymi maszynami spełniających wymagania fizyki wysokich energii.

Wydajność, niezawodność oraz dostępność systemów elektronicznych fizyki wysokich energii w znacznej mierze zależy od wybranej platformy sprzętowej [H18]. Zastosowanie nowoczesnych standardów wykorzystujących technologię hot-swap, redundancję modułów zasilania, chłodzenia, systemów transmisji danych oraz inteligentny system zarządzania kasetą, takich jak AMC, AdvancedTCA, czy MicroTCA pozwala na zbudowanie skalowalnych i niezawodnych systemów telekomunikacyjnych. Standard AdvancedTCA oferuje dostępność systemów na poziomie do 99,999%, spełnia więc wymagania dotyczące niezawodności i skalowalności. Wadą standardu AdvancedTCA jest wysoka cena komponentów oraz brak wytycznych dotyczących projektowania systemów analogowo-cyfrowych wykorzystywanych w fizyce wysokich energii. Standard MTCA.0 nie pozwala na zbudowanie złożonych systemów sterujących ze względu na niewielkie rozmiary modułów AMC (85 x 180 mm). Dopiero opracowany w 2011 roku nowy standard MTCA.4 [3], pozwalający na użycie modułów AMC i RTM (Rear Transition Module) podwójnej szerokości, pozwolił na realizację systemu LLRF w tej technologii. Przeprowadzone przez autora badania naukowe wykazały, że użycie nowego standardu MTCA.4 daje możliwość uzyskania znacznie lepszych parametrów sterowania oraz pozwala obniżyć koszty budowy całego systemu sterującego. Zastosowanie redundancji w systemach zasilania i chłodzenia, systemu zarządzania i diagnostyki pozwala na zwiększenie dostępności systemu. Należy zwrócić uwagę, że standardy xTCA zostały zaprojektowane do budowy złożonych systemów cyfrowych wykorzystywanych w telekomunikacji. W standardach brak jest informacji oraz wskazówek dotyczących projektowania systemów analogowych, takich jak systemy akwizycji danych oraz sterowania wykorzystywane w HEP.

W chwili obecnej habilitant pracuje w ramach organizacji PCI Industrial Computer Manufacturers Group nad ustandaryzowaniem dodatkowej magistrali tylnej (panel tylny RF) kasety MTCA.4 pozwalającej na dystrybucję sygnałów analogowych RF wielkiej częstotliwości oraz referencyjnych sygnałów zegarowych o niskich szumach fazowych (specyfikacja MTCA.4.1) [6]. Przeniesienie oraz dystrybucja sygnałów analogowych RF na panelu tylnym pozwala na uzyskanie lepszych parametrów systemu, np. stabilności temperaturowej, lepszych parametrów szumowych, etc.

W ramach kilkunastoletniej pracy naukowo-badawczej habilitant uczestniczył przy projektowaniu oraz brał udział w budowie złożonych systemów sterujących zbudowanych w oparciu o następujące standardy przemysłowe: VME Bus, CompactPCI, CompactPCI Express, PXI, PXI Express, CompactRIO, AdvancedTCA, MicroTCA.0, MicroTCA.4 oraz MicroTCA.4.1. W tym czasie habilitant poznał słabe i mocne strony aktualnie stosowanych standardów przemysłowych. Autorskie porównanie powyższych standardów pod kątem przydatności do budowy złożonych systemów elektronicznych fizyki wysokich energii zamieszczono w publikacji [H18].

Doświadczenie uzyskane w trakcie projektowania i budowy urządzeń dla ośrodków naukowych DESY oraz ITER pozwoliło habilitantowi na opracowanie metodyki projektowania złożonych systemów sterowania i akwizycji danych wykorzystywanych w fizyce wysokich energii [H18]. Opracowana przez habilitanta metodyka obejmuje cały cykl życia złożonych systemów elektronicznych (od koncepcji do produkcji masowej, dalszego użytkowania i serwisowania urządzenia) mając na uwadze specyficzne aspekty i wymagania dużych eksperymentów fizyki

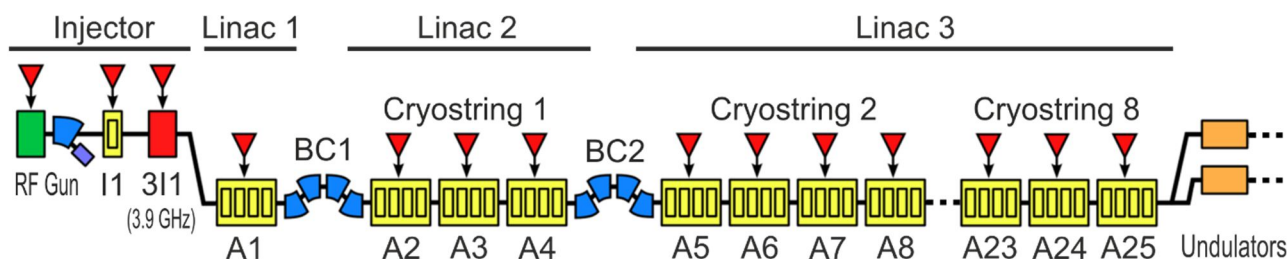
wysokich energii [H18]. Metodyka została praktycznie zweryfikowana przez autora podczas projektowania i budowy systemów sterujących akceleratorami liniowymi FLASH i E-XFEL oraz systemami diagnostycznymi tokamaka ITER. Opis wykonanych przez habilitanta prac naukowych zamieszczono w rozdziałach 4–6. Pierwsze prototypy systemu LLRF akceleratorów FLASH i E-XFEL zostały zbudowane w oparciu o standard AdvancedTCA (rozdział 4). Po wdrożeniu standardu PICMG MicroTCA.4 finalny system LLRF zaprojektowano z wykorzystaniem tejże specyfikacji (rozdział 5). Opracowana metodyka jest obecnie wykorzystywana przez Katedrę Mikroelektroniki i Technik Informatycznych podczas realizacji systemu kompensującego odstrojenie wnek rezonansowych spowodowane siłą Lorentza akceleratora ESS, realizowanego w ramach polskiego wkładu rzeczowego (in-kind)⁸.

3.1. System LLRF sterujący europejskim akceleratorem XFEL

Laser na swobodnych elektronach E-XFEL zbudowany jest z akceleratora przyspieszającego elektrony oraz undulatorów emitujących światło laserowe o zakresie promieniowania Rentgenowskiego. Schemat poglądowy lasera E-XFEL przedstawia rysunek 1.

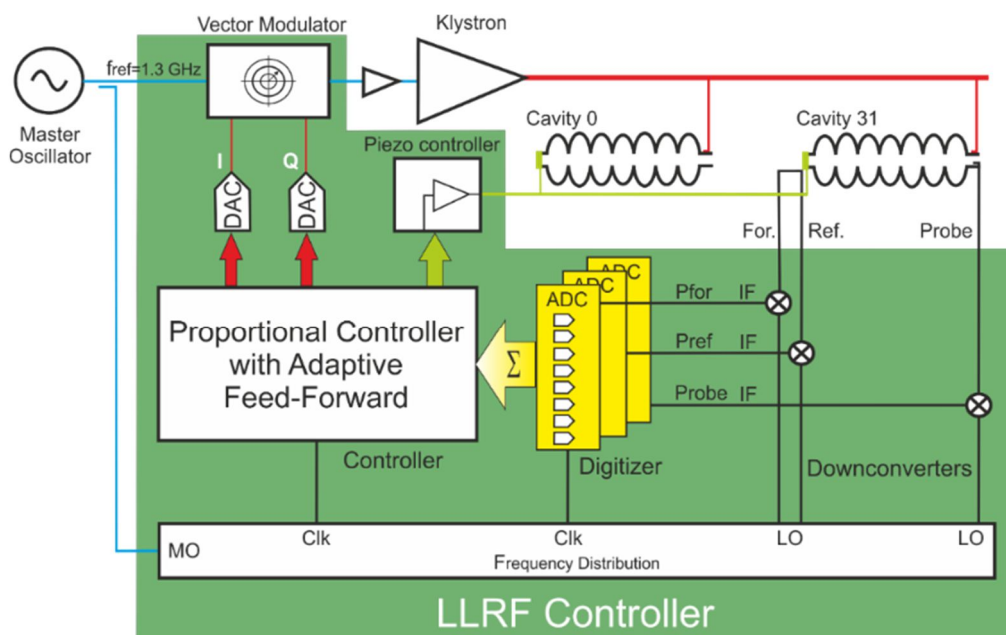
Akcelerator elektronów zbudowany jest 808 nadprzewodzących wnek przyspieszających (cavity). W sekcji przyspieszającej, pojedyncza stacja RF składa się z czterech modułów kriogenicznych (32 wneki przyspieszające) zasilanych przez klustron o mocy 10 MW [7].

Stacje RF sterowane są przez system niskiej mocy LLRF (Low Level Radio Frequency), którego zadaniem jest zapewnienie stabilnego pola elektromagnetycznego o zadanych parametrach przyspieszającego elektrony. System LLRF sterujący pojedynczą stacją RF przetwarza dane z 32 wnek przyspieszających oraz generuje sygnał sterujący klustronem zasilającym wneki przyspieszające. Schemat blokowy systemu RF, sterującego pojedynczą stacją RF akceleratora wraz z wyodrębnionym systemem sterowania LLRF przedstawiono na rysunku 2.



Rysunek 1 Schemat poglądowy akceleratora E-XFEL obrazujący moduł injektora i moduły przyspieszające [7].

⁸ Wkład rzeczowy realizowany jest przez konsorcjum PEG (Polish Electronic Group) w skład którego wchodzi Politechnika Łódzka, Politechnika Warszawska oraz Narodowe Centrum Badań Jądrowych.



Rysunek 2 Schemat blokowy pojedynczej stacji RF (kolorem zielonym zaznaczono obszar sterowania niskiej mocy LLRF) [H7].

System LLRF zbudowany jest z cyfrowego sterownika czasu rzeczywistego realizującego algorytm sprężenia zwrotnego (regulator proporcjonalno-całkujący) z adaptacyjnym sprężeniem w przód (adaptive feedforward). W przypadku akceleratora E-XFEL sygnał o częstotliwości $f=1,3$ GHz pochodzący z anten umieszczonych we wnękach przyspieszających poddawany jest przemianie częstotliwości oraz digitalizacji. Mieszacze zasilane są sygnałem referencyjnym z oscylatora lokalnego (Local Oscillator) o częstotliwości $f=1,354$ GHz. Zdemodulowany sygnał o częstotliwości $f=54$ MHz doprowadzany jest do modułów akwizycji danych, gdzie zamieniany jest na postać cyfrową. Z sygnału cyfrowego wyodrębniana jest składowa synfazowa i kwadraturowa (I oraz Q), a następnie obliczana jest suma wektorowa sygnałów dla poszczególnych wnęk. Sygnał poddawany jest obróbce cyfrowej w sterowniku cyfrowym, który generuje składowe I-Q sygnału sterującego modulatorem wektorowym. Modulator wektorowy moduluje sygnał referencyjny o częstotliwości $f=1,3$ GHz⁹ pochodzący z oscylatora głównego MO (Master Oscillator). Zmodulowany sygnał podawany jest na przedwzmacniacz oraz klistron i po wzmacnieniu zasila wnęki rezonansowe, zamykając w ten sposób pętlę sprężenia zwrotnego. System LLRF wykorzystuje również sygnał zmierzony we wnęcie przyspieszającej oraz proporcjonalny do mocy dostarczonej. Sygnały te pozwalają na wyznaczenie poprawki sterującej elementami piezoelektrycznymi kompensującymi odstrojenie wnęki rezonansowej wywołanej siłą Lorenza.

Wybrane wymagania funkcjonalne i niefunkcjonalne systemu LLRF akceleratora E-XFEL:

- Dokładność regulacji pola przyspieszającego elektrony: $\Delta A/A_{(rms)} < 0,01\%$ dla amplitudy i $\Delta\phi_{(rms)} < 0,01^\circ$ dla fazy przy częstotliwości 1,3 GHz.
- Minimalizacja mocy niezbędnej do prawidłowej pracy.
- Modułarna i skalowalna architektura systemu.

⁹ Dokładna częstotliwość wynosi $f=1,3$ GHz – pasmo wnęki przyspieszającej 400 Hz, co daje $f=1,2999996$ GHz.

W ramach współpracy z ośrodkiem DESY, habilitant był odpowiedzialny za opracowanie koncepcji systemu LLRF w oparciu o technologię AdvancedTCA i MicroTCA, projekt, praktyczną realizację oraz badania prototypowych modułów: sterownika elementów piezoelektrycznych [H2], sterownika czasu rzeczywistego (płyta nośna AdvancedTCA oraz moduł AMC uTC/TCK7/CM045) [H7], [H13], [8], [9], modułu do pomiaru promieniowania gamma i fluencji neutronów [H5], części cyfrowej modułów modulatora wektorowego, modułu synchronizacji systemu LLRF [H1], [H10], [H12], [10], [11], gigabitowych szeregowych interfejsów oraz protokołów do transmisji danych (PCI Express, Gigabit Ethernet, interfejsy o niskim opóźnieniu) [H3], [H4], [H6], a także za testy zaprojektowanych urządzeń w laboratorium i tunelach akceleratorów.

Habilitant kierował zespołem prowadzącym badania naukowe nad elektronicznymi systemami zarządzania i diagnostyki modułów elektronicznych wykonanych w standardach AMC, AdvancedTCA i MicroTCA. Miał znaczący wkład w opracowanie nowych rozwiązań układowych oraz programowych realizujących zadania sterownika Module Management Controller (MMC) oraz RTM Management Controller (RMC) dla modułów AMC i RTM, wykonanych zgodnie z zaproponowaną metodyką [H8], [H9], [H11], [H14], [12], [13] [14]. Rezultaty badań naukowych, w tym zaprojektowane nowe układy elektroniczne, zbudowane prototypy układów zarządzania i diagnostyki zostały udostępnione organizacji PICMG. Posłużyły one do opracowania standardów przemysłowych MTCA.4, MTCA.4.1 oraz rekomendacji [3], [6].

Zbudowane i przebadane prototypy układów elektronicznych (modułów AMC i RTM) zostały wdrożone do produkcji przemysłowej. Amerykańska firma Vadatech wykupiła licencję na produkcję modułów DAMC-TCK7/CM045¹⁰ [15]. Drugą licencję na produkcję modułu DAMC-TCK7 wykupiła Niemiecka firma NAT. Urządzenie będzie sprzedawane pod nazwą NAT-TCK7.

3.2. Systemy diagnostyczne reaktora termonuklearnego ITER

Słowo „tokamak” (токамак) jest rosyjskim akronimem (Тороидальная Камера с Магнитными Катушками) oznaczającym urządzenie z cewkami toroidalnymi, które pozwala na przeprowadzenie kontrolowanej reakcji termojądrowej. Tokamak ITER, budowany obecnie na południu Francji, będzie urządzeniem zdolnym wyprodukować 500 MW energii ze współczynnikiem sprawności 10. Urządzenie będzie najbardziej zaawansowanym tokamakiem skonstruowanym do tej pory. Maszyna składa się ze 150 złożonych podsystemów [16]. Znaczna część to podsystemy oprzyrządowania i sterowania I&C (Instrumentation and Control) zapewniające stabilne sterowanie tokamakiem, gwarantujące bezpieczeństwo pracy, diagnostykę plazmy oraz pozwalające na przeprowadzanie badań fizycznych [17]. Najważniejszą częścią systemu oprzyrządowania i sterowania jest system akwizycji danych, który zbiera sygnał z kilkudziesięciu tysięcy cyfrowych i analogowych czujników oraz kilkuset detektorów wizyjnych. Sygnały pochodzące z różnorodnych czujników wymagają pokrycia szerokiego zakresu częstotliwości (od kHz do kilku GHz), rozdzielczości próbkowania (od 8 do 24 bitów) oraz odpowiednio dobranych obwodów kondycjonowania sygnału [18].

¹⁰ CM045 jest nazwą płytki, pod jaką firma Vadatech sprzedaje projekt DAMC-TCK7.

Diagnostyka plazmy wymaga również użycia systemów wizyjnych. Systemy te wykorzystują kamery oraz detektory pracujące w szerokim zakresie od promieniowania widzialnego, podczerwonego do promieniowania gamma. Szacowaną liczbę kanałów analogowych, systemów wizyjnych oraz ich parametry przedstawiono w publikacji [19].

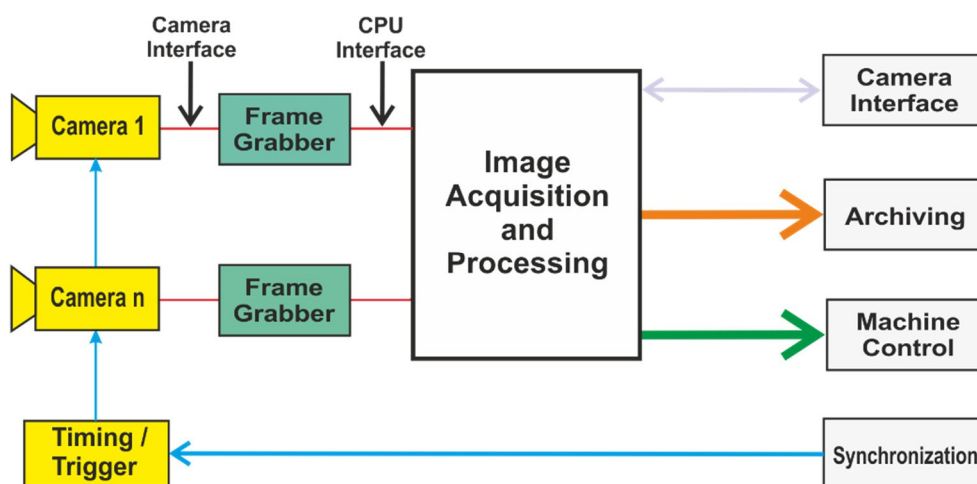
Zbudowanie tak różnorodnych systemów akwizycji danych stanowi wyzwanie i wymaga użycia różnych technologii przetwarzania danych w czasie rzeczywistym, takich jak układy FPGA (Field Programmable Gate Array), procesory GPU i CPU (Central Processing Unit) oraz odpowiednio elastycznej platformy sprzętowej pozwalającej na integrację układów diagnostyki i przetwarzania danych.

Systemy diagnostyczne tokamaka zostaną dostarczone przez 7 oddziałów wewnętrznych (Domestic Agencies) z następujących krajów: Unia Europejska, Stany Zjednoczone, Japonia, Korea, Chiny, Rosja i Indie. W celu zapewnienia kompatybilności systemów diagnostycznych dostarczonych przez państwa uczestniczące w projekcie, ważne jest posługiwanie się ujednoczoną metodyką budowy systemów sterujących, akwizycji i przetwarzania danych. Habilitant uczestniczył w realizacji prototypów kilku systemów akwizycji danych. Poprawność zaproponowanej przez autora metodyki została zweryfikowana podczas budowy systemu akwizycji i przetwarzania obrazów opisanego w rozdziale 5.2.

3.2.1. Systemy wizyjne reaktora termojądrowego ITER

Tokamak ITER będzie wykorzystywał systemy wizyjne głównie do diagnostyki plazmy, zabezpieczenia maszyny oraz zrozumienia zjawisk fizycznych. Kamery zostaną zamontowane w specjalnie wykonanych wnękach pozwalających na obserwację plazmy.

System wizyjny zbudowany jest z detektora obrazu (kamery cyfrowej), urządzenia odbierającego sygnał wizyjny oraz urządzenia odpowiedzialnego za akwizycję i przetwarzanie obrazu. Schemat blokowy systemu do akwizycji i przetwarzania obrazu przedstawiono na rysunku 3.



Rysunek 3 Schemat blokowy systemu akwizycji i przetwarzania obrazu [H17].

System wizyjny pozwala na sterowanie parametrami kamer, umożliwia rejestrację i archiwizację obrazu oraz dostarcza przetworzone dane wykorzystywane w czasie rzeczywistym przez podsystemy sterowania plazmą i zabezpieczenia tokamaka. Kamery oraz system przetwarzania obrazu

synchronizowane są przy wykorzystaniu modułu synchronizacji, bazującego na przemysłowym standardzie IEEE 1588 [H16], [20]. Umożliwia on generację sygnałów wyzwania kamer, generację znaczników czasowych oraz znakowanie zdarzeń z dokładnością do dziesiątek nanosekund [21].

W ramach przeprowadzonych badań naukowych został opracowany prototyp systemu akwizycji obrazu z wykorzystaniem standardu MTCA.4 oraz kamer wyposażonych w interfejs Camera Link [H15], [H16], [20], [22], [23], [24], [25]. Habilitant odpowiedzialny był za koordynowanie współpracy z ośrodkiem ITER. Opracował architekturę systemu akwizycji obrazu oraz miał znaczny udział przy projekcie modułów akwizycji obrazu (frame grabber), zgodnych ze standardem MTCA.4, modułu synchronizacji czasowej oraz interfejsu PCIe do zewnętrznego komputera [H17].

4. Badania nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard AdvancedTCA

Badania naukowe oraz projekty opisane w rozdziale 3 bazują na następujących publikacjach: [H1], [H2], [H3], [H4], [H5], [H6], [H7]. Badania naukowe prowadzone przez autora obejmowały opracowanie nowej architektury oraz rozwiązań układowych i programowych dla systemów sterowania wykorzystywanych w fizyce wysokich energii zbudowanych w oparciu o technologię AdvancedTCA. W wyniku przeprowadzonych badań naukowych powstał pierwszy w skali światowej prototyp systemu sterowania LLRF wykonany w technologii AdvancedTCA. Opracowana przez habilitanta metodyka projektowania systemów sterowania była rozwijana oraz weryfikowana równoległe z realizacją systemu LLRF wykonanego w technologii AdvancedTCA.

Telekomunikacyjny standard AdvancedTCA pozwala na budowę złożonych i skalowalnych systemów komunikacyjnych o zwiększonej niezawodności. Wykorzystanie płyty nośnej ATCA o dużej powierzchni (280 x 322 mm) oraz modułów zgodnych ze standardem AMC umożliwia konstrukcję modularnego systemu [4], [5]. Zastosowanie technologii IPMI (Intelligent Platform Management Interface) daje możliwość diagnostyki systemu oraz wczesnego wykrywania zbliżających się awarii, co znacznie podnosi dostępność urządzenia. Jednakże, standardy telekomunikacyjne, przesyłające dane z wykorzystaniem szybkich sygnałów cyfrowych, nie przewidują obecności torów analogowych i precyzyjnych sygnałów RF częstotliwości referencyjnych, które występują w systemach LLRF. W literaturze brak jest informacji dotyczących wpływu szybkich sygnałów cyfrowych o stromych zboczach (częstotliwości rzędu gigaherców) na sygnały analogowe wysokiej częstotliwości. Decydując się na użycie standardu telekomunikacyjnego AdvancedTCA do budowy prototypu systemu LLRF należało rozwiązać szereg problemów dotyczących transmisji sygnałów cyfrowych, analogowych oraz zapewnić nową funkcjonalność wymaganą przez standardy¹¹ [H3], [H7].

Wybrane problemy, które należało rozwiązać podczas budowy systemu LLRF bazującego na technologii AdvancedTCA:

- Opracowanie metodyki projektowania cyfrowo-analogowych systemów sterowania o podwyższonej niezawodności w oparciu o standard telekomunikacyjny AdvancedTCA [H18].
- Opracowanie nowej architektury systemu LLRF z wykorzystaniem płyty nośnej ATCA, modułów AMC i RTM [H1], [H2], [H5], [H7], [26].
- Pozyskanie wiedzy dotyczącej wydajności (przepustowość, opóźnienie) gigabitowych interfejsów szeregowych oraz opracowanie protokołów: PCIe, Gigabit Ethernet, Aurora, serial-RapidIO i połączenia punkt-punkt (point-to-point).
- Porównanie interfejsów pod kątem wykorzystania w systemie LLRF, opracowanie nowych rozwiązań do transmisji danych dla wybranych interfejsów [H3], [H4].
- Opracowanie nowych protokołów LLL do szeregowej transmisji danych o niskim opóźnieniu. Zbadanie i pomiar wydajności szeregowych interfejsów gigabitowych dostępnych w układach FPGA do transmisji sumy wektorowej z modułów akwizycji danych (DAQ) do płyty sterownika oraz z płyty sterownika do modułu modulatora wektorowego (VM) [H6].

¹¹ Podobne problemy należało rozwiązać również w przypadku systemu opartego na technologii MicroTCA.4.

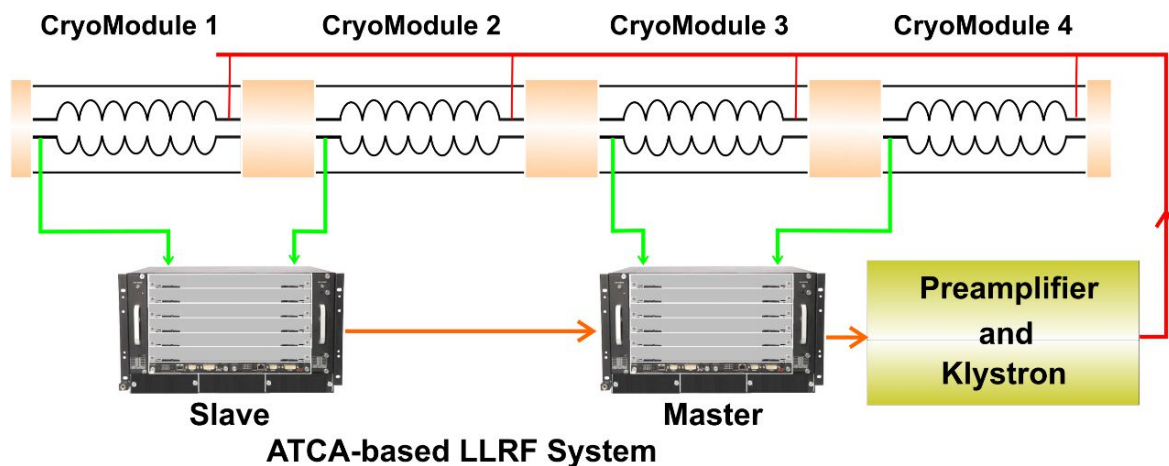
- Projekt systemu zarządzania i diagnostyki zgodny ze specyfikacją IPMI oraz opracowanie nowych brakujących funkcjonalności [H8], [H9].
- Zbadanie przydatności systemu zarządzania i monitorowania IPMI do wczesnej diagnostyki systemu LLRF [H9].
- Zbadanie wpływu zakłóceń generowanych przez cyfrowe interfejsy szeregowo o gigabitowej przepustowości: PCIe, Gigabit Ethernet, połączenia punkt-punkt na sygnały analogowe, referencyjne sygnały zegarowe RF oraz system synchronizacji [H7], [27].
- Opracowanie metodologii projektowania układów wykorzystujących sygnały o różnych wartościach napięć. Specyfikacja AdvancedTCA definiuje poziomy napięć sygnałów różnicowych w strefie 3 poniżej ± 2 V, natomiast system PZ16M kompensacji odstrojenia modułów przyspieszających wymaga napięć rzędu ± 100 V [H2].
- Pomiar jakości sygnałów analogowych podczas transmisji z modułu RTM do modułu AMC oraz przesłuchów w torach analogowych [27].
- Opracowanie systemu dystrybucji referencyjnych częstotliwości RF i sygnałów wyzwania z wykorzystaniem panelu tylnego kasyety AdvancedTCA [H7]. Pomiar jakości sygnałów częstotliwości referencyjnych RF dystrybuowanych na panelu tylnym kasyety [H7].
- Wpływ systemu zasilania na sygnały analogowe i referencyjne częstotliwości [H7].
- Problem ekranowania i połączeń masy sygnałów analogowych (sygnały przesyłane w kasecie, na panelu przednim, złącza analogowe, cyfrowe, chassis, ESD, itd.) [H7].

Prace nad prototypem systemu LLRF wykonanym w technologii AdvancedTCA realizowane były w ramach siódmego projektu ramowego European Coordination for Accelerator Research and Development (EuCARD) oraz w ramach projektu zagranicznego niewspółfinansowanego „System sterowania LLRF akceleratora XFEL” TESLA-XFEL. Habilitant nadzorował realizację projektu EuCARD i był głównym wykonawcą po stronie Politechniki Łódzkiej oraz był kierownikiem i głównym wykonawcą projektu TESLA-XFEL. W realizację obu projektów zaangażowane były 3 organizacje: Politechnika Łódzka, Politechnika Warszawska oraz ośrodek naukowo-badawczy DESY. Architektura oraz koncepcja systemu sterowania LLRF została opracowana wspólnie z DESY. Habilitant, jako przedstawiciel z Politechniki Łódzkiej prowadził badania nad układami cyfrowymi, natomiast Politechnika Warszawska nad układami analogowymi.

4.1. System LLRF bazujący na standardzie AdvancedTCA

Ze względu na znaczną liczbę sygnałów analogowych o częstotliwości 1,3 GHz (96 sygnałów) podłączonych do sterownika LLRF konieczne było zaprojektowanie rozproszonego systemu złożonego z kilku płyt nośnych ATCA-CB (carrier board) [H7]. Pierwotna wersja prototypu systemu zakładała wykorzystanie pojedynczej kasyety ATCA na jeden moduł kriogeniczny (cryo-module) przetwarzającej dane z 32 wnęk przyspieszających. Jednakże, w celu minimalizacji długości przewodów RF łączących anteny umieszczone we wnękach przyspieszających z modułami przemiany częstotliwości oraz minimalizacji dryftów temperaturowych fazy sygnałów RF, zdecydowano się na rozdzielenie systemu na dwie kasety – system Master-Slave¹².

¹² Dryfty fazy sygnału spowodowane temperaturą szacowane są na 10 fs/m/K.

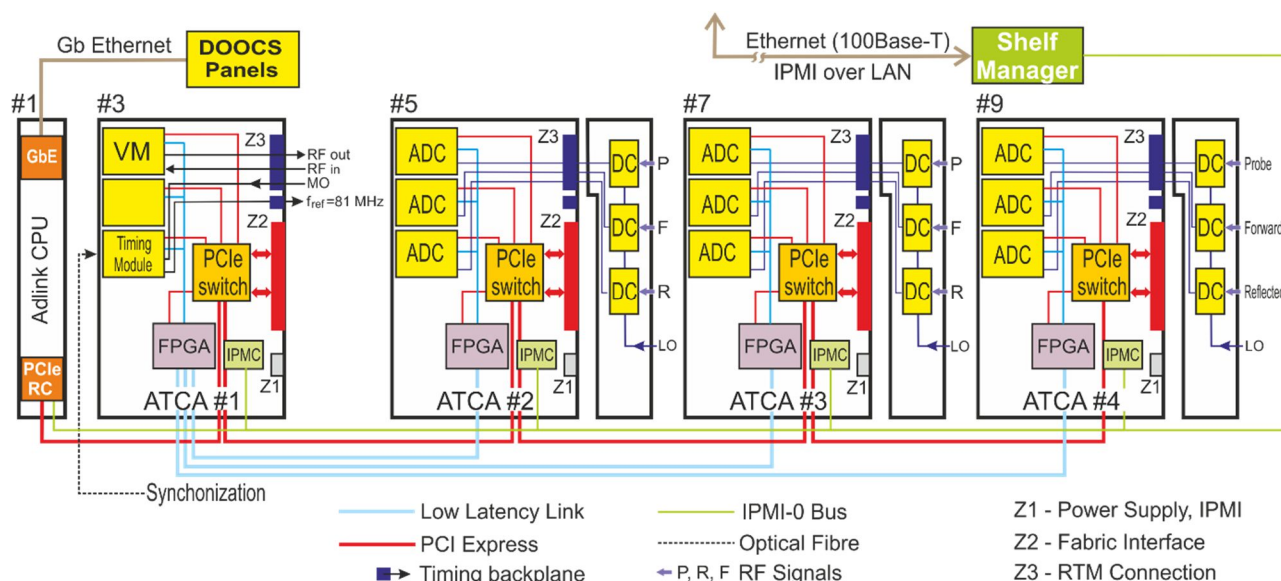


Rysunek 4 Schemat poglądowy systemu LLRF w konfiguracji Master-Slave [H7].

Sterownik w kasecie Slave zbiera dane z 16 wnek przyspieszających, dokonuje przemiany częstotliwości oraz cyfryzacji danych. Obliczona suma wektorowa przesyłana jest interfejsem LLL o niskim opóźnieniu transmisji (opóźnienie poniżej 200 ns) do systemu Master, gdzie realizowane są główne algorytmy sterowania i generowany jest sygnał sterujący modulatorem wektorowym i klystronem [H6], [H7]. Schemat poglądowy systemu Master-Slave przedstawiono na rysunku 4.

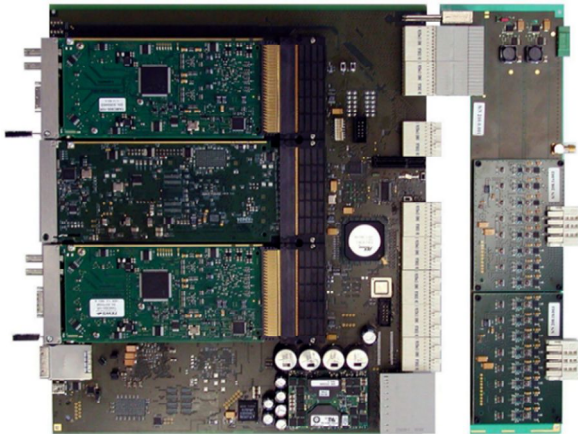
Płyty ATCA i moduły AMC wykorzystywane są w celu uzyskania modularności oraz możliwości późniejszej rozbudowy systemu. Rozproszona architektura sterownika wymaga komunikacji za pośrednictwem znacznej liczby interfejsów cyfrowych i analogowych z wykorzystaniem panelu tylnego kasety [H3]. Schemat blokowy architektury sterownika zaproponowanej przez habilitanta, z uwypuklonymi połączeniami międzymodułowymi, przedstawiony jest na rysunku 5.

System LLRF składa się z dedykowanego komputera przemysłowego ADLINK aTCA-6900 realizującego funkcjonalność układu zarządzającego magistralą PCIe (Root Complex) oraz czterech specjalnie zaprojektowanych płyt nośnych wykonanych w standardzie ATCA, każda wyposażona jest w trzy złącza AMC. Dane przesyłane są pomiędzy modułami z wykorzystaniem opracowanego przez autora protokołu LLL o niskim opóźnieniu [H6].



Rysunek 5 Schemat blokowy prototypu systemu LLRF zaprojektowanego w technologii ATCA [H3].

a)



b)

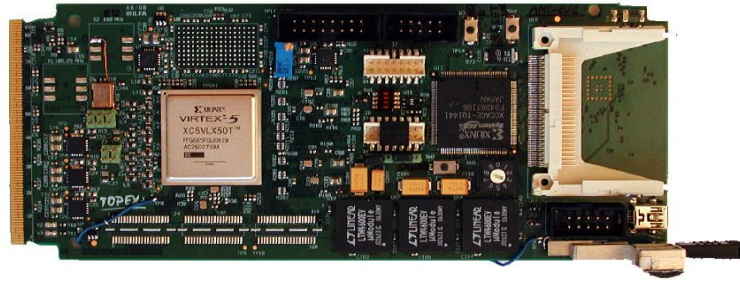


Rysunek 6 Zdjęcie płyty nośnej AdvancedTCA wraz z 3 modułami AMC i dołączonym modulem RTM (rysunek a) [H7] oraz zdjęcie dwóch płyt nośnych dołączonych do zaprojektowanej analogowej płyty tylnej (rysunek b).

Analogowa część sterownika LLRF, tj. przemienniki częstotliwości zrealizowane zostały w postaci modułów RTM. Sieci dystrybucji sygnałów wyzwalających i częstotliwości referencyjnych RF dostępne są na specjalnie zaprojektowanej analogowej płycie tylnej. Sygnały RF mierzone we wnękach rezonansowych (moc fali odebrana przez antenę, moc padająca i odbita, referencyjne częstotliwości RF, sygnały wyzwalające) są podłączone do modułu RTM. Sygnały analogowe z modułu RTM połączone są z płytą nośną przy pomocy złącza Z3 przeznaczonego w standardzie ATCA do wykorzystania przez użytkownika. Brak gniazd sygnałowych na przedniej stronie kasety ATCA upraszcza okablowanie systemu, poprawia jakość transmisji sygnałów analogowych do modułów ATCA oraz ułatwia jego serwisowanie.

Zdjęcie wyprodukowanej płyty nośnej zamieszczono na rysunku 6a, natomiast zdjęcie dwóch płyt podłączonych do analogowej płyty tylnej pokazano na rysunku 6b. Gigabitowe interfejsy szeregowo układu FPGA Xilinx Virtex 5 pozwoliły na komunikację z maksymalną przepustowością 3,74 Gbit/s na kanał, natomiast interfejs PCI Express oferował transfer do 2,5 Gbit/s (PCIe x1 generacji 1) [H7]. Na rysunku 7 pokazano zdjęcie zaprojektowanego modułu cyfrowego AMC B [H1], natomiast na rysunku 8 przedstawiono zdjęcia modułów AMC A do monitoringu promieniowania neutronowego i gamma, moduł modulatora wektorowego i synchronizacji czasowej [H5], [10], [11].

W celu kompensacji odstrojenia wnęk rezonansowych spowodowanego polem przyspieszającym (siłami Lorentza) wykorzystano elektromechaniczne regulatory bazujące na elementach piezoelektrycznych. System komunikuje się z kontrolerem LLRF w celu uzyskania informacji o aktualnym poziomie odstrojenia wnęk rezonansowych oraz generuje sygnał pobudzający elementy piezoelektryczne. Schemat blokowy systemu zbudowanego w oparciu o standard AdvancedTCA przedstawiono na rysunku 9 natomiast na rysunku 10 przedstawiono zdjęcie zbudowanego prototypu urządzenia.



Rysunek 7 Zdjęcie uniwersalnego modułu cyfrowego AMC B zaprojektowanego na potrzeby systemu LLRF.

a)



b)

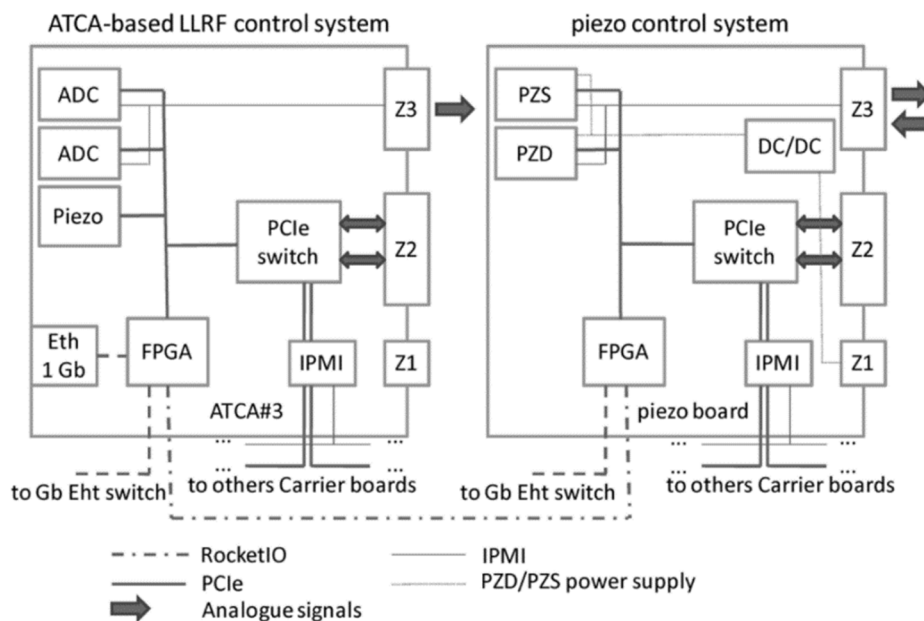


c)



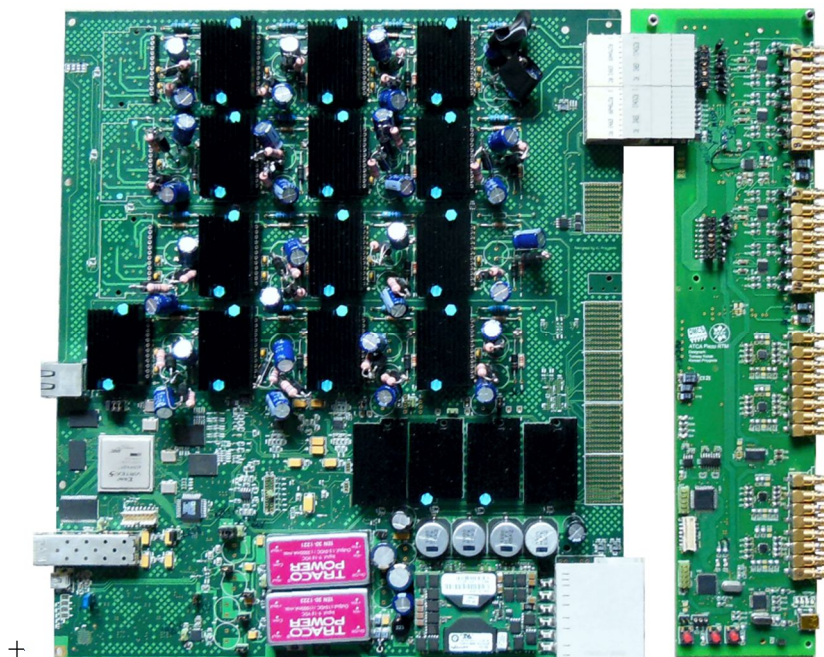
Rysunek 8 Zdjęcia modułów AMC A systemu LLRF: a) moduł do pomiaru promieniowania gamma i neutronowego [H5], b) modulator wektorowy, c) moduł synchronizacji czasowej z dołączonym modulem cyfrowym AMC B.

Habilitant odpowiedzialny był za opracowanie koncepcji oraz miał znaczący udział w realizacji systemu do kompensacji odstrojenia wnęk rezonansowych z wykorzystaniem elementów piezoelektrycznych. Duży rozmiar płyt AdvancedTCA pozwolił na zaprojektowanie sterownika obsługującego jednocześnie 16 wnęk rezonansowych (2 moduły kriogeniczne sterowane przez kasetę Master lub Slave) [H2]. Urządzenie nie wymagało dodatkowego zasilania; wykorzystywało zasilacz dostępny w systemie AdvancedTCA. Problemem, jaki należało rozwiązać, była obecność wysokich napięć (-100 V/+100 V) na płycie oraz złącza w strefie 3. Standard AdvancedTCA pozwala na użycie interfejsów różnicowych o napięciach od -2 V do +2 V. Autor opracował nowe mechanizmy weryfikacji oraz elektronicznego kluczowania napięć (electronic keying) w strefie 3 z wykorzystaniem standardu IPMI. Zaprojektował dedykowane systemy mikroprocesorowe oraz zdefiniował rekordy FRU (Field Replaceable Unit) zapewniające kompatybilność jak również bezpieczną współpracę modułów AdvancedTCA i RTM [H2], [H9].



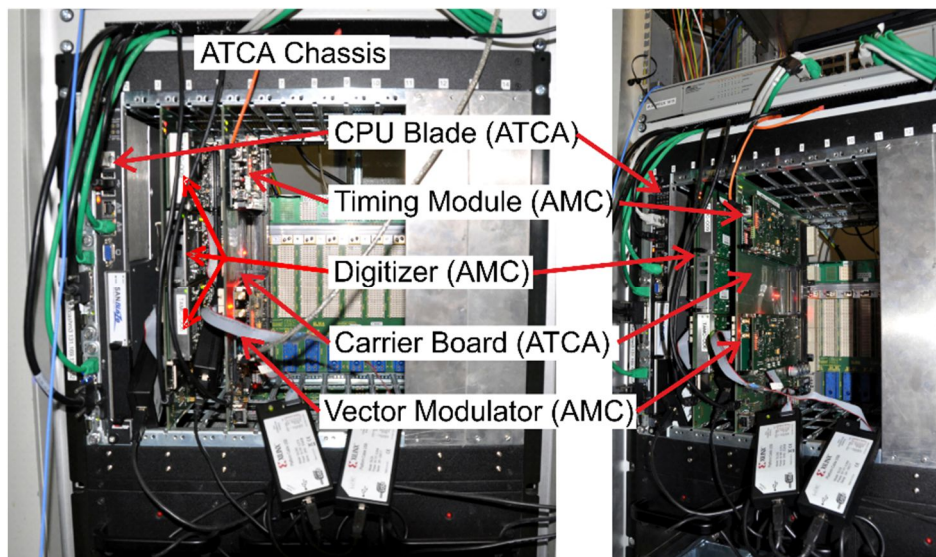
Rysunek 9 Schemat blokowy przedstawiający podłączenie modułu PZI16M do kompensacji odstrojenia wnek rezonansowych do systemu LLRF [H2].

Testy prototypowego systemu zostały przeprowadzone w akceleratorze FLASH w Hamburgu [H7], [27]. System został podłączony do modułów ACC 4-5-6 zawierających 24 rezonatory niobowe¹³. Zdjęcie kasety ATCA oraz systemu LLRF użytego podczas badań przedstawiono na rysunku 11.



Rysunek 10 Zdjęcie sterownika elementów piezoelektrycznych PZI16M wykorzystywanego w celu kompensacji odstrojenia wnek rezonansowych wykonanego w technologii ATCA [H2].

¹³ Pojedyncza stacja RF sterująca akceleratorem XFEL będzie obsługiwała 4 kriomoduly (32 wneki rezonansowe). Podczas testów w akceleratorze FLASH dostępne były tylko trzy moduly kriogeniczne ACC 4-5-6 (24 wneki).



Rysunek 11 Zdjęcie kasyety AdvancedTCA systemu LLRF wraz z modułami AMC użytymi podczas testów w DESY [H7].

W trakcie testów sterownik pracował w trybie sprzężenia zwrotnego, jako regulator proporcjonalny. Zmierzono zależność stabilności amplitudy i fazy sumy wektorowej pola we wnękach w zależności od współczynnika wzmocnienia w pętli sprzężenia zwrotnego w zakresie 0 – 60. Najlepsze wyniki – średniokwadratową stabilność amplitudy $(\Delta A/A)_{\text{rms}} = 0,0945\%$ i średniokwadratową stabilność fazy $(\Delta \theta)_{\text{rms}} = 0,1589^\circ$ otrzymano dla wzmocnienia równego 35 [H7]. Osiągnięta stabilność spełniała wymagania dla głównego akceleratora lasera E-XFEL (odpowiednio 0,1% dla amplitudy i $0,2^\circ$ dla fazy).

Habilitant miał znaczny udział w opracowaniu architektury systemów zcentralizowanego oraz systemu częściowo rozproszonego Master-Slave, które pozwalały na zbudowanie modularnego i skalowalnego systemu LLRF. Opracował oraz zaimplementował interfejsy (rozwiązania układowe oraz oprogramowanie realizujące wybrane protokoły) dedykowane do sterownia, diagnostyki systemu oraz transmisji danych w głównej pętli sterującej. Zaprojektowany system pozwalał na jednoczesne przetwarzanie sygnałów analogowych z 32 wnęk rezonansowych pracujących z częstotliwością 1,3 GHz, spełniając jednocześnie wymagania akceleratora E-XFEL odnośnie niezawodności, skalowalności i serwisowalności systemu. Prawie wszystkie sygnały analogowe RF doprowadzone były z tyłu kasyety przez moduły RTM. Był to jeden z pierwszych prototypów urządzenia wykonanego w technologii AdvancedTCA używanego w fizyce wysokich energii w pełni wykorzystujący mechanizmy diagnostyki IPMI, redundancję układów zarządzania, zasilania oraz chłodzenia, co pozwalało na zwiększenie niezawodności urządzenia. Niewątpliwą zaletą systemu była możliwość jego dalszej rozbudowy oraz łatwego serwisowania, dzięki modularnej budowie oraz implementacji mechanizmów hot-swap [H9].

Autor odpowiedzialny był za opracowanie koncepcji oraz rozwiązań układowych i programowych, projekt, budowę prototypów oraz przeprowadzanie pomiarów dla następujących elementów systemu:

- Płyty nośnej ATCA-CB wyposażonej w trzy sloty AMC (rysunek 6) [H7].
- Cyfrowego modułu bazowego AMC B (rysunek 7) [H1].

- Modułu do monitorowania poziomu promieniowania neutronowego i gamma RadMon (rysunek 8a) [H5].

Miał znaczny udział w projekcie, realizacji i uruchomieniu pozostałych elementów systemu:

- Modułu AMC modulatora wektorowego (rysunek 8b) [10].
- Modułu AMC do generacji sygnałów zegarowych i wyzwiania (rysunek 8c) [11].
- Płyty ATCA do kompensacji odstrojenia wnek rezonansowych z wykorzystaniem elementów piezoelektrycznych (rysunek 10) [H2].

Habilitant odpowiedzialny był również za implementację sprzętową i programową, przeprowadzenie pomiarów oraz przebadanie następujących interfejsów pod kątem przydatności w systemie LLRF do sterowania i transmisji danych w głównej pętli sterownika LLRF:

- Interfejsu PCI Express [H4], [H7].
- Interfejsów 1 oraz 10 Gb Ethernet [H3].
- Interfejsu Aurora [H6].
- Interfejsu LLL o niskim opóźnieniu transmisji [H6].

Autor zaproponował rozwiązania układowe oraz programowe (oprogramowanie układów FPGA, sterowniki dla systemu operacyjnego Linux, oprogramowanie wysokiego poziomu, skrypty) do automatycznej konfiguracji, zarządzania i przełączenia interfejsów LLL i PCIe pomiędzy modułami ATCA-CB przy wykorzystaniu protokołu IPMI [H6]. Opracował nowe protokoły czasu rzeczywistego o niskim opóźnieniu transmisji, rozwiązania sprzętowe dedykowane do transmisji sumy wektorowej w systemie LLRF oraz ich implementację z wykorzystaniem płyty tylnej kasyety AdvancedTCA oraz interfejsów światłowodowych [H3], [H6], [H7]. Opracowana implementacja protokołu wykorzystywała zmodyfikowany szeregowy, gigabitowy interfejs układu Xilinx Virtex V, pozwalający na transmisję sumy wektorowej z opóźnieniem 3-krotnie mniejszym (poniżej 100 ns) niż dostępne w tym okresie implementacje (350 ns) [H6] lub 10-krotnie mniejszym w porównaniu do interfejsu PCIe (1 μ s podczas zapisu) [H3]. Habilitant opracował programy testowe dla cyfrowych komponentów systemu oraz uczestniczył w realizacji pomiarów torów analogowych oraz wpływu interfejsów cyfrowych na sygnały analogowe. Brał czynny udział w badaniach systemu sterującego akceleratorem FLASH w ośrodku naukowo-badawczym DESY przeprowadzonych zgodnie z zaproponowaną metodyką (rozdział 3).

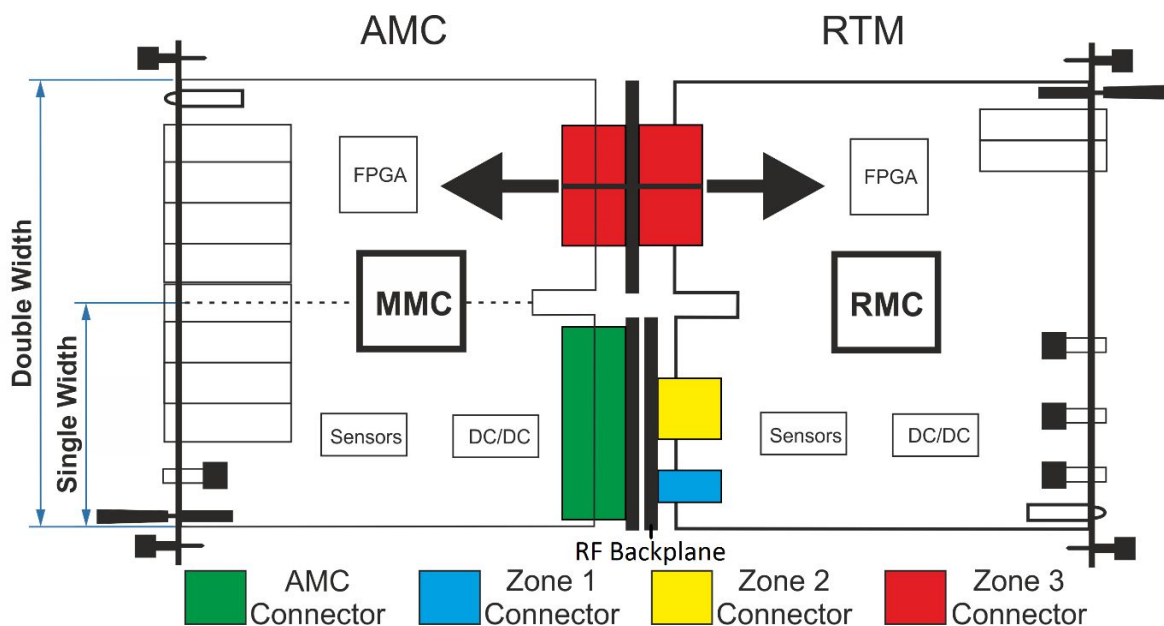
5. Badania nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard MTCA.4

Badania naukowe oraz projekty opisane w rozdziale 4 bazują na następujących publikacjach: [H10], [H12], [H13], [H15], [H16], [H17], [H18].

Prototyp urządzenia zbudowanego w oparciu o standard AdvancedTCA (rozdział 4.1) pozwalał na realizację skalowalnego systemu LLRF o podwyższonej niezawodności spełniając w ten sposób większość wymagań określonych w rozdziałach 3.1 oraz 4.1. W zbudowanym prototypie występowało kilka problemów, które należało rozwiązać przed opracowaniem finalnego systemu sterującego akceleratorem E-XFEL. Wyzwaniem była dystrybucja sygnałów analogowych RF wysokiej częstotliwości w kasecie AdvancedTCA. Sygnały analogowe musiały zostać przesłane przez 5 złącz zanim trafiły do przetwornika analogowo-cyfrowego. Dodatkową przeszkodą były przesłuchy pomiędzy sygnałami analogowymi i cyfrowymi oraz trudności z zachowaniem separacji pomiędzy masą cyfrową a analogową [27]. Powyższe problemy powodowały znaczną degradację sygnałów RF. Pomimo, że standard AdvancedTCA (PICMG 3.4) oficjalnie wspierał interfejs PCIe na płycie tylnej, trudno było znaleźć na rynku moduł komputera z dostępnym interfejsem PCIe na złączach w strefie 2 (standard PCIe jest rzadko wykorzystywany w systemach telekomunikacyjnych) [H7]. Opracowana architektura Master-Slave wymagała użycia dwóch kaset ATCA z redundantnymi modułami zarządzającymi oraz układami zasilania, co znacznie podnosiło koszty systemu [H7].

Pomimo wielu zalet standardu AdvancedTCA nie był on odpowiedni do budowy systemów LLRF. W ramach organizacji PICMG powołano nową grupę roboczą mającą na celu adaptację oraz rozszerzenie standardu MTCA.0 na potrzeby fizyki wysokich energii. Rezultatem prac ośrodków naukowo-badawczych oraz firm zaangażowanych w opracowanie nowego standardu była specyfikacja MTCA.4 [3]. Nowy standard, podobnie jak w przypadku technologii AdvancedTCA, pozwalał na użycie modułów RTM montowanych z tyłu kasy. Dzięki wykorzystaniu modułów AMC podwójnej szerokości oraz płyt RTM całkowita powierzchnia przeznaczona na układy elektroniczne została zwiększona czterokrotnie. Standard MTCA.4 pozwala na połączenie modułów AMC i RTM z wykorzystaniem dwóch złącz ADF (J30 i J31) w strefie 3 (Zone 3) [H13]. Schematyczne połączenie modułu AMC wraz z dołączonym modułem RTM przedstawiono na rysunku 12. Moduł umieszczony w przedniej części kasy (AMC) dedykowany jest dla cyfrowych układów odpowiedzialnych za sterowanie lub akwizycję danych [H13]. Karta tylna (RTM) przeznaczona jest do budowy analogowych układów kondycjonowania sygnałów, układów wejścia lub wyjścia. Obecnie trwają prace w ramach organizacji PICMG nad opracowaniem rozszerzenia standardu MTCA.4.1 umożliwiającego dystrybucję sygnałów analogowych z wykorzystaniem złącz w strefie 1 i 2 (rysunek 12) oraz płyty tylnej dedykowanej dla sygnałów RF [6].

Rezultaty badań naukowych habilitanta, opracowana metodyka projektowania systemów sterowania oraz doświadczenie nabyte podczas prac nad prototypem wykonanym w technologii AdvancedTCA zostały wykorzystane przez organizację PICMG do opracowania nowego standardu MTCA.4. Habilitant prowadził dalsze badania naukowe, weryfikował założenia zaproponowanej metodyki projektowania systemów elektronicznych, uczestniczył w opracowaniu standardu MTCA.4 oraz obecnie bierze czynny udział w pracach nad specyfikacją w wersji MTCA.4.1.



Rysunek 12 Rysunek obrazujący nowe moduły MTCA.4 podwójnej szerokości: płytka AMC z dołączonym modulem RTM przy pomocy złącza Zone 3 [H13].

Finalne moduły AMC i RTM wykorzystane do budowy europejskiego akceleratora XFEL zostały wyprodukowane w technologii MTCA.4. Produkcja modułów następowała w dwóch etapach: próbnej oraz finalnej produkcji seryjnej. W obu przypadkach produkcja oraz testowanie modułów odbywało się zgodnie z zaproponowaną przez autora metodyką (rozdział 3).

W wyniku dalszych badań naukowych została zaproponowana nowa architektura systemu oraz zbudowany został pierwszy w skali światowej prototyp systemu LLRF bazujący na standardzie MTCA.4. Prace prowadzone były równolegle z rozwojem nowego standardu. W ramach badań naukowych autor zaprojektował i wykonał pierwsze w skali światowej moduły AMC i RTM zgodne ze standardem MTCA.4 posługując się zaproponowaną metodyką budowania systemów sterowania i ich komponentów.

Wszystkie moduły AMC opracowane dla systemu LLRF wykonanego w technologii AdvancedTCA wymagały adaptacji do nowego standardu. W wielu przypadkach wymagane było opracowanie nowych rozwiązań układowych oraz projekt nowych modułów zgodnych ze standardem MTCA.4. Habilitant odpowiedzialny był za opracowanie specyfikacji oraz architektury urządzeń, nowych rozwiązań układowych i programowych, zbudowanie prototypów układów oraz przeprowadzenie pomiarów.

Habilitant koordynował prace związane z projektowaniem modułów AMC i RTM ze strony Politechniki Łódzkiej i miał znaczący wkład w projekt oraz realizację następujących urządzeń:

- Prototypy modułów DAMC-TCK7 systemu LLRF dedykowanych do przetwarzania danych o dużej szybkości (high-speed data processing module for LLRF)¹⁴ [H13], [8].

¹⁴ Pierwsza wersja modułu DAMC-TCK7 określana była akronimem uTC.

- Prototypy modułów DRTM-VM02LF, DRTM-VM02HF modulatora wektorowego dla małej i wielkiej częstotliwości (high and low frequency vector modulator)¹⁵ [H10], [H12], [26].
- Prototyp przetwornika analogowo-cyfrowego DAMC-DS800 o dużej szybkości przetwarzania (high-speed digitizer module).
- Pierwszy w skali światowej prototyp modułu DRTM-uLOG (MTCA.4.1 Local Oscillator and clock Generation module) oscylatora lokalnego i generatora referencyjnych sygnałów RF dla systemu MTCA.4 [28].
- Pierwszy w skali światowej prototyp modułu DRTM-uBM (RF Backplane Management module) zarządzający płytą tylną RF w systemie MTCA.4.1.
- Prototyp modułu RadMon (Radiation Monitoring module) do pomiaru promieniowania neutronowego i gamma [H5].

Autor odpowiedzialny był za opracowanie następujących rozwiązań układowych i programowych dla systemu LLRF:

- Dedykowanych protokołów do transmisji sumy wektorowej wykorzystujących gigabitowe interfejsy szeregowo układów FPGA, optymalizację przepustowości, minimalizację opóźnień oraz za pomiary wydajności transmisji danych w systemie MTCA.4 [H6], [H12].
- Rozwiązań układowych i nowych protokołów do transmisji sygnałów cyfrowych dla płyty tylnej RF¹⁶ (fabric channel) obejmujących weryfikację kompatybilności interfejsów, elektroniczne kluczkowanie sygnałów oraz opracowanie rozdziału 4.5 (Fabric Interface) dla nowego standardu MTCA.4.1 [6].
- Bezpiecznego systemu dystrybucji sygnałów zabezpieczających (interlock) na płycie tylnej MTCA.4 oraz implementacji układowej na modułach DAMC-TCK7 i DRTM-VM02 [H10], [H13].
- Układu wyzwiania i synchronizacji dzielników referencyjnego sygnału zegarowego w systemie MTCA.4 oraz dla modułów RTM-AMC i panelu tylnego kasyety [H10], [6].
- Pomiary stopy błędów, przepustowości oraz opóźnień dla interfejsów pracujących z przepustowościami rzędu 10 Gbit/s (jeden kanał) na płycie tylnej MTCA.4 na portach 4–7 (dedykowanych dla interfejsu PCIe) oraz portach 8–15 (dedykowanych dla połączeń punkt-punkt) [H13]. Do przeprowadzenia pomiarów autor wykorzystał pięć modułów DAMC-TCK7 wyposażonych w 28 gigabitowych interfejsów pracujących z maksymalnymi przepustowościami 12,5 Gbit/s (całkowitej przepustowości ponad 300 Gbit/s) DAMC-TCK7 [H13] oraz 3 kasyety dominujących producentów (ELMA, Pentier, Vadatech). Badania pokazały, że tylko jedna kaseeta MTCA.4 pozwala na transmisję danych z przepustowościami 10 Gbit/s (Bit Error Rate $<1 \cdot 10^{-12}$ bit⁻¹). W pozostałych kasetach producenci zmuszeni byli przeprojektować płyty tylne, poprawiając połączenia sygnałów interfejsów gigabitowych uwzględniając zalecenia przesłane przez habilitanta [H13].

¹⁵ Pierwsza wersja modułu DRTM-VM określana była akronimem uVM.

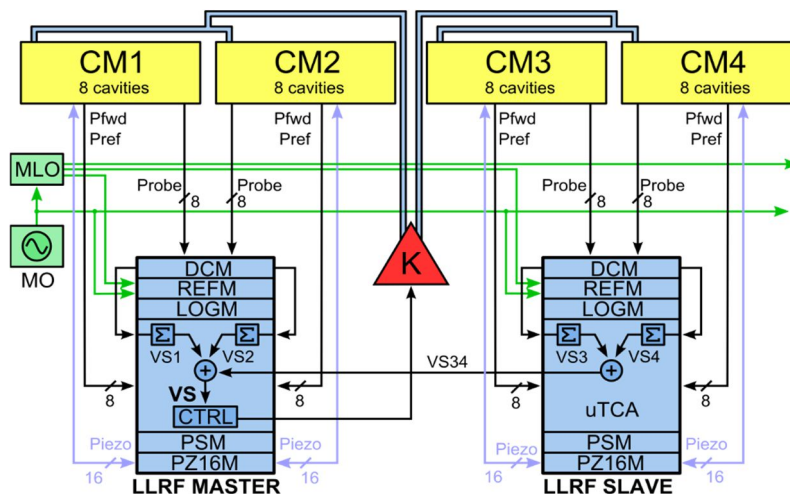
¹⁶ Standard MTCA.4.1 pozwala na użycie drugiej płyty tylnej wykorzystywanej do dystrybucji sygnałów RF oraz sygnałów cyfrowych w obszarze fabric channel dla modułów RTM.

- Badania transmisji danych z wykorzystaniem interfejsu PCIe generacji 3 (PCIe x4) na płycie tylnej kasyety MTCA.4. Autor zmierzył stopy błędów, przepustowości oraz opóźnienie w transmisji danych pomiędzy modułami AMC, a komputerem umieszczonym w kasecie podczas odczytu oraz zapisu danych [H13]. Autor przeprowadził też, jako pierwszy na świecie, transmisję z wykorzystaniem interfejsu PCIe generacji 3 w tej technologii stosując układy FPGA Xilinx Kintex 7 oraz kasyety firmy Pentier. Przeprowadzone badania dowiodły, że standard MTCA.4 pozwala na użycie 10 gigabitowych interfejsów na płycie tylnej. Obecnie autor kontynuuje prace w ramach organizacji PICMG zajmującej się ustandaryzowaniem interfejsu 10 Gigabit Ethernet (AMC.2): 10GBase-KX4, 10GBase-KR na portach 0 i 1 oraz 40GBase-KR4 (4x 10 Gbit/s na portach 4–7) w ramach grupy roboczej High Speed Ethernet Fabrics for MicroTCA. Trwają również prace nad ustandaryzowaniem interfejsu PCIe generacji 3.
- Znaczny udział w realizacji dedykowanego stanowiska testowego dla produkcji masowej modułów DAMC-TCK7 [H13].

5.1. Systemu LLRF zrealizowany w technologii MTCA.4

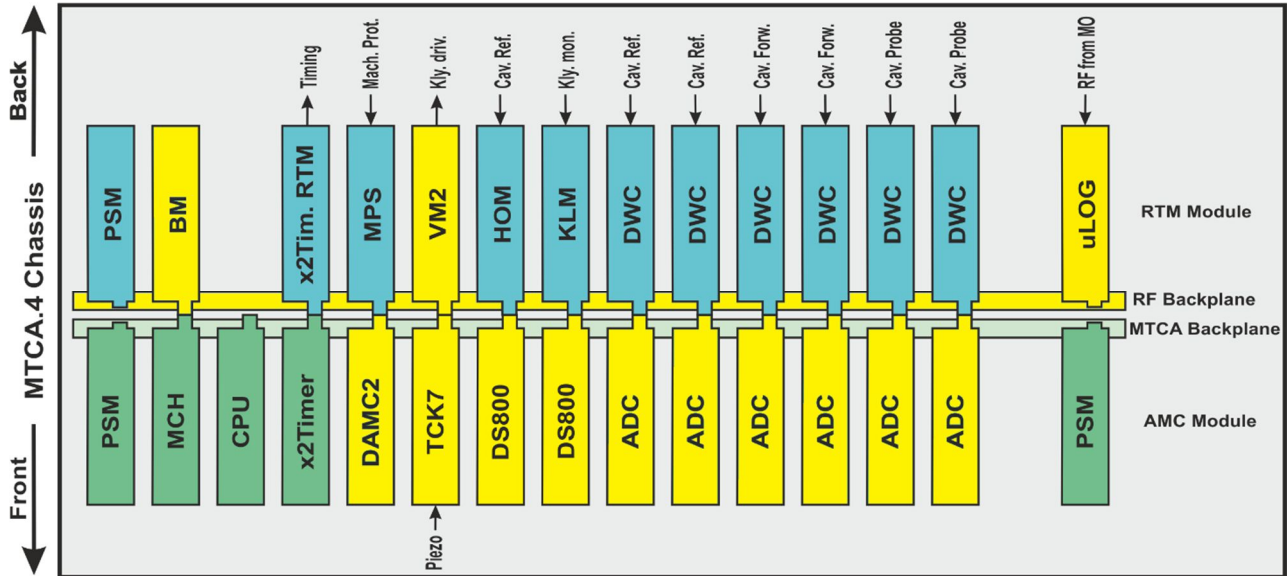
Podobnie jak w przypadku systemu wykonanego w oparciu o standard ATCA, system MTCA.4 zbudowany jest z dwóch kaset (Master oraz Slave) połączonych interfejsem o niskim opóźnieniu transmisji. Strukturę systemu LLRF przedstawiono na rysunku 13.

Pojedyncza stacja RF systemu LLRF steruje 32 wnękami przyspieszającymi. Moduły przemiany częstotliwości DWC (downconverter) zostały wykonane jako moduły RTM współpracujące z modułem AMC przetworników (ADC). Sygnały o częstotliwości pośredniej $f_{IF}=54$ MHz przesyłane są przy pomocy złącza w strefie 3 pomiędzy modułem AMC a RTM. Całkowita suma wektorowa jest złożona z sygnału pochodzącego od sterownika Master (VS1 i VS2) oraz z kasyety Slave (VS3 i VS4) [29]. Moduł Slave transmituje częściową sumę wektorową (VS34) do modułu sterownika cyfrowego Master, który oblicza całkowitą sumę wektorową gradientów natężenia pola elektrycznego wnęk przyspieszających i generuje sygnał sterujący modulatorem wektorowym (VM). Sygnał cyfrowy dostarczony jest do modulatora poprzez złącza w strefie 3.



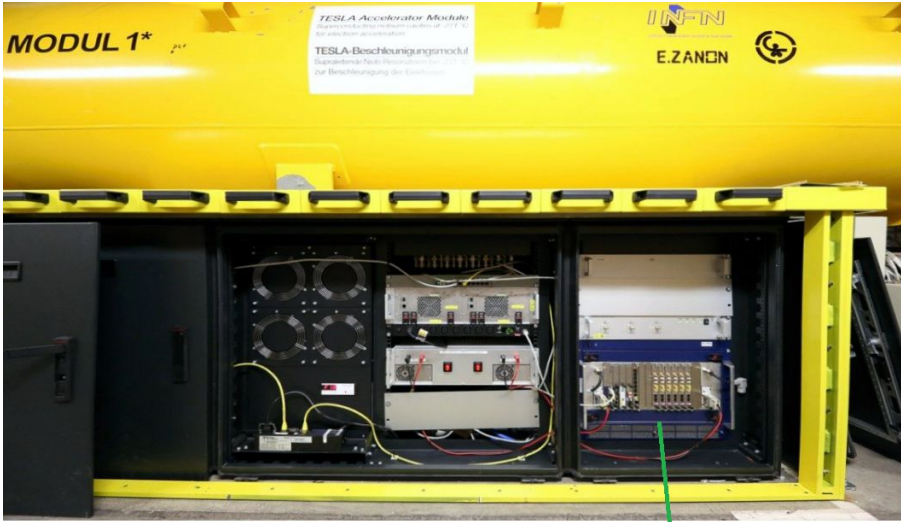
Rysunek 13 Struktura systemu LLRF w konfiguracji Master-Slave¹⁷ [7].

¹⁷ Źródło CDR - part 3 - System Concept Description, DESY



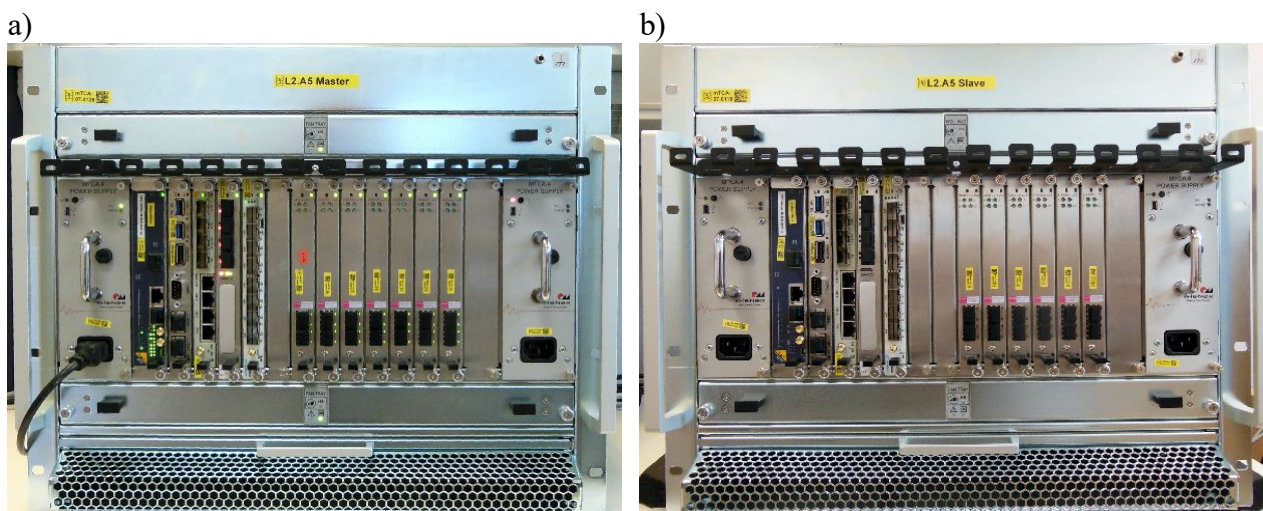
Rysunek 14 Rozmieszczenie modułów AMC i RTM w kasecie MTCA.4 systemu LLRF akceleratora E-XFEL (kaseta Master) [H13].

Moduły systemu LLRF niezbędne do zamknięcia pętli sprzężenia zwrotnego umieszczone są w kasecie MTCA.4. Konfigurację kasety Master przedstawiono na rysunku 14. Kolorem żółtym zaznaczono moduły AMC, RTM oraz panel tylny dedykowany do dystrybucji sygnałów analogowych, w których wykorzystano rozwiązania układowe lub programowe opracowane przez autora. W kasecie znajduje się 6 modułów ADC oraz 6 modułów DWC zbierających sygnał z 16 wnęk przyspieszających. Dane przesyłane są do układu sterownika cyfrowego (TCK7) i następnie do modulatora wektorowego (VM), który steruje klitronem. Układ sterujący elementami piezoelektrycznymi (PZ16M) wykorzystywanymi do kompensacji odstrojenia wnęk rezonansowych znajduje się poza kasetą MicroTCA.



MTCA.4 chassis

Rysunek 15 Moduł przyspieszający akceleratora FLASH, poniżej kaseta MicroTCA systemu LLRF.



Rysunek 16 Kasety MTCA.4 wykorzystywane do sterowania modułem przyspieszającym L2.A5 Master (rysunek a) oraz modułem Slave akceleratora E-XFEL podczas testów w laboratorium MASSA w DESY.

Na rysunku 15 zamieszczono zdjęcie modułu kriogenicznego i znajdującego się poniżej systemu LLRF (kasety MicroTCA, dystrybucja sygnałów referencyjnych oraz układ zasilania) umieszczonego w szafie wyposażonej w ekrany chroniące przed promieniowaniem neutronowym i gamma.

Na rysunku 16 przedstawiono zdjęcia kaset MTCA.4 systemu LLRF akceleratora E-XFEL, Master oraz Slave, podczas testów w laboratorium MASSA (MicroTCA ASSEMBLY AREA). Obie kasety przygotowywane są do montażu w tunelu akceleratora w sekcji L2.A5 (Linac 2, stacja przyspieszająca numer 5).

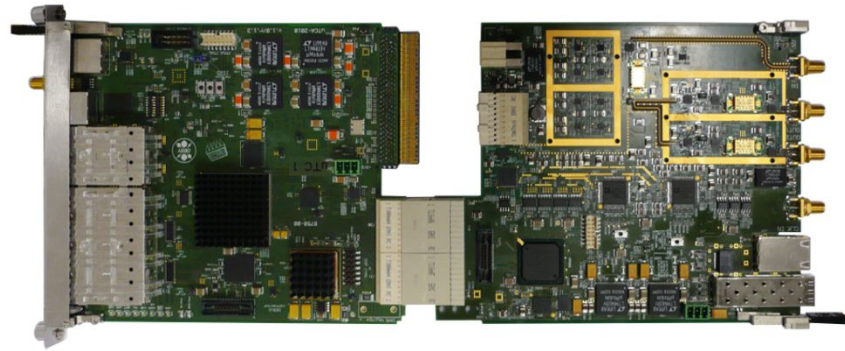
5.1.1. Moduł sterownika czasu rzeczywistego i modulatora wektorowego

Pierwszy prototyp sterownika czasu rzeczywistego (uTC) został wykonany jako moduł AMC podwójnej wysokości zgodny ze standardem MTCA.4 [H13], [8]. Moduł powinien udostępniać zasoby oraz moc obliczeniową do realizacji algorytmów sterownika LLRF oraz diagnostyki systemu. Zadaniem modułu AMC jest odbieranie sygnałów z sześciu modułów ADC, realizowanie algorytmu sterowania (PI, MIMO, adaptacyjne sprzężenie w przód) oraz generowanie sygnału sterującego modulatorem wektorowym.

Pierwsza wersja sterownika (3 prototypy) została wyprodukowana w latach 2008–2011 [8]. Zdjęcie pierwszej wersji modułu połączonego z modulatorem wektorowym przedstawiono na rysunku 17a. Druga wersja sterownika (DAMC-TCK7, 2 prototypy) została wyprodukowana w latach 2012–2014 [H13]. Urządzenie wyposażone było w układ FPGA Xilinx Kintex 7, pamięć DDR3 (4 GB), PCIe x4 (generacja 3) oraz 24 interfejsy LLL o niskiej latencji. Urządzenie wykorzystuje sygnały cyfrowe w strefie 3 zgodne z zaproponowaną przez autora klasą cyfrową D1.2. Zdjęcie modułu w wersji drugiej połączonego z modulatorem wektorowym przedstawiono na rysunku 17b.

a)

Virtex 5 SVX95T



LLRF Controller (left) and Vector Modulator (right), version 1.0

b)

Kintex 7 XC7K355T



LLRF Controller (left) and Vector Modulator (right), version 2.0

Rysunek 17 Zdjęcie modułu DAMte-TCK7 z dołączonym modulem DRTM-VM02LF, pierwsza wersja z układem Xilinx Virtex 5 przedstawiona na rysunku a), druga wersja z układem Xilinx Kintex 7 pokazana na rysunku b) [H13].

Moduł modulatora wektorowego DRTM-VM2 odpowiedzialny jest za generowanie sygnałów analogowych I-Q sterujących klustronem. Urządzenie składa się z części analogowej (przetworniki DAC, modulator składowej kwadraturowej i synfazowej, układy kondycjonowania sygnału, układ bramkowania sygnału RF) oraz części cyfrowej zgodnie ze standardem MTCA.4 (interfejs o niskim opóźnieniu, układ FPGA odpowiedzialny za generowanie sygnału sterującego przetwornikami DAC, układ zasilania oraz moduł zarządzania i diagnostyki RMC).

W ramach badań naukowych autor opracował dwie wersje DRTM-VM2 (łącznie 9 prototypów) przedstawione na rysunkach 17a i 17b [H10], [H12]. Dla wersji 2.0 opracowano kilka wariantów modulatora przeznaczonych do pracy z niską częstotliwością (poniżej 1 GHz) oraz wielką częstotliwością (1,3 GHz i 3,9 GHz).

Moduły DAMC-TCK7 i DRTM-VM02 zostały wykorzystane w ośrodku naukowo-badawczym DESY w systemach LLRF następujących projektów [30]:

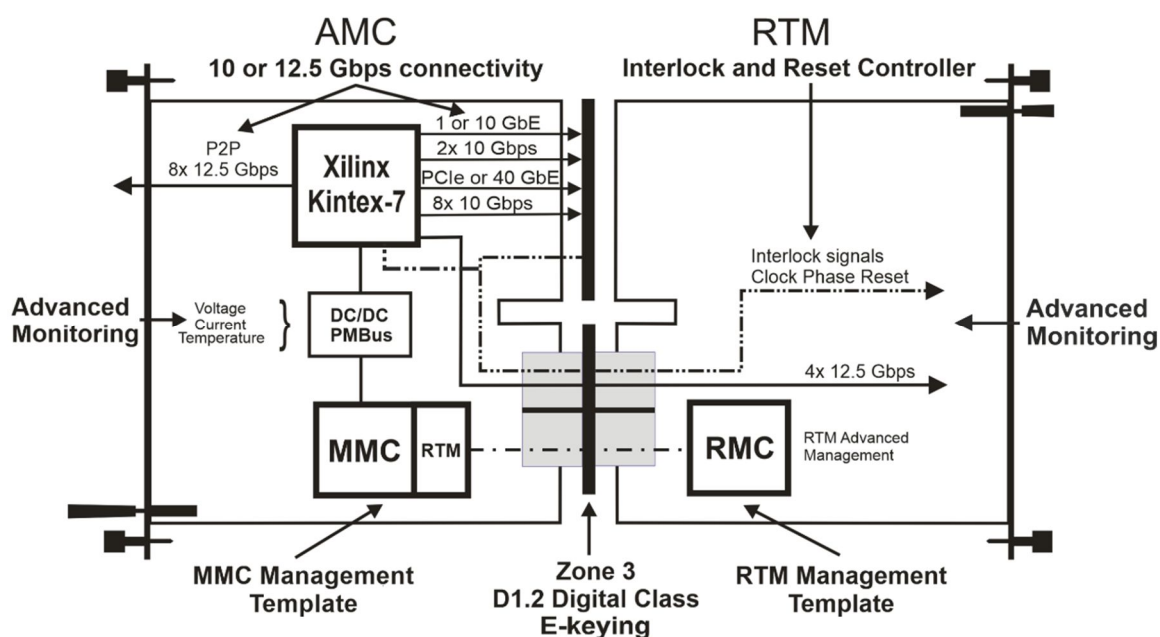
- Akcelerator E-XFEL (52 moduły DAMC-TCK7 i DRTM-VM02) [31], [32].
- Akcelerator zasilający laser FLASH [33], [34]:
 - Moduł kriogeniczny ACC1.
 - Moduł kriogeniczny ACC39.
 - Moduł kriogeniczny ACC23.
 - Moduł kriogeniczny ACC45/67.
- Testowy moduł kriogeniczny CMTB (Cryomodule Test Bench).
- Eksperyment REGAE (Relativistic Electron Gun for Atomic Exploration).

- Moduł testowy klistronów dla akceleratora E-XFEL (Klystron test-stand).
- Infrastruktura służąca testowaniu modułów kriogenicznych dla akceleratora FLASH (Accelerator Module Test Facility):
 - AMTF 2.
 - AMTF 3.

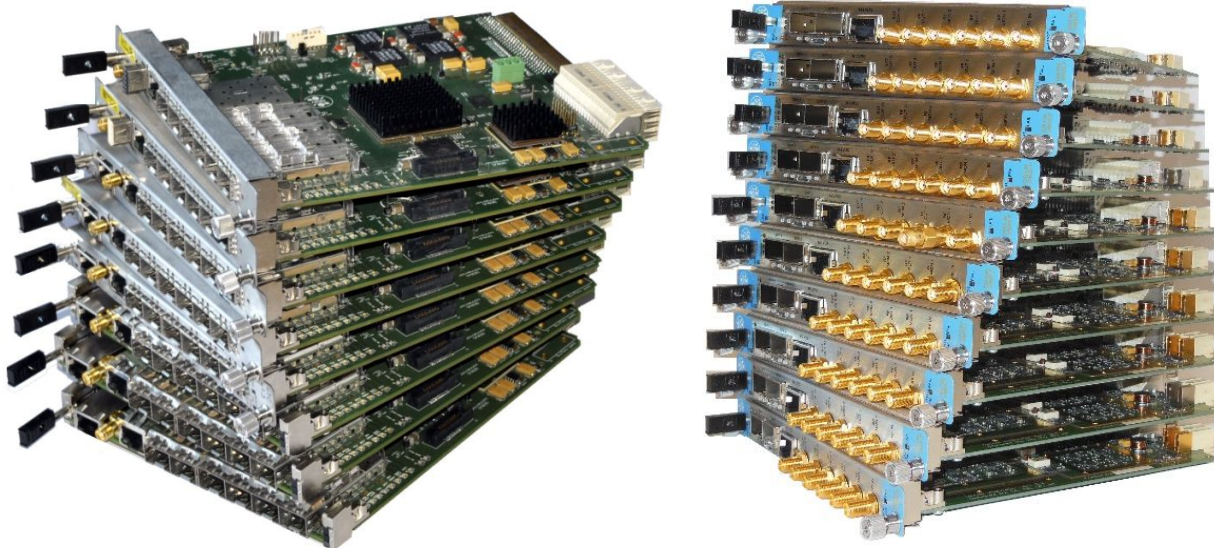
Autor miał znaczący udział w projekcie obu urządzeń (uTC/DAMC-TCK7 i uVM/DRTM-VM02) i odpowiedzialny był za: opracowanie koncepcji modułów, w szczególności rozwiązań układowych, których brakowało w standardach xTCA, opracowanie znacznej części schematów, symulacje i realizację układową, projekt PCB szybkich połączeń (12,5 Gbps), połączenia na płycie drukowanej, przygotowanie produkcji, uruchomienie układów, opracowanie części programów testowych, przeprowadzanie testów, oraz diagnostykę i rozwiązywanie problemów dotyczących modułów. Nowe rozwiązania układowe opracowane przez autora przedstawiono schematycznie na rysunku 18.

Zdjęcie modułów wykorzystywanych w akceleratorze E-XFEL przedstawiono na rysunku 19.

Moduł DAMC-TCK7 jest obecnie dostępny komercyjnie pod nazwą CM045 w ofercie amerykańskiej firmy Vadatech, która wykupiła licencję na jego produkcję. Moduły CM045 zostały finalnie zainstalowane w akceleratorze E-XFEL (52 płytki). Zdjęcie panelu przedniego modułu CM045 przedstawione jest na rysunku 20.



Rysunek 18 Nowe rozwiązania układowe opracowane na potrzeby projektów modułów DAMC-TCK7 i DRTM-VM02 [H13].



Rysunek 19 Zdjęcie modułów DAMC- TCK7 i DRTM-VM02 po zakończeniu procedury testowania.



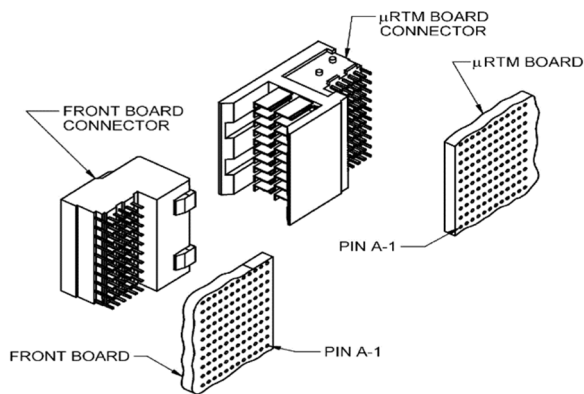
Rysunek 20 Zdjęcie panelu komercyjnej płytki CM045 oferowanej przez firmę Vadatech, USA.

5.1.2. Unifikacja sygnałów złącza w strefie 3

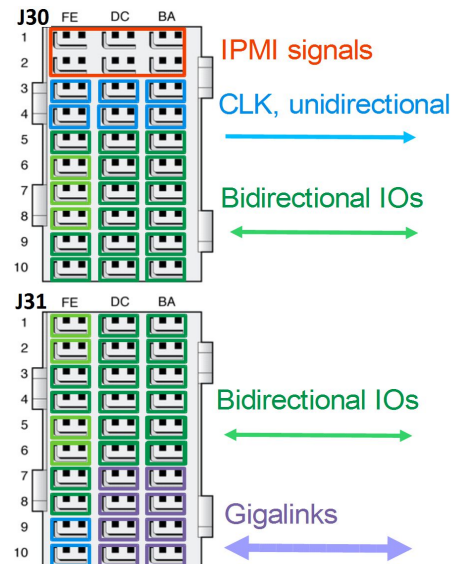
W specyfikacji MTCA.4 zostały ustandaryzowane tylko podstawowe sygnały złącz J30 i J31 w strefie 3: sygnały zasilania, magistrala IPMI i opcjonalne sygnały JTAG. Specyfikacja pozostawia dużą swobodę wykorzystania pozostałych sygnałów jako sygnały cyfrowe i analogowe. W konsekwencji dla większości projektów AMC-RTM projektanci definiują własne grupy sygnałów, co prowadzi do braku kompatybilności pomiędzy dostępnymi modułami. W tym przypadku moduł RTM może współpracować tylko z wybraną płytką AMC. W ramach prac badawczych autor podjął próbę ustandaryzowania sygnałów na złączach J30 i J31 w strefie 3 definiując klasy cyfrowe i analogowe. Habilitant odpowiedzialny był za opracowanie wariantów klas cyfrowych D1.X, mechanizmów weryfikujących kompatybilność obu klas oraz zabezpieczających stopnie wyjściowe układów sterujących przed uszkodzeniem (electronic keying), rozwiązania układowe i programowe, budowę prototypów, a także przeprowadzenie pomiarów.

Na rysunku 21a przedstawiono poglądowy rzut złącza ADF wykorzystywanego w systemach MTCA.4 [3]. Standard dopuszcza użycie złącza o 20, 30 lub 40 parach różnicowych. W systemach LLRF najczęściej wykorzystuje się złącze o 30 parach ze względu na zastosowanie modułów średniej wysokości (middle-size).

a)



b)



Rysunek 21 Złącze ADF wykorzystywane do połączenia modułu AMC z płytką RTM (rysunek a) oraz rozkład sygnałów w klasie cyfrowej D1.2 (rysunek b).

W celu zapewnienia kompatybilności pomiędzy różnymi modułami AMC i RTM niezbędne jest zunifikowanie sygnałów dostępnych na złączach w strefie 3 oraz zapewnienie mechanizmów elektronicznego zabezpieczenia (electronic keying) i ochrony nadajników w przypadku wystąpienia konfliktu poziomów napięć. Unifikacja obejmuje sygnały stosowane w systemach cyfrowych i analogowych oraz sygnały specyficzne dla systemów wykorzystywanych w fizyce wysokich energii, takich jak:

- Dwukierunkowe sygnały cyfrowe w różnych standardach (CMOS, LVCMOS, TTL, LVDS, LVPECL, CML, itd.).
- Sygnały cyfrowe jednokierunkowe (np. wykorzystywane do implementacji sygnałów zabezpieczających interlock z użyciem standardu LVDS).
- Referencyjne sygnały zegarowe.
- Gigabitowe interfejsy szeregowo (PCIe, Gb Ethernet, Serial RapidIO, standard CML).
- Dedykowane interfejsy szeregowo (I²C, SPI, magistrale sterujące).

Podczas opracowywania wewnętrznego standardu zdecydowano się na utworzenie dwóch klas obejmujących:

- Sygnały analogowe.
- Sygnały cyfrowe.

Rozmieszczenie sygnałów cyfrowych na złączach J30 i J31 dla klasy D1.2 zaproponowane przez autora przedstawiono na rysunku 21b. W celu zapewnienia dobrego ekranowania i separacji sygnałów analogowych zdecydowano, że klasa cyfrowa nie będzie kompatybilna z klasą analogową, która wymagała większej liczby sygnałów masy oraz lepszej separacji sygnałów. W wyniku dalszych prac powstały dwa dokumenty opisujące zalecenia dla klasy cyfrowej (5 wariantów: D.1.0 – D.1.4) oraz klasy analogowej (2 warianty: A.1.0, A.1.1). Zdefiniowane przez autora klasy sygnałów cyfrowych zostały wykorzystane do budowy modułów AMC i RTM dedykowanych dla akceleratora E-XFEL. Rezultaty badań naukowych habilitanta zostały udostępnione na potrzeby organizacji PICMG i są częścią standardu MTCA.4.1 [6].

5.1.3. Standaryzacja sygnałów zabezpieczających oraz sygnałów synchronizacji

Moduły systemu LLRF wykorzystują płytę tylną kasety do przesyłania sygnałów zabezpieczających, sygnałów synchronizujących oraz sygnałów wyzwalania (trigger). Standard MTCA.4 umożliwia transmisję 8 sygnałów w standardzie M-LVDS jednak nie definiuje ich funkcjonalności. Sygnały przesyłane są na portach 17–20 płyty tylnej MicroTCA.

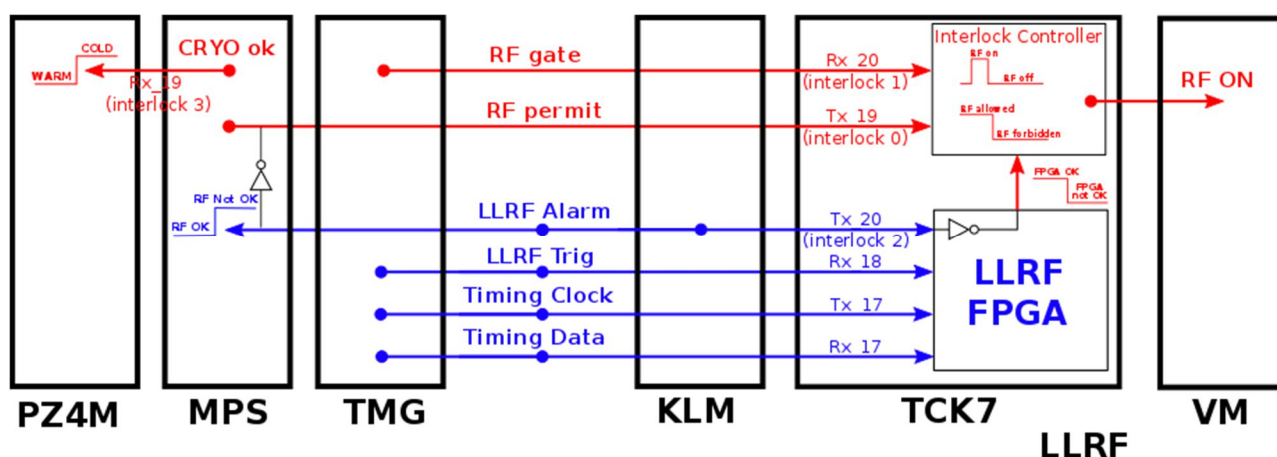
W celu zapewnienia kompatybilności modułów systemu LLRF autor zaproponował dwie grupy sygnałów oraz opracował wewnątrz standard w DESY [H13]:

- Sygnały zabezpieczające.
- Sygnały wyzwalania i synchronizacji.

W systemie LLRF sygnały zabezpieczające odpowiedzialne są za blokowanie sygnału RF wychodzącego z modulatora wektorowego w przypadku, gdy akcelerator nie jest aktywny oraz w sytuacjach awaryjnych. Sygnały zabezpieczające wraz z przypisanymi funkcjami zaznaczono na rysunku 22 kolorem czerwonym. Autor zaproponował realizację układu sterującego sygnałami zabezpieczającymi jako układ cyfrowy z wykorzystaniem bezpiecznej polaryzacji (failsafe biasing) standardów LVDS/M-LVDS oraz redundancji [H11], [H13]. Ze względu na wymaganą dużą niezawodność zrezygnowano z użycia układów programowalnych do jego budowy. Zanik jednego z napięć zasilających moduły lub brak połączenia w torze układów zabezpieczających powoduje aktywację sygnału zabezpieczającego i odcięcie sygnału RF.

Sygnały wyzwalania, alarmowe oraz znakowania czasowego przesyłane są również z wykorzystaniem poziomów M-LVDS (rysunek 22). Powyższe sygnały nie wpływają bezpośrednio na bezpieczeństwo systemu LLRF dlatego możliwa jest ich konfiguracja z wykorzystaniem układów programowalnych. Sygnały zostały zaznaczone kolorem niebieskim na rysunku 22 [H10], [H13].

Autor odpowiedzialny był za opracowanie wewnętrznego standardu (DESY), rozwiązań układowych (automatyczna translacja napięć, układ generacji napięcia referencyjnego dla modułu RTM, system zabezpieczeń) i programowych (mechanizmy zabezpieczające, elektroniczne kluczowanie oraz aktywację grup kompatybilnych sygnałów) budowę prototypów i wykonanie pomiarów. Opracowane przez autora rozwiązania układowe zostały wykorzystane do budowy modułów DAMC-TCK7 i DRTM-VM02.



Rysunek 22 Wykorzystanie sygnałów specjalnych w systemie LLRF na portach M-LVDS 17-20 płyty tylnej kasety MTCA.4.

5.2. System akwizycji obrazu

Habilitant prowadził badania naukowe nad systemami wizyjnymi zbudowanymi w oparciu o standard MTCA.4. Autor zaproponował całkowicie nową architekturę sprzętową dedykowaną dla układów akwizycji i przetwarzania obrazów oraz metodykę projektowania takich systemów. W ramach dalszych badań powstały rozwiązania układowe oraz programowe przeznaczone do akwizycji, transmisji i przetwarzania obrazu o dużej przepustowości (do 1 Tbit/s). Autor zaprojektował i zbudował jeden z pierwszych w skali światowej system akwizycji obrazu wykonany w technologii MTCA.4. Wyniki badań habilitanta zostały wykorzystane do zbudowania prototypowego systemu akwizycji obrazu dla eksperymentu ITER. Projekt oraz jego realizacja została przeprowadzona z wykorzystaniem zaproponowanej przez habilitanta metodyki. Aktualnie autor prowadzi dalsze badania naukowe współpracując z ośrodkiem naukowo-badawczym ITER nad opracowaniem szczegółowej metodyki projektowania systemów I&C tokamaka ITER [19], [35].

Standardy MTCA.0 oraz MTCA.4 nie pozwalają na zbudowanie systemów akwizycji i przetwarzania danych o dużej mocy obliczeniowej. Maksymalna moc tracona w pojedynczym slotcie kasety (maksymalnie 80 W) uniemożliwia użycia komputera o dużej mocy obliczeniowej. Dodatkowym utrudnieniem jest 4 kanałowa magistrala Fat Pipe (porty 4–7 na płycie tylnej) ograniczająca przepustowość danych do komputera (maksymalnie 32 Gbit/s, PCIe x4 generacji 3). Podobne ograniczenia dotyczą użycia akceleratorów GPU. Autor zaproponował wykorzystanie standardu MTCA.4 do budowy systemów akwizycji i przetwarzania obrazu o dużej mocy obliczeniowej. Opracował, zbudował i przebadął nowe architektury sprzętowe, nowe rozwiązania układowe oraz programowe pozwalające na pokonanie obecnych ograniczeń standardu MTCA.4. Zaprojektowany przez autora układ przewodowego interfejsu PCIe pozwolił na zastosowanie zewnętrznego komputera o dużej mocy obliczeniowej wyposażonego dodatkowo w kartę z procesorem GPU [H17]. Otworzyło to nowe możliwości budowy systemów akwizycji i przetwarzania obrazów z wykorzystaniem standardu MTCA.4. Autor zaprezentował wyniki badań interfejsu o szerokości 16 kanałów (PCIe x16, generacji 3 o teoretycznej przepustowości 128 Gbit/s) pozwalającego osiągnąć praktyczny transfer 85 Gbit/s (przepustowość 4 razy większa niż w przypadku komputera umieszczonego w kasecie MTCA.4) [H17]. Takie podejście umożliwia przetwarzanie danych z kilku kamer o dużej rozdzielczości. W przypadku systemu diagnostyki plazmy eksperymentu ITER możliwe jest odebranie sygnału z 22 kamer (1 Mpx, 1000 fps) z użyciem tylko jednej kasety MTCA.4. Możliwe jest dalsze zwiększenie transferu do zewnętrznego komputera wykorzystując drugi interfejs PCIe x16 umieszczony na panelu przednim modułu MCH, co daje teoretyczny transfer 256 Gbit/s. Dalsze zwiększenie przepustowości możliwe jest przez użycie drugiego przełącznika PCIe umieszczonego na drugim module MCH oraz wykorzystanie interfejsu Extended Fat Pipe (porty 8–11 na płycie tylnej). Pozwala to zwiększyć teoretyczny transfer do 512 Gbit/s. Finalnie, użycie protokołu PCIe czwartej generacji (16 Gbit/s na jeden kanał) pozwala uzyskać przepustowość na poziomie 1 Tbit/s. Użycie interfejsu o tak dużej przepustowości, zewnętrznego komputera wyposażonego w akcelerator GPU daje możliwość wykorzystania algorytmów równoległego przetwarzania obrazu i pozwala na aplikację standardu MicroTCA również w innych nowych zastosowaniach, np.: w medycynie (systemy obrazowania, tomografia komputerowa, rezonans magnetyczny) oraz złożonych detektorach wykorzystywanych w fizyce wysokich energii. Możliwe jest również zastosowanie jednej kasety oraz kilku komputerów przetwarzających dane, kilku dodatkowych procesorów GPU, co pozwala w łatwy sposób dopasować

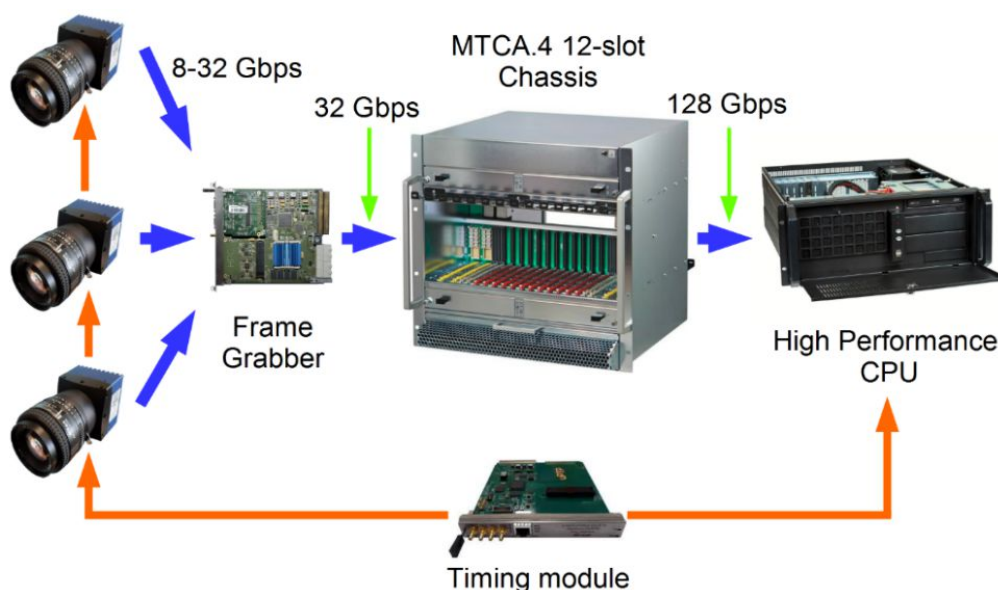
moc obliczeniową systemu do wymagań konkretnej aplikacji. Innym wariantem może być wykorzystanie jednego komputera przetwarzającego dane z kilku kaset MTCA.4 połączonych przy pomocy interfejsu PCIe. Takie podejście pozwala na elastyczne kształtowanie mocy przetwarzania danych w zależności od potrzeb oraz umożliwia dalszą rozbudowę systemu w przyszłości, co jest niezwykle ważne w przypadku systemów przetwarzania danych HEP. Dobrym przykładem są tokamaki (ITER) wymagające analizy i przetwarzania obrazów z setek kamer o dużej rozdzielczości w czasie rzeczywistym. Opracowana przez autora architektura systemu przetwarzania pozwala na osiągnięcie znacznie lepszych rezultatów akwizycji i przetwarzania danych niż standard PXIe oraz rozwiązania lidera w tej dziedzinie – firmy National Instruments (maksymalnie 64 Gbps). Projekt interfejsu PCIe do zewnętrznego komputera jest na etapie standaryzowania w ramach specyfikacji PICMG MTCA.4.1.

5.2.1. System akwizycji obrazu dla eksperymentu ITER

Systemy diagnostyczne tokamaka ITER wymagają użycia ponad 200 kamer cyfrowych, pracujących w zakresie promieniowania widzialnego, podczerwonego i promieniowania gamma, zdolnych do obserwacji plazmy. Systemy wizyjne tokamaka powinny pozwalać na akwizycję oraz przetwarzanie obrazu o rozdzielczości od 1 do 8 milionów pikseli rejestrowanych z szybkością od 50 do 50000 ramek na sekundę [H15]. Dla przykładu kamera cyfrowa o rozdzielczości 1 Mpx pracująca z częstotliwością 1000 klatek na sekundę generuje strumień danych przekraczający 8 Gb/s¹⁸ [H15]. System wizyjny przetwarzający dane z 10 kamer dostarcza strumień danych wymagający przepustowości rzędu 80 Gb/s. Synchronizacja obrazów z kamer oraz znakowanie czasowe ramek powinno odbywać się z dokładnością poniżej 50 ns (rms). Systemy wizyjne powinny przetwarzać obrazy w czasie rzeczywistym, dostarczając informacje do systemu zabezpieczającego tokamak przed zniszczeniem, w ciągu kilkuset mikrosekund. Dane wykorzystywane do sterowania plazmą powinny zostać dostarczone w czasie poniżej 100 milisekund. Autor zaproponował użycie układów FPGA pozwalających na zachowanie norm czasowych w pierwszym przypadku, natomiast w drugim możliwe jest zastosowanie akceleratorów GPU dedykowanych do równoległego przetwarzania obrazu.

Realizacja sprzętowa systemu akwizycji i przetwarzania danych o strumieniu setek gigabitów stanowi poważne wyzwanie dla projektantów. Kamery oraz systemy akwizycji danych będą pracowały w niewielkiej odległości od tokamaka i będą narażone na wpływ niszczącego promieniowania neutronowego i gamma, co dodatkowo komplikuje realizację systemu. Do budowy tak złożonego systemu potrzebna jest platforma sprzętowa nie tylko pozwalająca na przesyłanie i przetwarzanie dużych strumieni danych, ale zapewniająca również łatwość rozbudowy systemu, dużą niezawodność i możliwość łatwej diagnostyki i serwisowania. Dzięki zastosowaniu systemu zarządzania i monitorowania IPMI, standard MTCA.4 pozwala na budowę skalowalnych systemów o zwiększonej niezawodności. MTCA.4 jest stosunkowo nową specyfikacją i brakuje dedykowanych modułów do akwizycji, przetwarzania i transmisji danych z dużymi przepustowościami. W tym czasie nie był dostępny moduł AMC pozwalający na synchronizację danych z wykorzystaniem protokołu IEEE 1588 [H16], [36].

¹⁸ Przy założeniu 8-bitów potrzebnych na zakodowanie koloru.



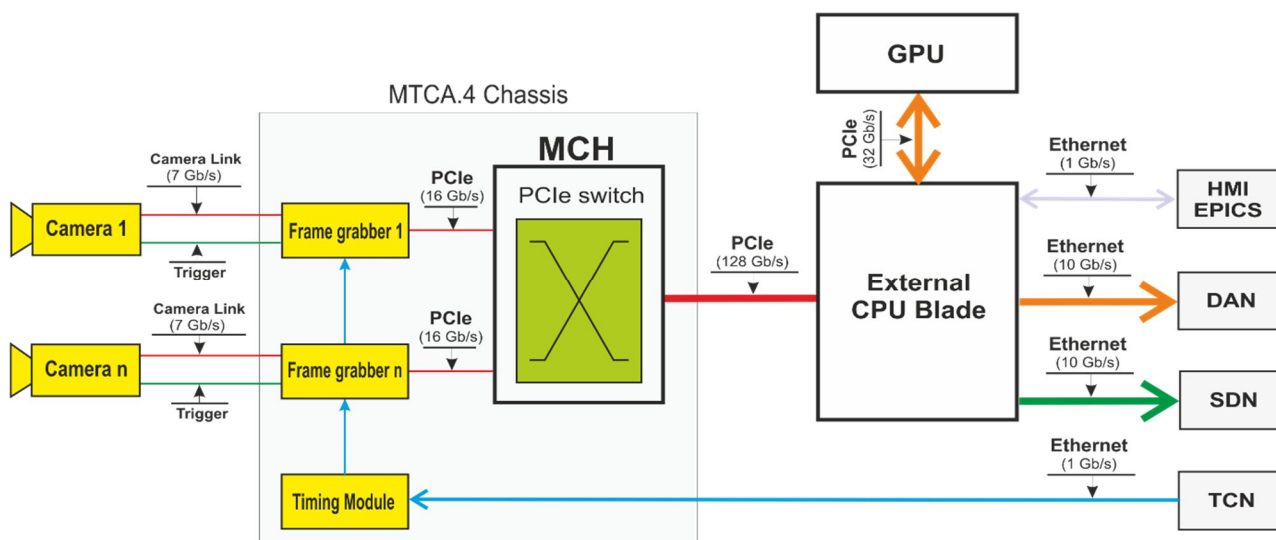
Rysunek 23 System akwizycji obrazu w technologii MTCA.4 zaproponowany przez habilitanta.

Habilitant był odpowiedzialny za opracowanie koncepcji systemu akwizycji i przetwarzania obrazu z wykorzystaniem technologii MTCA.4. Miał znaczący udział w projekcie prototypów dedykowanych modułów do akwizycji i przetwarzania danych, modułu synchronizacji czasowej PTM-1588, [22], [23], dedykowanego interfejsu PCIe o przepustowości 128 Gbit/s [H17] oraz oprogramowania do akwizycji i przetwarzania obrazów [H15], [24]. Komponenty wykorzystane w systemie akwizycji i przetwarzania obrazu przedstawiono na rysunku 23.

Zaproponowana architektura systemu pozwala na zastosowanie komputera wyposażonego w akcelerator obliczeniowy GPU. W przypadku klasycznego systemu MTCA.4 nie jest możliwe użycie procesora GPU o dużej mocy obliczeniowej¹⁹. Autor wydzielił klasy algorytmów przetwarzania obrazu dla projektu ITER ze względu na sposób realizacji FPGA, GPU lub CPU. Układy FPGA umożliwiają uzyskanie rezultatów obliczeń w krótkim czasie (poniżej 10 mikrosekund) jednak implementacja algorytmów jest kosztowna i czasochłonna. Z tego względu złożone algorytmy, które mogą być przetworzone w dłuższym czasie (powyżej kilkunastu mikrosekund) obliczane są przez CPU lub akcelerator GPU. Układy FPGA wykorzystywane są do realizacji algorytmów chroniących maszynę przed zniszczeniem, natomiast CPU lub GPU do algorytmów odpowiedzialnych za stabilność plazmy. Autor prowadzi dalsze badania naukowe mające na celu implementację algorytmów przetwarzania obrazu w ramach prac doktorskich realizowanych po jego opiece.

Schemat architektury zaproponowanego przez autora systemu akwizycji i przetwarzania danych wykonanego w technologii MTCA.4 przedstawiono na rysunku 24. Dane z kamer rejestrowane są przy pomocy kart akwizycji obrazu umieszczonego w kasecie [23].

¹⁹ Ze względu na ograniczenie mocy w pojedynczym slotcie kasy MicroTCA.4 do 80 W nie jest możliwe wykorzystanie akceleratora GPU o dużej mocy obliczeniowej. Obecnie dostępne rozwiązania komercyjne (np. Concurrent AG A1x/m1d z procesorem NVIDIA Tegar K1) pozwalają na uzyskanie mocy obliczeniowej poniżej 1 TFLOP-a (Tera Floating point Operations Per Second), natomiast dedykowane akceleratory serwerowe (np. NVIDIA TESLA K80) dostarczają 10-krotnie większą moc obliczeniową.



Rysunek 24 Schemat blokowy systemu akwizycji obrazu zbudowanego w oparciu o standard MTCA.4 [H15].

Wstępnie przetworzone dane przesyłane są do zewnętrznego komputera przemysłowego o dużej mocy obliczeniowej wyposażonego w akcelerator GPU²⁰. Dane z kamer cyfrowych przesyłane są interfejsem Camera Link do modułu akwizycji obrazu zrealizowanego, jako moduł AMC umieszczonego w kasecie MTCA.4. Moduł akwizycji danych pozwala na sterowanie kamerami, buforowanie obrazów oraz realizację czasowo krytycznych algorytmów rozpoznawania obrazu. Dane przesyłane są przy pomocy interfejsu PCIe dostępnego na płycie tylnej kasety MTCA.4 do modułu MCH [H17]. Zewnętrzny komputer dołączony jest przy pomocy opracowanej przez autora dedykowanej karty przesyłającej dane z przełącznika PCIe umieszczonego na module MCH z maksymalną przepustowością 128 Gbit/s. Zaproponowane przez autora rozwiązanie umożliwi pokonanie ograniczeń magistrali tylnej kasety MTCA.4 spowodowanych 4-kanalowym interfejsem PCIe pomiędzy modułami AMC a przełącznikiem PCIe na module MCH. Zdjęcie dedykowanego interfejsu PCIe x16 dla MTCA.4 przedstawiono na rysunku 25.

W celu synchronizacji obrazu rejestrowanego przez kamery cyfrowe oraz znakowania czasowego zdarzeń, zaprojektowany został moduł PTM-1588 [H16]. Moduł AMC zrealizowano z wykorzystaniem układu programowalnego Spartan 6 firmy Xilinx. Autor opracował układ bazujący na stabilizowanym termicznie, przestrajalnym oscylatorze OCVCXO (Oven Controlled Voltage Controlled Crystal Oscillator) oraz uczestniczył w opracowaniu algorytmu PID do stabilizacji pętli PLL, co pozwoliło na uzyskanie stabilności lepszej niż 12 ns (rms). Autor opracował koncepcję układu, kierował zespołem, miał znaczący wpływ w napisaniu dedykowanego oprogramowania dla modułu PTM-1588 (układ FPGA), sterownika MMC zgodnego z wymaganiami standardów AMC i MTCA.4 oraz sterownika dla systemu operacyjnego Linux a także oprogramowania bazującego na technologii EPICS. W ramach pracy doktorskiej realizowanej pod opieką habilitanta (promotor pomocniczy) opracowano 3 prototypy modułów akwizycji obrazu zgodne ze standardem MTCA.4 oraz oprogramowanie do akwizycji i przetwarzania obrazu z wykorzystaniem układów FPGA [37].

²⁰ Ze względu na ograniczenie przez standard MicroTCA.4 maksymalnej mocy w pojedynczym slotcie kasety MicroTCA.4 do 80 W autor zdecydował się na użycie zewnętrznego komputera.



Rysunek 25 Przewodowy interfejs PCIe x16 generacji 3 do zewnętrznego komputera przetwarzającego dane, dedykowany dla systemów bazujących na standardzie MTCA.4 [H17].

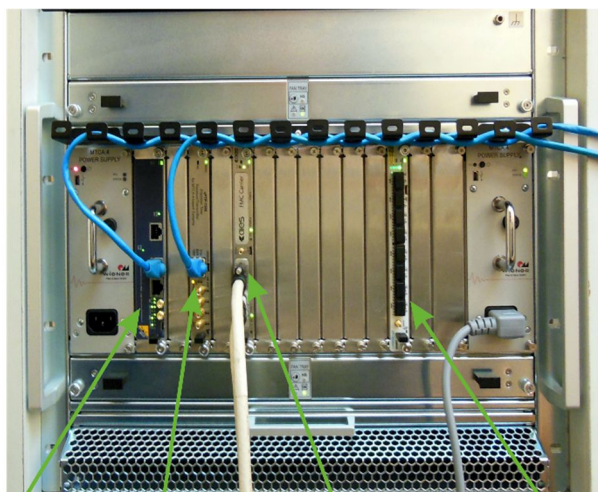
Zdjęcie wyprodukowanego prototypu modułu przedstawiono na rysunku 26. Moduł PTM-1588 jest obecnie produkowany komercyjnie (MPTM-1588) przez firmę AIES w ramach licencji sprzedanej przez Politechnikę Łódzką.

Pomiary wydajności oraz testy poszczególnych modułów i całego systemu akwizycji obrazu autor przeprowadził w laboratorium CADAQ na Politechnice Łódzkiej (testy wewnętrzne FAT – Factory Acceptance Tests). Finalne testy systemu zostały wykonane w ośrodku naukowo-badawczym ITER (testy zewnętrzne SAT – Site Acceptance Tests). Zdjęcia systemów wykorzystywanych podczas testów przedstawiono na rysunkach 27a i 27b.



Rysunek 26 Zdjęcie modułu synchronizacji czasowej PTM-1588 [H16].

a)



MCH with PCIe Bus Timing Module PTM-1588 Frame Grabber with CL Interface Data Processing Module CM045

b)



Rysunek 27 Zdjęcie systemu akwizycji obrazu w technologii MTCA.4 zbudowanego przez autora: kaseta w laboratorium CADAQ (rysunek a) oraz system zainstalowany w laboratorium w ośrodku ITER (rysunek b).

Podczas pomiarów autor wykorzystał kamery Mikrotron MC3010 połączone przy pomocy interfejsu Extended-Full Camera Link. System akwizycji obrazu spełniał wymagania określone przez ITER. Zmierzona dla modułu PTM-1588 długoterminowa stabilność synchronizacji czasu wynosiła 11.7 ns (rms) [H16], co z nadmiarem spełnia wymagania określone przez ITER [21]. Pomiary przepustowości interfejsu PCIe autor przeprowadził wykorzystując karty akwizycji obrazu MFG4 oraz moduły CM045²¹. Pomiary wykonane z użyciem kilku różnych komputerów z interfejsem PCIe generacji 3 pozwoliły na uzyskanie maksymalnej przepustowości 53 Gbit/s (teoretyczny transfer 64 Gbit/s), co jest bardzo dobrym rezultatem²² [H17]. Zastosowanie pełnej wersji interfejsu (PCIe x16) pozwala na odbiór danych z pojedynczej 12-slotowej kasety MTCA.4 (22 kamery wizyjne)²³.

²¹ Układy FPGA dostępne na modułach CM045, wykorzystywanych w systemie LLRF, zostały zaprogramowane zmodyfikowaną wersją oprogramowania do akwizycji obrazu imitując w ten sposób kamery cyfrowe.

²² Podczas testów autor wykorzystał interfejs PCIe x8.

²³ Moduł PTM-1588 zajmuje jeden slot.

6. Badania nad układami zarządzania i diagnostyki złożonych systemów xTCA

Badania naukowe oraz projekty opisane w rozdziale 5 bazują na następujących publikacjach: [H1], [H8], [H9], [H10], [H11], [H14].

Jednym z ważnych wymagań niefunkcjonalnych systemów wykorzystywanych w fizyce wysokich energii jest zapewnienie dużej dostępności maszyny. Zwiększanie dostępności maszyny jest możliwe przez polepszenie niezawodności poszczególnych podsystemów, zastosowanie redundancji układów oraz mechanizmów diagnostycznych. Z tego względu diagnostyka i przewidywanie uszkodzeń lub zbliżających się awarii są jednym z ważniejszych kryteriów budowy złożonych, rozproszonych systemów elektronicznych wykorzystywanych w fizyce wysokich energii.

Standardy telekomunikacyjne AdvancedTCA i MicroTCA wykorzystują mechanizmy IPMI do zarządzania i diagnostyki urządzeń umieszczonych w kasecie [2], [4]. Głównym zadaniem systemu IPMI jest ciągłe monitorowanie stanu komponentów kasety, takich jak układy zasilające, wentylatory w systemie chłodzenia oraz parametrów układów: temperatury, napięć zasilających oraz poboru prądów w celu wykrycia potencjalnych awarii. W przypadku zbliżającej się awarii systemu chłodzenia wcześniej występują objawy związane ze spadkiem obrotów wentylatora oraz wzrostem temperatury w pewnej części kasety. Wykorzystanie redundancji oraz prawidłowe reagowanie na sygnały alarmowe pozwala na znaczne zwiększenie niezawodności całego systemu i uzyskanie dostępności urządzenia na poziomie do 99,999%, co przekłada się na około 6 minut awarii w ciągu roku [4], [H18].

W systemach xTCA praca wszystkich urządzeń monitorowana jest przez układ zarządzający kasetą, tzw. Shelf Manager (AdvancedTCA) lub Carrier Manager (MicroTCA). Pozostałe komponenty: układ zasilania PSM (Power Supply Module), karty AMC i RTM, moduł wentylatorów (fan tray) korzystają z wbudowanych lokalnych urządzeń zarządzająco-monitorujących nazywanych: IPMC (Intelligent Platform Management Controller) w przypadku płyty nośnej ATCA oraz MMC lub RMC (Module Management Controller, RTM Management Controller) stosowany w przypadku modułów AMC, RTM lub EMMC (Enhanced MMC) używany w zasilaczach i systemach chłodzących.

Wykorzystywane w systemach AdvancedTCA sterowniki IPMC oraz MMC zaprojektowane są pod kątem cyfrowych urządzeń telekomunikacyjnych i nie dostarczają specjalizowanej funkcjonalności wymaganej przez urządzenia fizyki wysokich energii. Autor prowadził badania naukowe mające na celu opracowanie nowych, dedykowanych systemów wbudowanych, rozwiązań układowych oraz programowych, a także metod przeznaczonych do realizacji układów diagnostyki, zarządzania i sterowania w systemach AdvancedTCA i MicroTCA mając na uwadze specyficzne wymagania systemów wykorzystywanych w fizyce wysokich energii [H8], [H9], [H11], [H14]. W ramach badań naukowych habilitant opracował i przebadął kilkanaście prototypów układów zarządzania modułami AdvancedTCA/MicroTCA dedykowanych dla systemów wykorzystywanych w akceleratorach cząstek elementarnych oraz tokamakach. Rezultaty badań pozwoliły na opracowanie referencyjnych rozwiązań układowych i programowych (szablony), które wykorzystywane są obecnie przez znaczną liczbę zagranicznych ośrodków naukowo-badawczych oraz firmy²⁴. Habilitant udostępnił rezultaty

²⁴ Rozwiązania układowe wykorzystywane są przez instytucje naukowe: m.in. DESY, CERN, NIFI, ESS, SLAC, HZB, KIT, IHEP oraz następujące firmy: Struck, Qualcomm, Creotech Instruments, CAENels, eicSys.

swoich badań naukowych organizacji PICMG oraz uczestniczył w opracowaniu nowego standardu PICMG MTCA.4.1 [H14], [6].

Autor był odpowiedzialny za kierowanie zespołami po stronie Politechniki Łódzkiej oraz w ośrodku naukowo-badawczym DESY prowadzącymi prace naukowe nad systemami zarządzania i diagnostyki urządzeń xTCA. W ramach badań naukowych opracował następujące układy (rozwiązania układowe i programowe) oraz miał znaczny wkład w projekt i uruchomienie następujących układów:

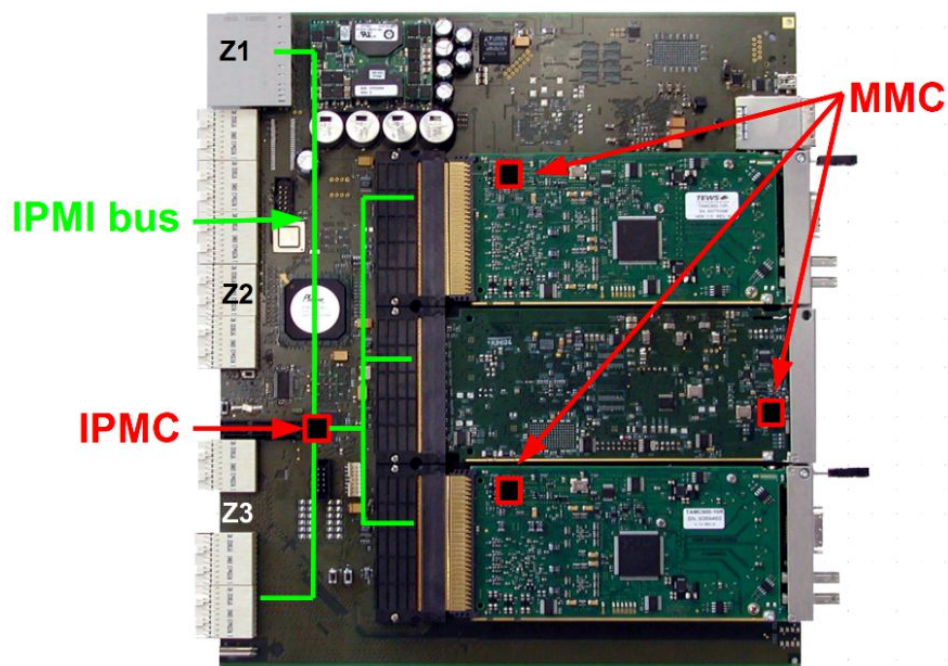
- Trzech prototypów sterownika IPMC przeznaczonych do sterowania płytą AdvancedTCA systemu LLRF oraz sterownikiem elementów piezoelektrycznych [H2], [H7], [H9].
- Prototypu układu MMC sterującego modułami AMC systemu LLRF zbudowanego w oparciu o technologię AdvancedTCA [H1], [12], [13].
- Dwóch wersji układów zarządzania MMC (podstawowy i zaawansowany) dedykowanych dla modułów AMC systemu MTCA.4 [H14], [14].
- Dwóch wersji układów zarządzania RMC (podstawowy i zaawansowany) przeznaczonych dla modułów RTM systemu MTCA.4 [H14], [14] – rozwiązanie wersji podstawowej RMC wykorzystane zostało do opracowania standardu MTCA.4.1 [6].
- Specjalizowanych urządzeń i narzędzi do projektowania i debugowania sterowników IPMC (analizator protokołu IPMI, generator rekordów FRU (Field Replaceable Unit)) [H8].
- Projektów referencyjnych oraz urządzeń ewaluacyjnych przeznaczonych do rozwoju układów MMC i RMC systemu MTCA.4 [H14], [14].
- Nowych rozwiązań układowych oraz oprogramowania sterownika MMC przeznaczonych do zarządzania płytą tylną RF systemu LLRF oraz modułami ERTM (Enhanced RTM) [H14] – rozwiązanie wykorzystane do opracowania standardu MTCA.4.1 [6].
- Narzędzi oraz skryptów pomocnych przy opracowywaniu rekordów FRU.
- Unikatowej platformy do aktualizacji oprogramowania układów programowanych (CPLD, FPGA, DSP, CPU) systemu LLRF [H11].

Autor współpracuje również z niemiecką firmą NAT, producentem modułów zarządzających MCH dla systemów MicroTCA, nad opracowaniem nowego systemu zarządzania i diagnostyki dla płyty tylnej RF kasety zgodnej ze standardem MicroTCA.4.1 [6]. Wyniki badań naukowych dotyczące systemu zarządzania płytą tylną RF zostały wykorzystane w opracowywanym standardzie PICMG MTCA.4.1 [6].

6.1. Sterownik IPMI dla systemu AdvancedTCA

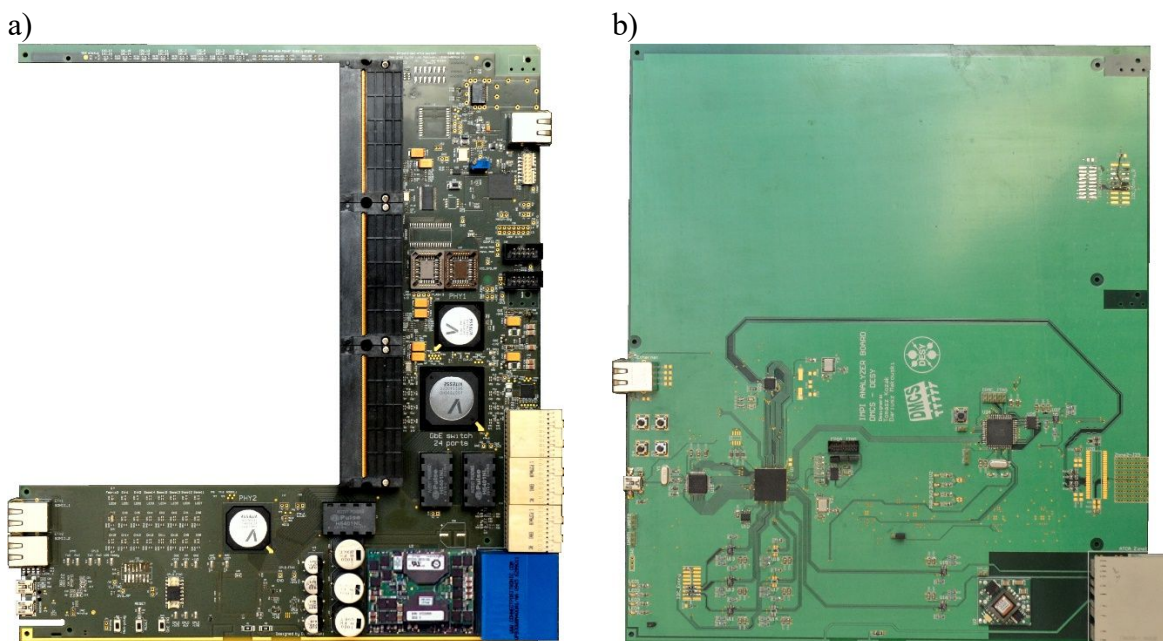
Wykorzystywane w systemie LLRF urządzenia wymagały zaprojektowania nowego, dedykowanego sterownika IPMC dla zbudowanych prototypów płyt AdvancedTCA (płyta nośna i sterownik elementów piezoelektrycznych) oraz sterownika MMC dla 5 modułów AMC. Dostępne komercyjne implementacje (Pigeon Point BMR-A2F IPMC), opracowane na potrzeby systemów telekomunikacyjnych, nie dostarczały specjalizowanej funkcjonalności wymaganej przez urządzenia wykorzystywane w fizyce wysokich energii.

Habilitant opracował pierwszy prototyp sterownika MMC przy wykorzystaniu mikrokontrolera ATmega. Testy oprogramowania przeprowadził wykorzystując moduł AMC B [H1], [12], [13]. W ramach dalszych prac badawczych habilitant opracował architekturę oraz zbudował 3 kolejne prototypy układów IPMC wykorzystując mikrokontrolery firmy Atmel (ATmega) oraz firmy Renesas (rodzina H8S) [H9].



Rysunek 28 Systemy zarządzające: IPMC na płycie nośnej zgodnej ze standardem AdvancedTCA oraz trzech układów MMC na modułach AMC.

Zdjęcie drugiego prototypu płyty nośnej dla systemu LLRF wraz z zaznaczonymi układami IPMC, MMC oraz magistralami IPMI przedstawiono na rysunku 28. Druga wersja systemu oparta została na 16-bitowym mikrokontrolerze Renesas H8S/2166, natomiast trzecia wersja sterownika IPMC wykorzystywała mikrokontroler Renesas H8S/2472 wyposażony w dodatkowy interfejs Ethernet 100Base-T. Interfejs Ethernet wykorzystywany jest do aktualizacji oprogramowania mikrokontrolera IPMC, układów FPGA i DSP używanych na płycie nośnej AdvancedTCA. Zdjęcie zaprojektowanej i zbudowanej przez autora płyty AdvancedTCA dedykowanego przełącznika sieciowego Ethernet 1000Base-X wyposażonej w trzecią wersję sterownika IPMC przedstawiono na rysunku 29a.



Rysunek 29 Płyta AdvancedTCA wykorzystująca opracowany sterownik IPMC (rysunek a) oraz płyta analizatora IPMI dla standardu AdvancedTCA (rysunek b) [H8].

Opracowane przez autora sterowniki IPMC i MMC wspierały wymagane przez specyfikację AdvancedTCA i AMC rozkazy IPMI oraz nowe mechanizmy zarządzania opracowane na potrzeby systemu LLRF, m.in.: sterowanie przełącznikami konfiguracyjnymi interfejsy systemu LLRF PCIe i LLL na płycie tylnej, aktualizację oprogramowania układów programowalnych (FPGA, procesory, układy DSP), sterowanie i zarządzania układami programowalnymi: FPGA, DSP, diagnostykę systemów analogowych i cyfrowych, itd.

Habilitant opracował również nowe rozwiązania sprzętowe (dynamiczna rozbudowa magistrali, mechanizmy hot-swap, przełączenie oraz konfiguracja interfejsów gigabitowych) oraz programowe dedykowanych do sterowania systemami wykorzystującymi gigabitowe interfejsy szeregowo: PCI Express, Gigabit Ethernet, interfejsy o niskiej latencji [H1], [H3], [H4], [H7], [H9]. Zaproponowane przez autora rozwiązania pozwoliły na rozbudowę systemu LLRF przez zainstalowanie kolejnych modułów AdvancedTCA oraz wymianę uszkodzonych modułów bez potrzeby wyłączenia zasilania i ponownego uruchomienia systemu. Była to pierwsza na świecie próba dynamicznej rozbudowy magistrali PCIe w działającym systemie zgodnym ze standardem AdvancedTCA. W ramach badań autor opracował dedykowane oprogramowanie dla sterownika IPMC [H9], przełącznika PCIe, układów FPGA [H7], sterownik programowy dla systemu operacyjnego Linux oraz skrypty i programy pozwalające na zarządzanie magistralą PCIe [H4]. Pomiary opóźnienia dla interfejsu PCIe (1 μ s podczas zapisu i 2 μ s podczas odczytu) wykazały, że interfejsu PCIe nie można użyć do transmisji sumy wektorowej w systemie LLRF, gdzie opóźnienie pętli sprzężenia zwrotnego powinno wynosić maksymalnie 2 μ s [H3]. Interfejs PCIe został wykorzystany do konfiguracji i odczytu danych diagnostycznych z modułów systemu LLRF.

Opracowane rozwiązania układowe oraz programowe pozwoliły na wymianę danych pomiędzy 6 płytami AdvancedTCA w trybie full-mesh. Umożliwiło to zbudowanie systemu LLRF przetwarzającego dane z 32 wnęk przyspieszających, wyposażonego w dodatkowy sterownik elementów piezoelektrycznych oraz pozwala na dalszą rozbudowę systemu. Takie podejście wyeliminowało wielokrotne kopiowanie danych pomiędzy układami FPGA i umożliwiło redukcję opóźnienia transmisji danych w pętli sprzężenia zwrotnego sterownika LLRF z 1050 ns do 300 ns.

Podczas prowadzonych badań nad sterownikami IPMC niezbędne było monitorowanie kilku magistral I²C wykorzystywanych na płycie AdvancedTCA. W celu lepszego zrozumienia mechanizmów zarządzania IPMI i ułatwienia procesu debugowania autor zaprojektował oraz nadzorował realizację dedykowanej płyty AdvancedTCA analizatora IPMI [H8]. Zdjęcie urządzenia przedstawiono na rysunku 29b.

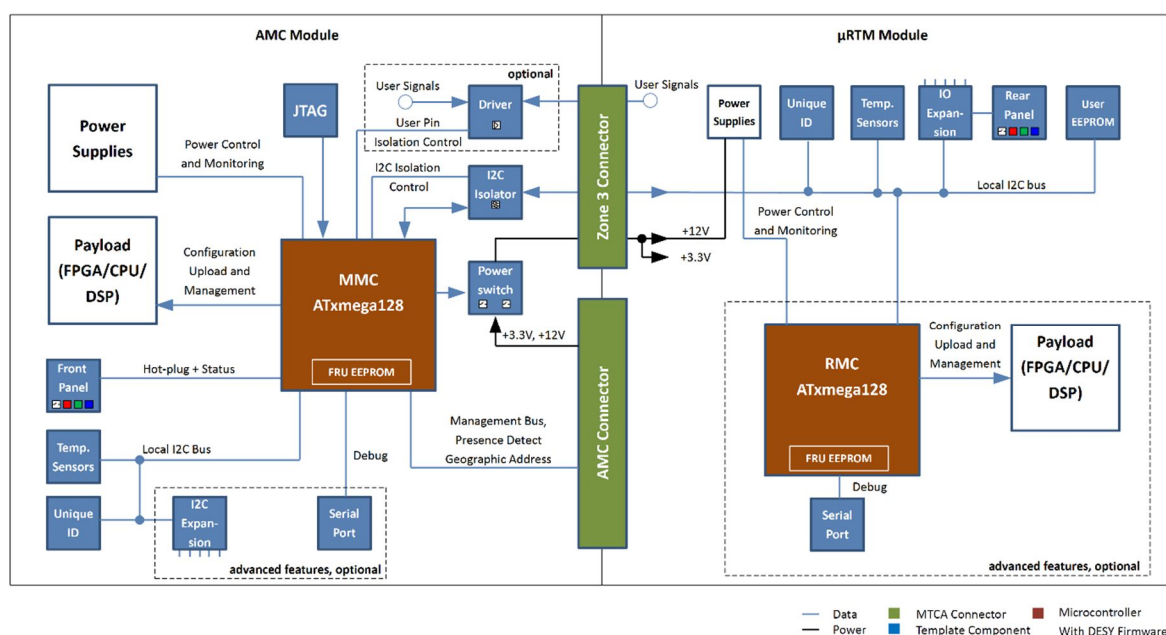
Habilitant odpowiedzialny był za opracowanie architektury układowej i programowej sterowników MMC i IPMC dla systemu zbudowanego w oparciu o standard ATCA [H7], [H9]. Zaprojektował, oprogramował i przebadął prototypy płyty ATCA-CB [12] oraz modułu AMC B [H1]. Kierował zespołem pracującym nad kolejnymi wersjami prototypów oraz oprogramowaniem dla mikrokontrolerów realizujących zadania MMC i IPMC oraz miał znaczny udział w tych badaniach [12], [13].

6.2. Sterownik IPMI dla system MicroTCA

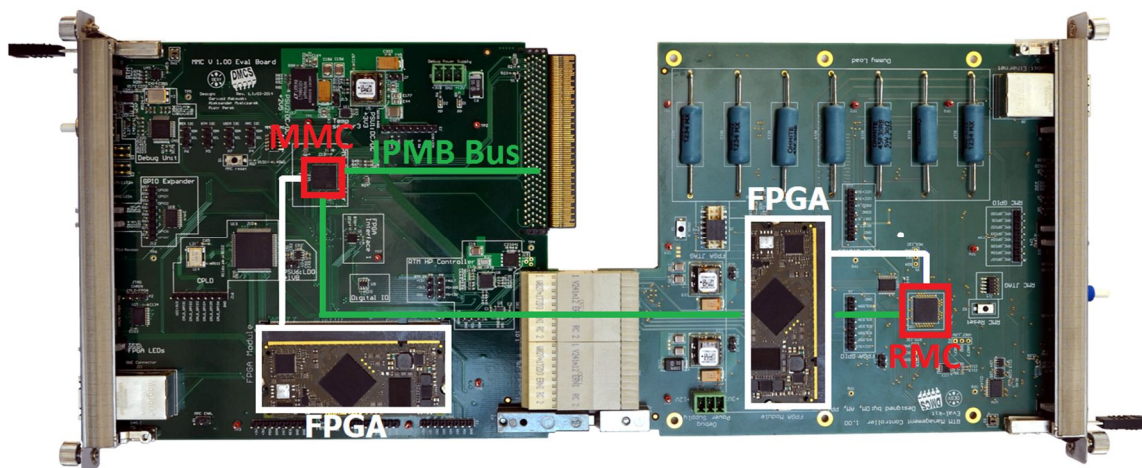
Podobnie jak w przypadku standardu AdvancedTCA, w systemie MTCA.4, moduły AMC i RTM wymagają zastosowania sterownika MMC oraz RMC realizującego zadania zarządzania i diagnostyki

IPMI. Habilitant odpowiedzialny był za zaprojektowanie, zbudowanie oraz przebadanie nowych prototypów sterowników MMC oraz RMC na potrzeby nowego standardu MTCA.4. Na rynku nie istniały w tym czasie (2007–2013) rozwiązania zgodne ze standardem MTCA.4. Badania naukowe obejmowały opracowanie oraz przebadanie nowych rozwiązań układowych oraz programowych zapewniających funkcjonalność wymaganą przez nową specyfikację MTCA.4 (układ zasilania i zarządzania modułem RTM, zarządzanie układami programowalnymi: procesory, procesory DSP, układy FPGA, CPLD, zarządzania interfejsami na panelu tylnym, sygnałami wyzwalania, synchronizacji, zabezpieczenia E-keying na panelu tylnym, itd.). Autor zaimplementował nowe mechanizmy pozwalające na detekcję modułów RTM, rejestrację w systemie IPMI, aktywację/deaktywację modułu, sterowanie i diagnostykę napięć zasilających MP/PP (Management, Payload Power), dynamiczne tworzenie sensorów SDR dla modułu RTM [H10], [H12], [H14]. Opracował nowe mechanizmy diagnostyki modułów AMC i RTM zgodnych ze standardem MTCA.4 z wykorzystaniem sensorów SDR (pomiar napięć, prądów, temperatur w kilku kluczowych miejscach), automatyczne zgłaszanie zdarzeń w systemie oraz systemu zarządzania układami programowalnymi (CPU, FPGA, DSP) [H10], [H12], [H13], [H14].

Wyniki badań naukowych autora zostały finalnie wykorzystane do budowy modułów AMC oraz RTM dla akceleratorów FLASH i E-XFEL. System LLRF akceleratora XFEL zbudowany w oparciu o standard MTCA.4 wyposażony jest w dwanaście modułów AMC i jednaście kart RTM (rysunek 14) [H13]. Każda z kart wymaga użycia dedykowanego sterownika MMC lub RMC. Z tego powodu zdecydowano się na unifikację rozwiązania i realizację projektu szablonu MMC 1.00 obejmującego układ dedykowanego sterownika MMC i RMC oraz oprogramowania, które mogłoby zostać wykorzystane do budowy nowych modułów. Szablony MMC i RMC zostały zaprojektowane przez autora na podstawie układów opracowanych wcześniej dla systemu bazującego na standardzie AdvancedTCA oraz na modułach sterownika czasu rzeczywistego DAMC-TCK7 i modulatora wektorowego DRTM-VM02 [H10], [H12], [H13]. Schemat blokowy zaproponowanego przez habilitanta szablonu dla sterownika MMC i RMC przedstawiono na rysunku 30 [H14].



Rysunek 30 Architektura sterownika MMC 1.00 dla modułu AMC oraz sterownika RMC dedykowanego dla płytki RTM [H14].



Rysunek 31 Zdjęcie modułów ewaluacyjnych przeznaczonych do rozwoju oprogramowania MMC i RMC [H14].

W celu ułatwienia implementacji sterowników MMC i RMC dla innych modułów akceleratora E-XFEL zaprojektowane zostały dwie karty ewaluacyjne AMC i RTM, które wyposażone zostały w opracowane przez habilitanta rozwiązania oraz przykładowe oprogramowanie. Wykorzystanie modułów pozwala na szybkie zapoznanie się ze sterownikami IPMI oraz opracowanie oprogramowania realizującego zadania sterowników dla własnego rozwiązania. Zdjęcie zaprojektowanych modułów przedstawiono na rysunku 31 [H14].

Ośrodek naukowy DESY udostępnia moduły ewaluacyjne, schematy oraz oprogramowanie w ramach licencji (MMC 1.00 Standardized Solution for Management Controller for MTCA.4). Moduły AMC i RTM cieszą się dużym powodzeniem wśród firm i ośrodków naukowych, które wykorzystują standardy xTCA. Sterownik MMC oraz oprogramowanie zarządzające modulem komercyjnego przetwornika ADC SIS8300L, niemieckiej firmy Struck, (moduł ADC na rysunku 14) zostało zrealizowane w oparciu o opracowany szablon MMC.

Autor koordynował prace nad opracowaniem rozwiązania MMC 1.00 ze strony Politechniki Łódzkiej oraz był odpowiedzialny za opracowanie nowych rozwiązań układowych i programowych dla sterowników MMC i RMC. Opracowane przez autora podstawowe rozwiązanie RMC zostało wykorzystane przez organizację PICMG w opracowywanym standardzie MTCA.4.1 [6].

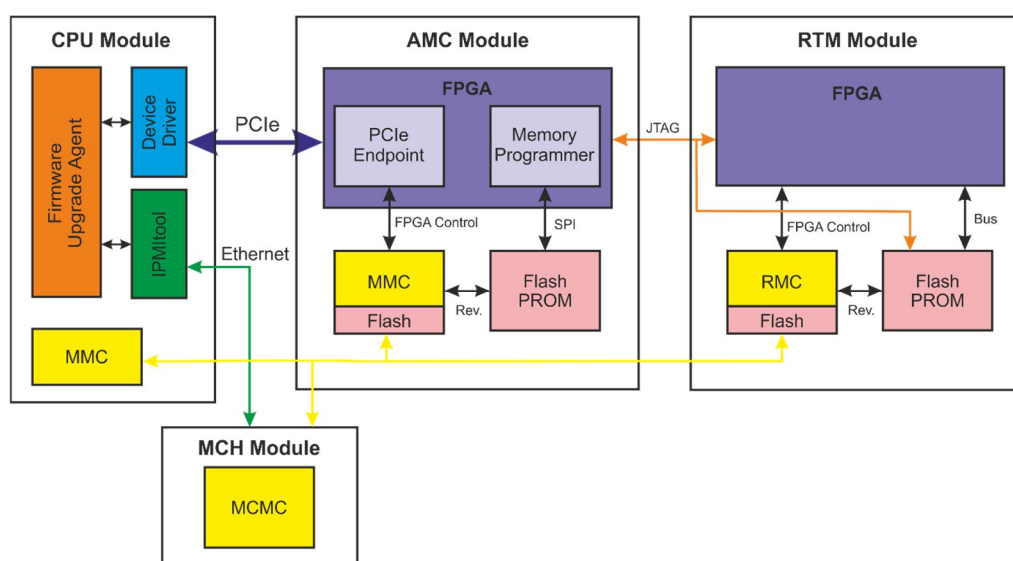
6.3. Aktualizacja oprogramowania w systemach xTCA

System LLRF europejskiego akceleratora E-XFEL zbudowany w oparciu o standard MTCA.4 złożony jest z ponad 50 kaset. W pojedynczej kasecie znajduje się 15 modułów w przedniej części systemu oraz 14 zamontowanych z tyłu (uwzględniając moduły PSM i MCH). Na większości modułów znajdują się mikrokontrolery odpowiedzialne za realizację sterownika MMC lub RMC, co w sumie daje ponad 950 układów. Dodatkowo na 14 modułach znajdują się układy programowalne FPGA (ponad 700 układów). Wszystkie układy programowalne wymagają aktualizacji oprogramowania zarówno w fazie rozwoju oprogramowania jak i w późniejszym okresie podczas regularnej eksploatacji maszyny. Z tego względu opracowana przez habilitanta metodyka projektowania systemów sterowania i akwizycji danych HEP uwzględnia zadania związane z utrzymaniem systemów elektronicznych, oraz aktualizacją oprogramowania układów programowalnych [H18].

Standardy xTCA pozwalają na aktualizację oprogramowania układów MMC i RMC z wykorzystaniem protokołu HPM.1 oraz magistrali IPMI (magistrala I²C)²⁵. Wymaga to zaimplementowania dodatkowych rozkazów IPMI zgodnych ze standardem HPM.1, opracowania procedury programowania nieulotnych pamięci Flash oraz przygotowania programu startowego (boot-loader) dla mikrokontrolerów stosowanych w systemie.

Jedną z trudności było opracowanie nowej metody aktualizacji oprogramowania w krótkim czasie (w ciągu kilku minut) dla dużej liczby układów programowalnych występujących w systemie LLRF (700 układów). Wadą rozwiązania bazującego na standardzie HPM.1 jest długi czas programowania układów spowodowany niską przepustowością magistrali IPMB-L (100 kbit/s), co powoduje, że aktualizacja oprogramowania układu FPGA zajmuje prawie 20 minut (DAMC-TCK7). Z tego względu autor zdecydował się na opracowanie nowych rozwiązań bazujących na interfejsach PCIe o teoretycznej przepustowości 16 Gbit/s (PCIe x4 generacji 2) oraz Gigabit Ethernet pozwalającego na zaprogramowanie układów w znacznie krótszym czasie (poniżej 120 sekund dla płytki DAMC-TCK7)²⁶. Programowanie z zastosowaniem rozwiązania bazującego na HPM.1 wykorzystywane jest w sytuacjach awaryjnych, gdy utracono program ładujący w obu pamięciach Flash i nie ma możliwości posłużenia się rozwiązaniem bazującym na interfejsie PCIe.

Na rysunku 32 przedstawiono schemat ideowy obrazujący rozwiązanie do aktualizacji oprogramowania mikrokontrolerów MMC i RMC z zastosowaniem standardu HPM.1, aktualizacji pamięci Flash przechowujących oprogramowanie układów FPGA umieszczonych na płytках AMC i RTM z wykorzystaniem HPM.1 oraz interfejsu PCIe [H11]. Rozwiązanie zostało zaimplementowane oraz jest wykorzystane na modułach DAMC-TCK7 oraz DRTM-VM02 [H10], [H13].



Rysunek 32 Schemat ideowy platformy do aktualizacji oprogramowania układów MMC, RMC i FPGA w systemie MTCA.4 [H11].

²⁵ W systemach AdvancedTCA możliwa jest aktualizacja oprogramowania z wykorzystaniem protokołu Ethernet oraz standardów HPM.2 i HPM.3.

²⁶ Przepustowość zmierzona dla karty DAMC-TCK7 wynosiła 12 Gbit/s (PCIe x4, generacja 2), a czas aktualizacji oprogramowania dla układu Kintex XC7K420T wynosił 72 sekundy.

Habilitant uczestniczył w badaniach naukowych mających na celu opracowanie nowych rozwiązań układowych i programowych dedykowanych do aktualizacji oprogramowania zbudowanych w oparciu o standard HPM.1 oraz z wykorzystaniem interfejsów gigabitowych PCIe i Gigabit Ethernet. Podczas kilkuletniej pracy nad systemami aktualizacji oprogramowania autor odpowiedzialny był za:

- Opracowanie dedykowanej architektury oraz praktyczną realizację platformy (obejmującej zbudowanie prototypu układów, oprogramowanie układów FPGA, mikrokontrolerów, sterownik dla systemu operacyjnego Linux oraz program ładujący) do aktualizacji oprogramowania układów FPGA i procesorów DSP w systemie AdvancedTCA [H7]. Wykorzystanie interfejsu PCIe o dużej przepustowości pozwoliło na 10-krotnie skrócenie czasu programowania układów.
- Opracowanie nowych rozwiązań układowych oraz ich implementację, umożliwiającą aktualizację oprogramowania sterowników MMC, IPMC, układów programowalnych FPGA oraz procesorów DSP w systemie LLRF zaprojektowanym w technologii AdvancedTCA [H7], [H9].
- Opracowanie nowej koncepcji oraz architektury układu aktualizacji oprogramowania układów FPGA w systemie MTCA.4 [H11].
- Opracowanie nowych rozwiązań układowych i programowych oraz ich implementację, co pozwala na aktualizację oprogramowania sterowników MMC, RMC oraz układów programowalnych FPGA w systemie LLRF bazującym na technologii MTCA.4 [H10], [H13], [H14].

Habilitant miał również znaczący udział w opracowaniu dedykowanego oprogramowania (oprogramowanie mikrokontrolerów, układów FPGA, aplikacje i skrypty pracujące pod systemem operacyjnym Linux) do aktualizacji oprogramowania. W szczególności odpowiedzialny był za:

- Opracowanie programu ładującego (boot-loader) dla modułu DAMC-TCK7 oraz modułu ewaluacyjnego AMC.
- Implementację dedykowanego oprogramowania realizującego protokół HPM.1 dla modułu DAMC-TCK7, DRTM-VM02 oraz modułów ewaluacyjnych AMC i RTM.
- Opracowanie nowego rozwiązania oraz implementację programatora pamięci SPI-Flash układu FPGA dla modułu DAMC-TCK7 z wykorzystaniem protokołu HPM.1.
- Kierowanie grupą prowadząca badania naukowe nad systemami aktualizacji oprogramowania układów FPGA z wykorzystaniem interfejsu PCI Express, które są obecnie wykorzystywane w ośrodku naukowym DESY na następujących płytках [H11]:
 - Moduł sterownika cyfrowego DAMC-TCK7.
 - Moduły modulatora wektorowego: DRTM-VMLF, DRTM-VMHF.
 - Moduł przetwornika analogowo-cyfrowego SIS8300L.
 - Moduł płyty nośnej FMC ogólnego przeznaczenia DAMC2.

7. Podsumowanie

7.1. Podsumowanie wyników badań nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard AdvancedTCA

Prowadzone przez autora badania naukowe oraz osiągnięte rezultaty przyczyniły się do wytyczenia nowych kierunków rozwoju architektury systemów xTCA w zastosowaniach fizyki wysokich energii, w szczególności systemów akwizycji i przetwarzania obrazów. W literaturze brakowało publikacji opisujących metodykę projektowania systemów dla HEP z wykorzystaniem tej technologii, badania habilitanta mają na celu wypełnienie tej niszy. Autor podjął udaną próbę opracowania nowej metodyki projektowania systemów sterowania i akwizycji danych uwzględniającą specyficzne wymagania HEP. Zbudowany prototyp systemu LLRF w oparciu o standard AdvancedTCA, w którego projekcie autor miał dominujący udział, był jedną z pierwszych na świecie prób adaptacji standardów telekomunikacyjnych xTCA do zastosowania w fizyce wysokich energii [H1], [H2], [H3], [H4], [H5], [H6], [H7]. W publikacjach naukowych brakowało informacji dotyczących projektowania urządzeń cyfrowo-analogowych wykonanych w tej technologii, a sam standard nie przewidywał użycia urządzeń analogowych w kasecie. Rynek AdvancedTCA w tym okresie był całkowicie ukierunkowany na rozwiązania telekomunikacyjne. Prowadzone przez autora badania naukowe w wielu przypadkach miały pionierski charakter i wymagały opracowania, zaprojektowania, zbudowania oraz przebadania nowych rozwiązań układowych lub programowych spełniających specyficzne wymagania fizyki wysokich energii. Nowością była możliwość użycia urządzeń analogowych, dedykowanych protokołów o niskim opóźnieniu oraz dystrybucji sygnałów cyfrowych i większości sygnałów analogowych na panelu tylnym kasety, co upraszczało okablowanie systemu oraz podnosiło niezawodność urządzenia. Podsumowanie najważniejszych osiągnięć habilitanta dotyczących badań nad technologią AdvancedTCA:

- Opracowanie oraz praktyczna weryfikacja podstaw metodyki projektowania systemów LLRF z użyciem technologii AdvancedTCA oraz całkowicie nowej architektury systemu LLRF (2 warianty: scentralizowany i częściowo rozproszony) [H2], [H3], [H4], [H7].
- Opracowanie koncepcji oraz udział w realizacji systemu do kompensacji odstrojenia wnęk rezonansowych. Projekt rozwiązań układowych oraz programowych umożliwiających dystrybucję napięć ± 100 V na płytach ATCA-RTM oraz złączach w strefie 3 [H2], [H9].
- Opracowanie nowych protokołów czasu rzeczywistego o niskim opóźnieniu transmisji oraz rozwiązań sprzętowych dedykowanych do transmisji sumy wektorowej w systemie LLRF i ich implementacja z wykorzystaniem płyty tylnej kasety ATCA oraz interfejsów światłowodowych [H3], [H6], [H7].
- Znaczący udział w projekcie nowych dedykowanych modułów dla systemu LLRF, tj.: płyty nośnej ATCA-CB, sterownika elementów piezoelektrycznych oraz modułów AMC: cyfrowego modułu AMC B, modulatora wektorowego, modułu synchronizacji oraz monitorującego promieniowanie radiacyjne [H1], [H2], [H5], [H7].

7.2. Podsumowanie wyników badań nad systemami sterowania i akwizycji danych fizyki wysokich energii zrealizowanych w oparciu o standard MTCA.4

Doświadczenia oraz wiedza uzyskana przez autora podczas badań nad systemem bazującym na technologii AdvancedTCA zostały wykorzystane do opracowania nowego standardu MTCA.4, nowej

metodyki projektowania systemów sterowania i akwizycji danych oraz wytyczyły dwa nowatorskie kierunki badań naukowych:

- Projektowanie systemów sterowania LLRF z wykorzystaniem nowego standardu MTCA.4.
- Projektowanie systemów akwizycji i przetwarzania obrazu o dużej mocy obliczeniowej zbudowanych w oparciu o nową technologię MTCA.4.

Habilitant prowadził prace naukowo-badawcze nad nową metodyką równoległe z opracowaniem nowego standardu, udostępniając wyniki badań organizacji PICMG oraz praktycznie weryfikując proponowane rozwiązania. Podsumowanie najważniejszych osiągnięć habilitanta dotyczących badań nad technologią MTCA.4:

- Opracowanie nowej metodyki projektowania, architektury sprzętowej oraz rozwiązań elektronicznych dla systemów sterowania LLRF wykonanych w technologii MTCA.4 [H18].
- Projekt, praktyczna realizacja oraz zbadanie parametrów nowych modułów podwójnej wysokości: AMC (uTC/DAMC-TCK7, 5 prototypów) i RTM (uVM/DRTM-VM02, 9 prototypów), podczas implementacji, których autor odegrał dominującą rolę [H10], [H12], [H13].
- Opracowanie koncepcji transmisji danych, nowych protokołów, pomiar stopy błędów, przepustowości oraz opóźnienia dla interfejsów pracujących z przepustowościami do 12,5 Gbit/s (jeden kanał) na płycie tylnej MTCA.4 [H13], [H15], [H17]. Obecnie autor kontynuuje prace w ramach organizacji PICMG zajmującej się standaryzacją interfejsu 10/40 Gigabit Ethernet.
- Opracowanie koncepcji nowego, bezpiecznego systemu do dystrybucji sygnałów zabezpieczających oraz rozwiązania do synchronizacji dzielników referencyjnego sygnału zegarowego [H10], [H12], [H13].
- Opracowanie klasy cyfrowej sygnałów (złącza J30/J31) w strefie 3 D1.X (D1.0, D1.1, D1.2, D1.3, D1.4) obejmującej nowe rozwiązania układowe oraz programowe [H10], [H13].
- Opracowanie nowego standardu transmisji sygnałów cyfrowych (Fabric Interface) na płycie tylnej RF, będącego częścią nowej specyfikacji PICMG MTCA.4.1 dedykowanej dla zastosowań fizyki wysokich energii [6].

Warto dodać, że opracowana przez habilitanta metodyka projektowania systemów sterowania dla HEP, a także znaczna część rozwiązań układowych oraz programowych opracowanych przez autora została wykorzystana w finalnej wersji modułów (DAMC-TCK7, DAMC-DS800, DAMC-FMC20, DAMC-FMC25, DRTM-VM02, SIS8300L, uLOG) użytych do budowy akceleratora E-XFEL. Autor prowadzi obecnie badania naukowe mające na celu opracowanie wysokonapięciowej klasy cyfrowej sygnałów w strefie 3 oraz mechanizmów zabezpieczeń na potrzeby projektu ESS.

Badania naukowe zrealizowane przez autora poświęcone systemom wizyjnym zrealizowanym w oparciu o technologię MTCA.4 obejmowały między innymi:

- Propozycję całkowicie nowej architektury oraz metodyki projektowania wydajnych systemów akwizycji, przetwarzania i archiwizacji obrazu, pozwalającej na przetwarzanie danych z szybkością do 1 terabita na sekundę [H15], [H17], [H18]. Jest to jedna z pierwszych na świecie implementacji systemu akwizycji obrazu wykonana w technologii MTCA.4.
- Propozycję architektury systemu akwizycji obrazu dla eksperymentu ITER oraz znaczny udział w realizacji prototypu urządzenia, opracowaniu komponentów sprzętowych i programowych

(moduł akwizycji obrazu, interfejs PCIe do zewnętrznego komputera, oprogramowanie FPGA, sterownik Linux) [H15], [H17].

- Zdefiniowanie klasy algorytmów przetwarzania obrazu dla projektu ITER ze względu na sposób realizacji FPGA, GPU lub CPU. Układy FPGA wykorzystywane są do realizacji algorytmów chroniących maszynę przed zniszczeniem, natomiast CPU i GPU wykorzystywane są do algorytmów odpowiedzialnych za stabilność plazmy [H15].
- Opracowanie koncepcji oraz rozwiązań układowych i programowych dla nowego, dedykowanego modułu synchronizacji i znakowania czasowego dla systemu akwizycji obrazu bazującego na standardzie MTCA.4 [H16].

Zaproponowana przez habilitanta metodyka projektowania systemów akwizycji i przetwarzania obrazu w oparciu o standard MicroTCA.4 została zweryfikowana w praktyce podczas budowy prototypowych systemów akwizycji danych oraz obrazu na potrzeby projektu ITER [H18].

7.3. Podsumowanie wyników badań nad układami zarządzania i diagnostyki złożonych systemów xTCA

Do ważniejszych osiągnięć habilitanta dotyczących systemów zarządzania i diagnostyki dla standardu AdvancedTCA i MicroTCA można zaliczyć:

- Opracowanie nowych rozwiązań sprzętowych oraz programowych dedykowanych do zarządzania szeregowymi interfejsami gigabitowymi (PCI Express, Gigabit Ethernet, Serial RapidIO, interfejsy o niskiej latencji), które są wykorzystywane w systemach fizyki wysokich energii, pozwalających na dynamiczną konfigurację interfejsów oraz implementację mechanizmów hot-swap [H1], [H3], [H4], [H7], [H9].
- Opracowanie architektury i implementacji nowego sterownika IPMC dedykowanego dla płyty nośnej AdvancedTCA systemu LLRF, sterownika elementów piezoelektrycznych [H2], [H9] oraz sterownika MMC dedykowanego dla kart AMC [H1].
- Opracowanie dedykowanych narzędzi do projektowania oraz debugowania systemu zarządzania i diagnostyki zgodnego ze standardem IPMI [H8], [H9].
- Projekt sterowników MMC oraz RMC, rozwiązań układowych i programowych pozwalających na sterowanie nowymi modułami AMC i RTM w systemie MTCA.4 [H10], [H12], [H13], [H14], [6].
- Projekt nowych rozwiązań układowych i programowych pozwalających na bezpieczną aktualizację oprogramowania mikrokontrolerów systemu IPMI oraz układów programalnych FPGA/DSP [H11], [H12].
- Opracowanie referencyjnych rozwiązań układowych i programowych sterowników MMC i RMC oraz urządzeń ewaluacyjnych Eval-AMC i Eval-RTM [H14]. Autor opracował metodykę projektowania układów zarządzania i diagnostyki systemów elektronicznych wykonanych w technologii MicroTCA.4, koncepcję szablonów²⁷ oraz wewnętrznego standardu DESY

²⁷ Opracowane szablony obejmują rozwiązania układowe jak również programowe oraz ewaluacyjne moduły AMC-RTM realizujące zadania sterowników MMC i RMC.

MMC 1.00, które pozwoliły na unifikację modułów AMC i RTM stosowanych w systemie LLRF akceleratora E-XFEL [H10], [H13], [H14].

Opracowane przez autora nowe rozwiązania układowe oraz programowe pozwalają na zdalną diagnostykę i serwisowanie systemów elektronicznych, wymianę uszkodzonych modułów bez potrzeby wyłączania kasyety oraz aktualizację oprogramowania układów programowanych takich jak mikrokontrolery, układy FPGA i DSP, spełniając jednocześnie rygorystyczne normy i wymogi fizyki wysokich energii. Zaproponowane przez habilitanta rozwiązania układowe, programowe oraz procedury projektowania, diagnostyki i utrzymania złożonych systemów elektronicznych zostały praktycznie zweryfikowane podczas projektowania systemu sterowania LLRF dla akceleratorów FLASH oraz E-XFEL.

7.4. Autorski wkład w rozwój technologii xTCA

Wyniki badań naukowych oraz praktyczna wiedza zdobyta w trakcie badań nad systemami zbudowanymi w oparciu o technologie AdvancedTCA oraz MicroTCA zostały wykorzystane przez autora podczas pracy w organizacji PICMG w ramach grupy roboczej „xTCA for Physics”. Autor był wielokrotnie zapraszany do prezentacji wyników swoich badań oraz wygłoszenia referatów dotyczących opracowanej metodyki projektowania systemów sterowania i akwizycji danych zrealizowanych w technologii xTCA na międzynarodowych warsztatach organizowanych przez organizację PICMG „Workshop on ATCA and μ TCA for Physics” oraz przez ośrodek DESY „MicroTCA workshop for industry and research”. Autor prezentował wyniki prac badawczych na prestiżowych konferencjach o zasięgu międzynarodowym takich jak:

- IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS-MIC).
- IEEE Real Time Conference (RT).
- Particle Accelerator Conference (PAC).
- International Conference on RF Superconductivity (SRF).
- Workshop on Low Level RF (LLRF).
- European Particle Accelerator Conference (EPAC).
- International Conference on Particle Accelerator (IPAC).
- International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS).
- Workshop on Beam Diagnostics and Instrumentation for Particle Accelerators (DIPAC).
- Linear Accelerator Conference (LINAC).
- IAEA Fusion Energy Conference (FEC).
- Symposium On Fusion Technology (SOFT).

W latach 2006-2017 habilitant był współorganizatorem sesji specjalnych na międzynarodowej konferencji Mixdes (Mixed Design of Integrated Circuits and Systems):

- 2006–2008 – Trzy sesje specjalne projektu CARE.
- 2009 – Sesja specjalna projektu EuCARD.
- 2010–2013 – Cztery sesje specjalne „Oprzrządowanie w technologii xTCA” (xTCA for Instrumentation).
- 2015 – Sesja specjalna „Problemy badawcze w technologiach stereoskopowych 3D oraz systemach akwizycji obrazu” (Issues of Stereoscopic 3D Technologies and Image Acquisition in Current R&D).

- 2016 – Sesja specjalna „Systemy akwizycji i sterowania w przemyśle oraz fizyce wysokich energii” (Data Acquisition and Control Systems at Industry and High-Energy Physics).
- 2017 – Sesja specjalna „Oprządkowanie w technologii xTCA” (xTCA for Instrumentation).

Zasługą habilitanta jest również udział w nawiązaniu stałej współpracy z ośrodkami naukowo-badawczymi fizyki wysokich energii takimi jak: ITER we Francji, DESY w Niemczech, KIT w Niemczech, ESS w Szwecji, czy też firmami zajmującymi się technologiami xTCA: Pentier (USA), NAT (Niemcy). Należy podkreślić, że specyfikacja MicroTCA.4 staje się obecnie standardem fizyki wysokich energii. Wiele ośrodków naukowych i firm, zarówno polskich jak i zagranicznych, wykorzystuje lub planuje zastosować ten standard w przyszłości. Należą do nich: DESY, CERN, ESS, SLAC, HZB, KIT, IPFN, IHEP, NRFI, Creotech Instruments, NCBJ, AIES.

7.5. Autorski wkład w dyscyplinę elektronika

Do ważniejszych osiągnięć habilitanta stanowiących istotny wkład w dziedzinę elektronika można zaliczyć:

- Opracowanie metodyki projektowania systemów sterownia i akwizycji danych dla potrzeb fizyki wysokich energii.
- Opracowanie nowej architektury systemu LLRF z użyciem technologii telekomunikacyjnej AdvancedTCA.
- Opracowanie koncepcji oraz protokołów o gigabitowej przepustowości do transmisji danych na płycie tylnej MTCA.4.
- Opracowanie koncepcji systemu do dystrybucji sygnałów zabezpieczających w technologii MTCA.4.
- Opracowanie wariantów klas cyfrowych D1.X, mechanizmów weryfikujących kompatybilność klas, rozwiązań układowych i programowych dla sygnałów (złącza J30/J31) łączących moduły AMC i RTM (obecnie część standardu MTCA.4.1).
- Opracowanie nowego standardu transmisji sygnałów cyfrowych (Fabric Interface) na płycie tylnej RF (obecnie część standardu MTCA.4.1).
- Opracowanie nowej koncepcji, architektury oraz metodyki projektowania wydajnych systemów akwizycji i przetwarzania obrazu z wykorzystaniem standardu MTCA.4.
- Opracowanie koncepcji oraz architektury sterowników IPMI dla urządzeń AdvancedTCA oraz MicroTCA.

Wymienione powyżej opracowania zostały praktycznie przebadane podczas budowy systemów sterowania akceleratorami FLASH i EXFEL oraz prototypowych systemów diagnostycznych tokamaka ITER.

8. Bibliografia

- [1] S. Schreiber i B. Faatz, „The free-electron laser FLASH,” w *High Power Laser Science and Engineering*, 2015.
- [2] PCI Industrial Computer Manufacturers Group, PICMG, „MTCA.0 – MicroTCA, Rev. 1.0,” Jul 2006.
- [3] PCI Industrial Computer Manufacturers Group, PICMG, „MTCA.4 – MicroTCA Enhancements for Rear I/O and Precision Timing, Rev. 1.0,” Aug 2011.
- [4] PCI Industrial Computer Manufacturers Group, PICMG, „PICMG 3.0 – AdvancedTCA - Base Specification, Rev. 3.0,” Aug 2008.
- [5] PCI Industrial Computer Manufacturers Group, PICMG, „AMC.0 – AdvancedMC Mezzanine Module, Rev. 2.0,” Nov 2006.
- [6] PCI Industrial Computer Manufacturers Group, PICMG, „MTCA.4.1 – MicroTCA.4 Enhancements, Draft Specification, Rev. 1.0,” 2016.
- [7] G. Ayvazyan, V. Ayvazyan, J. Branlard, M. K. Grecki, M. Hoffmann, T. Jezynski, I. M. Kudla, T. Lamb, F. Ludwig, U. Mavric, S. Pfeiffer, H. Schlarb, C. Schmidt, H. C. Weddig, B. Y. Yang, W. Cichalewski, K. Gnidzinska, W. Jalmuzna, D. Makowski, A. Mielczarek, A. Napieralski, P. Perek, A. Piotrowski, T. Pozniak, K. P. Przygoda, S. Korolczuk, J. Szewinski, W. Wierba, K. Oliwa, P. Barnuta, S. Bou Habib, L. Butkowski, K. Czuba, M. Grzegorzolka, E. Janas, J. Piekarski, I. Rutkowski, D. Sikora, L. Zembala i M. Zukocinski, „The European XFEL LLRF System,” w *3rd International Particle Accelerator Conference IPAC'2012*, New Orleans, USA, 2012.
- [8] A. Mielczarek, D. Makowski, G. Jabłoński, A. Napieralski, P. Perek, P. Prędkie, T. Jeżyński, F. Ludwig i H. Schlarb, „uTCA-based controller,” w *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, 2011.
- [9] D. Makowski, A. Mielczarek, P. Perek, A. Napieralski, Ł. Butkowski, J. Branlard, M. Fenner, H. Schlarb i B. Yang, „High-speed data processing module for LLRF,” w *19th IEEE-NPSS Real Time Conference (RT)*, Nara, Japan, 2014.
- [10] K. Czuba, S. B. Habib i D. Sikora, „AMC vector modulator card for the LLRF system,” w *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, 2011.
- [11] K. Czuba i M. Ladno, „AMC timing receiver and clock synthesizer module for the LLRF system,” w *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Warsaw, Poland, 2010.
- [12] P. Perek, A. Mielczarek, P. Prędkie, D. Makowski i A. Napieralski, „Module management controller for MicroTCA-based controller board,” *International Journal of Microelectronics and Computer Science*, tom 3, nr 1, Jun 2011.
- [13] P. Perek, A. Mielczarek, P. Prędkie, D. Makowski i A. Napieralski, „Module management controller for MicroTCA-based controller board,” w *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, 2011.

- [14] D. Makowski, M. Fenner, F. Ludwig, U. Mavric, A. Mielczarek, A. Napieralski, P. Perek, J. Szewiński i H. Schlarb, „Standardized solution for Management Controller for MTCA.4,” w *19th IEEE-NPSS Real Time Conference (RT)*, Nara, Japan, 2014.
- [15] Vadatech, „µTCA.4 Kintex-7 Data Processing AMC (TCK7) – CM045,” [Online]. Available: http://www.vadatech.com/media/CM045_CM045_Datasheet.pdf. [Data uzyskania dostępu: 15 kwietnia 2017].
- [16] S. Simrock, L. Bertalot, M. Cheon, C. Hansalia, D. Joonekindt, G. Jabłoński, Y. Kawano, W. D. Klotz, T. Kondoh, T. Kozak, P. Makijarvi, D. Makowski, A. Napieralski, M. Orlikowski, M. Park, S. Petrov, A. Piotrowski, P. Prędko, I. Semenov, D. Shelukhin, V. Udintsev, G. Vayakis, A. Wallander, M. Walsh, S. Wu, S. Q. Yang i I. Yonekawa, „Evaluation of the ATCA fast controller standard for ITER diagnostics,” *Fusion Engineering and Design*, tom 87, nr 12, p. 2100–2105, Dec 2012.
- [17] W. D. Klotz, „ITER Controls Design Status and Progress,” w *12th International Conference on Accelerator and Large Experimental Control Systems (ICALEPCS)*, Kobe Japan, 2009.
- [18] S. Simrock, M. Walsh, L. Bertalot, C. Hansalia, W. D. Klotz, P. Makijarvi, R. Reichle, V. Udintsev, G. Vayakis, A. Wallander, A. Winter, I. Yonekawa, A. Aallekar, M. Cheon, M. Park, G. Jabłoński, T. Kozak, A. Mielczarek, A. Napieralski, M. Orlikowski, P. Perek, S. Petrov, P. Prędko, Y. Kawano, T. Kondoh, D. Makowski, M. Annigeri, I. Semenov, D. Shelukhin, F. Tomi, S. Wu, Q. Yang, D. Joonekindt i K. Zagar, „Scientific Computing for Real Time Data Processing and Archiving for ITER Operation,” International Atomic Energy Agency (IAEA), Fusion Energy Conference, 2012.
- [19] S. Simrock, L. Abadie, R. Barnsley, B. Bauvir, L. Bertalot, P. Makijarvi, M. Park, R. Reichle, D. Stepanov, G. Vayakis, A. Wallander, M. Walsh, A. Winter, I. Yonekawa, Z. Li, T. Yamamoto, S. Varshney, J. Choi, E. Mironov, A. Neto, B. DeVan, E. Freer, P. Patil, M. Annigeri, G. Jabłoński, D. Makowski, A. Mielczarek, P. Perek, M. Orlikowski, M. Bercic, K. Zagar i V. Martin, „Maturity assessment of ITER diagnostics plant instrumentation and control design,” *Fusion Engineering and Design*, tom 96–97, p. 952–956, Oct 2015.
- [20] G. Jabłoński, D. Makowski, A. Mielczarek, M. Orlikowski, P. Perek, A. Napieralski, P. Makijarvi i S. Simrock, „IEEE 1588 time synchronization board in MTCA.4 form factor,” w *19th IEEE-NPSS Real Time Conference (RT)*, Nara, Japan, 2014.
- [21] J. Y. Journeaux, „Plant Control Design Handbook,” ITER, Cadarache, 2013.
- [22] A. Mielczarek, D. Makowski, G. Jabłoński, P. Perek i A. Napieralski, „Image Acquisition Module for uTCA systems,” w *19th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Warsaw, Poland, 2012.
- [23] A. Mielczarek, P. Perek, D. Makowski, M. Orlikowski, G. Jabłoński i A. Napieralski, „AMC frame grabber module with PCIe interface,” w *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, 2013.
- [24] P. Perek, M. Orlikowski, G. Jabłoński, A. Mielczarek, D. Makowski, K. Zagar i S. Isaev, „Software components of MTCA-based image acquisition system,” w *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, 2013.
- [25] D. Makowski, A. Mielczarek, P. Perek, G. Jabłoński, M. Orlikowski, B. Sakowicz, A. Napieralski, P. Makijarvi, S. Simrock i V. Martin, „High-Performance Image Acquisition and

Processing System with MTCA.4,” *IEEE Transactions on Nuclear Science*, tom 62, nr 3, pp. 925-931, Jun 2015.

- [26] I. Rutkowski, K. Czuba, D. Makowski, A. Mielczarek, H. Schlarb i F. Ludwig, „Vector Modulator Card for MTCA-Based LLRF Control System for Linear Accelerators,” w *18th IEEE-NPSS Real Time Conference (RT)*, Berkeley, CA, 2012.
- [27] K. Czuba, L. Butkowski, S. Jabłoński, P. Przybylski, D. Sikora, W. Jałmużna, D. Makowski, T. Jeżyński i F. Ludwig, „Performance of Analog Signal Distribution in the ATCA Based LLRF System,” w *24th Particle Accelerator Conference, PAC'11*, New York, USA, 2011.
- [28] U. Mavric, J. Branlard, M. Hoffmann, F. Ludwig, D. Makowski, A. Mielczarek, P. Perek, A. Rohlev i H. Schlarb, „Commissioning of the Low-Noise MTCA.4-based Local Oscillator and Clock Generation Module,” w *6th International Particle Accelerator Conference*, Richmond, VA, USA, 2015.
- [29] J. Branlard, G. Ayvazyan, V. Ayvazyan, M. Grecki, M. Hoffmann, T. Jeżyński, F. Ludwig, U. Mavric, S. Pfeiffer, H. Schlarb, C. Schmidt, H. Weddig, B. Yang, P. Barmuta, S. B. Habib, Ł. Butkowski, K. Czuba, M. Grzegorzółka, E. Janas, J. Piekarski, I. Rutkowski, D. Sikora, Ł. Zembala, M. Żukociński, W. Cichalewski, W. Jałmużna, D. Makowski, A. Mielczarek, A. Napieralski, P. Perek, A. Piotrowski, T. Poźniak, K. Przygoda, G. Bołtruczyk, S. Korolczuk, M. Kudła, J. Szewiński, K. Oliwa i W. Wierba, „MTCA.4 LLRF system for the European XFEL,” w *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, 2013.
- [30] J. Branlard, G. Ayvazyan, V. Ayvazyan, Ł. Butkowski, M. Fenner, M. Grecki, M. Hierholzer, M. Hoffmann, M. Killenberg, D. Kostin, D. Kuehn, F. Ludwig, D. Makowski, U. Mavric, M. Omet, S. Pfeiffer, H. Pryscheński, K. Przygoda, A. Rosner i R. Rybaniec, „Installation and First Commissioning of the LLRF System for the European XFEL,” w *8th International Particle Accelerator Conference*, Copenhagen, Denmark, 2017.
- [31] C. Schmidt, G. Ayvazyan, V. Ayvazyan, J. Branlard, L. Butkowski, M. Grecki, M. Hoffmann, T. Jeżyński, F. Ludwig, U. Mavric, S. Pfeiffer, H. Schlarb, H. Weddig, B. Yang, P. Barmuta, S. Bou Habib, K. Czuba, M. Grzegorzółka, E. Janas, J. Piekarski, I. Rutkowski, D. Sikora, L. Zembala, M. Żukociński, W. Cichalewski, K. Gnidzińska, W. Jałmużna, D. Makowski, A. Mielczarek, A. Napieralski, P. Perek, A. Piotrowski, T. Poźniak, K. Przygoda, S. Korolczuk, I. Kudła, J. Szewiński, K. Oliwa i W. Wierba, „Recent Developments of the European XFEL LLRF System,” w *4th International Particle Accelerator Conference*, Shanghai, China, 2013.
- [32] J. Branlard, G. Ayvazyan, V. Ayvazyan, L. Butkowski, M. Grecki, M. Hoffmann, F. Ludwig, U. Mavric, S. Pfeiffer, H. Schlarb, C. Schmidt, H. Weddig, B. Yang, S. Bou Habib, K. Czuba, M. Grzegorzółka, E. Janas, J. Piekarski, I. Rutkowski, R. Rybaniec, D. Sikora, L. Zembala, M. Żukociński, W. Cichalewski, D. Makowski, A. Mielczarek, P. Perek, A. Piotrowski, T. Poźniak, S. Korolczuk, I. Kudła, J. Szewiński, K. Oliwa i W. Wierba, „European XFEL RF Gun Commissioning and LLRF Linac Installation,” w *5th International Particle Accelerator Conference*, Dresden, Germany, 2014.
- [33] C. Schmidt, V. Ayvazyan, J. Branlard, Ł. Butkowski, O. Hensler, M. Hoffmann, M. Killenberg, F. Ludwig, U. Mavric, S. Pfeiffer, K. Przygoda, H. Schlarb, W. Cichalewski, D. Makowski, A. Piotrowski, K. Czuba, I. Rutkowski, D. Sikora i M. Żukociński, „Real time control of RF fields

- using a MicroTCA.4 based LLRF system at FLASH,” w *19th IEEE-NPSS Real Time Conference (RT)*, Nara, Japan, 2014.
- [34] M. Omet, V. Ayvazyan, J. Branlard, Ł. Butkowski, W. Cichalewski, K. Czuba, M. Grecki, M. Hoffmann, F. Ludwig, D. Makowski, U. Mavric, K. Oliwa, S. Pfeiffer, A. Piotrowski, K. Przygoda, I. Rutkowski, R. Rybaniec, H. Schlarb, C. Schmidt, D. Sikora, H. Weddig, W. Wierba, B. Yang i M. Żukociński, „Operation Experiences with the MicroTCA.4-based LLRF Control System at FLASH,” w *6th International Particle Accelerator Conference*, Richmond, VA, USA, 2015.
- [35] S. Simrock, L. Abadie, R. Barnsley, L. Bertalot, J. Journeaux, P. Makijarvi, V. Martin, R. P. Patil, Reichle, D. Stepanov, G. Vayakis, A. Wallander, M. Walsh i I. Yonekawa, „Diagnostic Use Case Examples for ITER Plant Instrumentation and Control,” w *14th International Conference on Accelerator & Large Experimental Physics Control Systems (ICALEPS)*, San Francisco, USA, 2013.
- [36] P. Makijarvi, „ITER Catalog of I&C products – Fast Controllers,” ITER, Cadarache, 2016.
- [37] A. Mielczarek, Application of FPGA Devices to Image Acquisition and Processing in Large Scale Physics Experiments, Lodz University of Technology, PhD Dissertation, 2017.

Dariusz Makowski