

Prof. dr hab. inż. Paweł Gryboś
Wydział Elektrotechniki, Automatyki
Informatyki i Inżynierii Biomedycznej
Akademia Górniczo-Hutnicza
Al. Mickiewicza 30, 30-059 Kraków
e-mail: pgrybos@agh.edu.pl

Kraków, 12.04.2016 r.

Ocena dorobku naukowego dr inż. Rafała Długosza
w związku z wszczęciem na Wydziale Elektrotechniki, Elektroniki, Informatyki
i Automatyki Politechniki Łódzkiej postępowania habilitacyjnego

wykonana na zlecenie Dziekana Wydziału EEIA PŁ z dnia 26. 02. 2016 r.

I. Informacje podstawowe o kandydacie

Dr inż. Rafał Długosz ukończył w 1996 r studia na Wydziale Elektrycznym Politechniki Poznańskiej w dziedzinie Automatyka i Robotyka. W latach 1996-2004 pracował na Politechnice Poznańskiej jako asystent, początkowo na Wydziale Elektrycznym, a następnie na Wydziale Informatyki i Zarządzania. W czerwcu 2004 r otrzymał tytuł doktora inżyniera w dyscyplinie Telekomunikacja, specjalność Przetwarzanie Sygnałów, broniąc na Politechnice Poznańskiej rozprawę pt. „Design and optimization of finite impulse response electronic filters integrated in CMOS technology”.

Po obronie doktoratu do 2010 pracował jako adiunkt na Wydziale Informatyki i Zarządzania, a od października 2010 r do dnia dzisiejszego pracuje na stanowisku adiunkta na Wydziale Telekomunikacji, Informatyki i Elektrotechniki, Uniwersytetu Techniczno-Przyrodniczego w Bydgoszczy. W latach 2002 - 2104 był pracownikiem dydaktycznym w Wyższej Szkole Informatyki i Umiejętności w Łodzi, oddział zamiejscowy w Bydgoszczy. Od 2014 r do dnia dzisiejszego pracuje w Delphi Automotive w Krakowie.

Kandydat ma na swoim koncie liczne staże zagraniczne i wyjazdy zagraniczne, przy czym do tych najważniejszych należą:

- trzyletni pobyt na University of Alberta w Edmonton w Kanadzie w latach 2005-2008 (stypendium FNP oraz stypendium Marii Curie FP6),
- trzyletni pobyt w Szwajcarii: na University of Neuchatel - lata 2006-2008, a następnie EPFL – lata 2009-2012 (stypendium Marii Curie FP6 oraz roczny kontrakt z EPFL),
- trzymiesięczny pobyt (12/2012 – 02/2013) w instytucie przemysłowym Innovation for High Performance Microelectronics we Frankfurcie nad Odrą (stypendium niemieckiej fundacji DAAD).

W swym dorobku dr. Długosz wskazuje również, że od 2010 r do dnia dzisiejszego pracuje jako Senior Scientist (Analog Design Services), CMOS Emerging Technologies Research INC, w Kolumbii Brytyjskiej w Kanadzie.

II. Ocena rozprawy habilitacyjnej lub zestawu publikacji składających się na habilitację wraz z uzasadnieniem, co przeprowadzone badania wnoszą do nauki.

Jako osiągnięcie wynikające z art. 16 ust. 2 z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym dr. Długosz przedstawił cykl 17 publikacji pod tytułem „Analogowe oraz analogowo-cyfrowe rekonfigurowalne układy scalone niskiego poboru mocy pracujące w trybie równoległym i/lub asynchronicznym”. Cykl ten obejmuje:

- 8 publikacji filadelfijskich, wszystkie współautorskie z udziałem habilitanta od 40% do 80% w takich czasopismach jak:

- 1 praca w IEEE Transaction on Neural Network (IF=4.37),
- 1 praca w Neurocomputing (IF=2.005),
- 1 praca w IEEE Transaction on Circuits and Systems (IF=1.187),
- 2 prace w Microelectronics Journal (IF=0.924),
- 1 praca w Electronics Letters (IF=1.068),
- 1 praca w Journal of Signal Processing Systems (IF=0.564),
- 1 praca w przeglądzie Elektrotechnicznym (IF=0.244).

- 5 prac konferencyjnych (3 samodzielne i 2 współautorskie) w tym 4 z konferencji MIXDES i 1 z BIODEVICES,

- 4 prace inne (współautorskie): 1 w czasopiśmie VLSI Design Journal (Hindawi Publishing), 2 rozdziały w książce w wyd. Springer i 1 rozdział w książce w wyd. CRC Press.

Prace te dot. projektowania specjalizowanych niskomocowych układów scalonych i pogrupowane są w 5 obszarów obejmujących:

- 1) filtry z przełączanymi kondensatorami,
- 2) filtry z przełączanymi prądami do zastosowań w przetwarzaniu obrazów,
- 3) przetworniki analogowo-cyfrowe,
- 4) sztuczne sieci neuronowe implementowane sprzętowo,
- 5) układy do zastosowań w medycynie nuklearnej.

W zakresie filtrów z przełączanymi pojemnościami habilitant przedstawił 2 publikacje:

- [MIXDES FIRSC] R. Długosz, “New architecture of Programmable SC FIR Filter with Circular Memory””, 12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Kraków, Poland, pp. 153-158, June 2005.

- [SPR FIRSC] R. Długosz, K. Iniewski, „Programmable Switched Capacitor Finite Impulse Response Filter with Circular Memory Implemented in CMOS 0.18 μm Technology” Journal of Processing Systems, Springer, New York, vol. 56, no. 203, pp. 295-306, (September 2009).

(udział habilitanta 85%)

Prace prezentują ciekawą koncepcję nowego filtru o skończonej odpowiedzi impulsowej z przełączanymi pojemnościami i pamięcią cyrkularną. Przedstawione rozwiązanie wychodząc z przetestowanej wcześniej architektury filtru z kluczem rotacyjnym, proponuje eliminację klucza rotacyjnego i połączenie poszczególnych komórek pamięci na stałe z kondensatorem ze stopnia wyjściowego, ale o programowalnej pojemności. Poprzez zmianę pojemności w sposób rotacyjny poszczególnych kondensatorów uzyskano efekt przesuwania próbek jak w linii opóźniającej. Dzięki eliminacji klucza rotacyjnego znacząco zredukowano liczbę połączeń, związane z tym pojemności pasożytnicze oraz powierzchnię układu scalonego. Zredukowano też liczbę operacji przepisywania do kilku niezależnie od długości filtru, co ogranicza problemy związane z niedokładnością zapisu/odczytu przy wielokrotnym powtarzaniu tych operacji w pamięciach analogowych. Rozwiązanie jest ciekawe, a

zaproponowany filtr można programować na kilka różnych sposobów. Autor zakończył swoje badania na wynikach analiz symulacyjnych proponowanego rozwiązania używając do tego modeli elementów z technologii CMOS 0,35 μ m i 0,18 μ m. Jednak w prowadzonych przez autora badaniach brakuje weryfikacji eksperymentalnej zaproponowanej koncepcji w postaci zrealizowanego prototypu układu scalonego, co jest istotne tym bardziej, że w tego typu strukturach pojawiające się pojemności pasożytnicze, czy efekty pasożytniczego wstrzykiwania ładunku odgrywają istotną rolę.

W zakresie filtrów z przełączanymi prądami do zastosowań w przetwarzaniu obrazów habilitant przedstawił 3 publikacje:

- [MIXDES GVM] R. Długosz, "New architecture of Programmable SC FIR Filter with Circular Memory", 12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Ciechocinek, Poland, pp. 231-236, June 2007.
- [SPR GVM] R. Długosz, V. Gaudet, R. Wojtyna, „Gilbert-Multiplier_based Parallel 1-D and 2-D Analog FIR Filters for Medical diagnostics” Chapter 9 in “Computers in Medical Activites” Book series: Advances in Intelligent and Soft Computing, , Vol. 65/2009, pp. 85-99, Springer-Verlag, Berlin/Heidelberg. (2009) **(udział habilitanta 85%)**
- [BIODEV GVM] R. Długosz, V. Gaudet, „An Asynchronous Programmable Parallel 2-D Image Filter CMOS IC Based on the Gilbert Multiplier”, International Conference on Biomedical Electronics and Devices (BIODEVICES), Porto, Portugal, pp. 46-51, (January 2009), **(udział habilitanta 75%)**

W pracy [MIXDES GVM] habilitant zaprezentował procesor obrazu oparty o architekturę prądową i wykorzystujący wektorowe układy mnożące Gilberta. Autor przedstawił zarówno koncepcję proponowanego filtru oraz jego symulację w technologii 180 nm, ograniczając się do obrazu o rozmiarze 8 x 8 pikseli. Symulacje pokazują, że filtr pobiera zaledwie 500 nW/piksel (tranzystory pracują w zakresie podprogowym) umożliwiając przetwarzanie danych z szybkością około 1 Mpixeli/s. Filtr jest programowalny, co oznacza, że można realizować zarówno charakterystyki górno i dolnoprzepustowe, o różnych współczynnikach. Dalszym rozwinięciem badań nad niskomocowymi filtrami pracującymi w trybie prądowym i wykorzystującymi układy mnożące Gilberta jest praca [SPR GVM]. Jest to również praca o charakterze symulacyjnym (technologia 180nm), pokazująca filtr próbkujący w dziedzinie czasu 1-D, trzeciego rzędu, pobierający 8 μ W i umożliwiający próbkowanie z częstotliwością 2 MHz. W rozwiązaniu tym układ zegarowy wykorzystywany jest jedynie w przypadku próbkowania, podczas gdy dalsze przetwarzanie odbywa się zupełnie asynchronicznie. Drugi z zaprezentowanych przykładów to filtr 2-D próbkujący w dziedzinie współrzędnych obrazu, pobierający 7 μ W mocy przy przetwarzaniu 1 Mramki/s (rozmiar ramki 6x1 pikseli). Najwartościowszą pracą z tej tematyki jest publikacja [BIODEV GVM], gdzie habilitant konfrontuje swój projekt z badaniami eksperymentalnymi wykonanego prototypu układu scalonego w technologii CMOS 180nm. Pomiary pokazują, że filtr pobiera 30 μ W mocy przy przetwarzaniu 30 kramki/s (rozmiar ramki 6x1 pikseli). Ponieważ tranzystory pracują w słabej inwersji, aby zbadać efekty niedopasowania tranzystorów, habilitant zaprojektował 3 filtry o tej samej architekturze z trzema różnymi rozmiarami tranzystorów. Wartościowe są tabele 1 i 2 pokazujące porównanie obliczeń symulacji i eksperymentu. Uzyskane wyniki potwierdzają, że zaproponowane przez habilitanta rozwiązanie, może być zastosowane np. w przypadku kapsułki endoskopowej.

W zakresie przetworników analogowo cyfrowych habilitant przedstawił 3 publikacje:

- [VLSIDEC ADC] R. Długosz, K. Iniewski, „Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-to-Digital Converter for Wireless Sensor Network”, VLSI Design Journal, Hindawi Publishing, VLSI Design, vol. 2007, Article ID 45269, 13 pages, DOI: 10:1155/2007/45269, (2007), **(udział habilitanta 75%)**.

- [CRC ADC] R. Długosz, K. Iniewski, „Analog-to-Digital Converters for Radiation Detection Electronics”, Chapter 11, Electronics for Radiation Detectors (Devices, Circuits and Systems), CRC Press, 1st ed., (edited by K. Iniewski), pp. 285-312, (August 2010), **(udział habilitanta 80%)**

- [MIXDES ADC] R. Długosz, G. Fischer, “Low Chip Area, Low Power Dissipation, programmable, current-Mode, 10-bits, SAR ADC Implemented in CMOS 130 nm Technology”, International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Toruń, Poland, pp. , (June 2015), **(udział habilitanta 80%)**

Przedstawione prace habilitanta dotyczą przetworników pracujących w oparciu o metodę kolejnych przybliżeń. Celem prowadzonych przez autora badań było opracowanie przetworników o architekturze typu SAR zajmujących jak najmniejszą powierzchnię, tak aby mogły znaleźć w przyszłości zastosowanie w układach, gdzie takie struktury są wielokrotnie powtarzane – np. w układach wielokanałowych stosowanych w medycynie nuklearnej. W pracy [VLSIDEC ADC] przedstawiono koncepcje dwóch 8-bitowych przetworników typu SAR opartych o przełączane prądy. W zaproponowanych rozwiązaniach można w szerokim zakresie regulować szybkość pracy układu, rozdzielczość i pobieraną moc. Istotnym elementem układu jest licznik analogowy z kompensacją temperaturową, na którym oparto generator zegara. Uzyskany w układzie FOM (Figure of Merit) określony jako stosunek częstotliwości próbkowania do rozpraszanej mocy i unormowany do rozdzielczości przetwornika jest bardzo wysoki w stosunku do istniejących rozwiązań. W pracy szczegółowo omówiono proponowane rozwiązania na poziomie schematów i potwierdzono symulacjami. Rys. 17 pokazuje fotografię układu wykonanego w technologii TSMC 180nm. Pewien niedosyt budzi brak jakichkolwiek wykresów prezentujących wyniki eksperymentalne. Nie wiadomo, czy Autor porównując swoje rozwiązanie w Tabeli 1 z innymi wykonanymi przetwornikami umieszcza tam swoje wyniki symulacyjne czy pomiarowe. W kolejnej pracy dot. przetworników ADC [CRC ADC], która została wydana 3 lata później, a prezentowane są tam przykłady działania tych samych przetworników na rys. 11.11, 11.17 i 11.18 powtarzane są jedynie wyniki symulacyjne. Natomiast w przypadku dwóch pozostałych wykresów pojawiających się w pracy [CRC ADC], które dotyczą omawianych przetworników (rys. 11.12 oraz rys. 11.13 i pokazują energię przypadającą na bit w funkcji częstotliwości próbkowania) nie wiadomo czy Autor pokazuje dane symulacyjne czy eksperymentalne. Kolejna praca w tej serii [MIXDES ADC] pokazuje koncepcję 2-stopniowego przetwornika DAC, który pracuje w trybie prądowym. Takie podejście ma na celu minimalizację powierzchni układu, zwłaszcza biorąc pod uwagę wymagania związane z rozrzutami technologicznymi. Zaproponowana konstrukcja pozwoliła na zaprojektowanie 10-bitowego przetwornika SAR mieszczącego się na powierzchni 0.01 mm². Praca pokazuje wyniki symulacyjne w technologii CMOS 130nm i kończy się stwierdzeniem, że produkcja układu scalonego jest planowana wkrótce.

W zakresie sztucznych sieci neuronowych implementowanych sprzętowo habilitant przedstawił 5 publikacji:

- [TNN CONS] R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna: „Realisation of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks” IEEE Transaction of Neural Networks, vol. 21, Iss. 6, pp. 961-971 (June 2010), **(udział habilitanta 40%)**,

[TCAS ADM] R. Długosz, T. Talaska, W. Pedrycz „Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks” IEEE Transaction on Circuits and Systems II: Express Briefs, vol. 58, Iss. 1, pp. 31-35 (January 2011), **(udział habilitanta 50%)**,

[MJ MIN/MAX] R. Długosz, T. Talaśka: „Low Power Current-Mode Binary Tree Asynchronous Min/Max Circuit”, Microelectronics Journal, vol. 41, no. 1., pp. 64-73 (January 2010), **(udział habilitanta 60%)**,

[NEUR LUK] R. Długosz, W. Pedrycz: „Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation” Neurocomputing, Elsevier, vol.73, Iss. 7-9, pp. 1222-1234, (March 2010), **(udział habilitanta 80%)**,

[PE MIN/MAX] R. Długosz, T. Talaśka: „A Power-Efficient, Current-Mode, Binary Tree Min/Max Circuit for Kohonen Self-Organizing Feature Maps and Nonlinear Filters” Electrical Review (Przegląd Elektrotechniczny), ISSN 0033-2097, R. 86 NR 11a/2010, pp. 237-241, (November 2010), **(udział habilitanta 60%)**,

Sztuczne sieci neuronowe są trudne do implementacji sprzętowej, jednak w określonych przypadkach (np. analiza sygnałów biomedycznych EKG, EMG w urządzeniach przenośnych) mogą prowadzić do rozwiązań bardzo efektywnych mocowo. Ich implementacja wymaga nie tylko podejścia do projektowania typu *full custom*, ale zwrócenia uwagi zarówno na niedoskonałości technologii (efekty niedopasowania) jaki i np. wahania temperatury czy napięć zasilania. W pracy [TNN CONS] zaprezentowano implementację CMOS mechanizmu sumienia w sieci neuronowej typu WTA (ang. *Winner-Takes-All*). Istotnym problemem w sieciach WTA są martwe neurony (waga ich nie ulega zmianie w procesie uczenia) i by go wyeliminować wprowadzono mechanizm sumienia, aby dać szansę zwycięstwa każdemu z neuronów i uczestnictwa w procesie adaptacji wag. Opisane zagadnienia obejmują implementację sprzętową, symulacje i wyniki pomiarów sieci zaimplementowanej w technologii CMOS TSMC 180 nm. Bloki sieci neuronowej pracują w systemie prądowym, co ułatwia implementację operacji sumowania i upraszcza strukturę układu. Istotnym elementem takiej sieci determinującym poprawność jej działania jest licznik analogowy zliczający zwycięstwa poszczególnych neuronów. Habilitant w artykule zaprezentował wartościowy układ kompensacji temperaturowej licznika analogowego (przedstawiony na rys. 3), zapewniający dopływ takiej samej ilości ładunku na kondensator pamiętający przy każdym impulsie pobudzającym ENt bez względu na temperaturę. Przedstawiony w pracy opis rozwiązania jest przekonujący, a samu układ jest częścią większej całości, której eksperymentalne działanie na zrealizowanym prototypie układu scalonego zaprezentowano na rys. 9. Niedosyt budzi fakt, że w pracy w której głównym wkładem habilitanta jest licznik z kompensacją temperaturową nie ma ani jednego wykresu dot. symulacji lub danych eksperymentalnych w zależności od temperatury. Czytając całość artykułu i biorąc pod uwagę inne wartościowe elementy wniesione przez pozostałych autorów

trudno jest znaleźć uzasadnienie dla wkładu merytorycznego dr. Długosza w omawiany artykuł [TNN CONS] deklarowanego aż na 40%.

W artykule [TCAS ADM] zaprezentowano pracujący w trybie prądowym układ do adaptacyjnej modyfikacji wag neuronów w analogowej sieci neuronowej. Punktem wyjścia dla proponowanych rozwiązań był wcześniejszy doktorat jednego ze współautorów (T. Talaški). Istotnym nowym elementem zaprezentowanym w artykule jest redukcja prądu upływu w pamięciach analogowych, uzyskana przez dodanie bramek OR sterujących kluczami Sc1 i Sc2 pokazanych w pracy na rys. 1. Wprowadzona modyfikacja wydłuża czas trzymania informacji i ma znaczenie w przypadku dużych sieci neuronowych pracujących przy niskich częstotliwościach (np. w przypadku zastosowań biomedycznych). Ważnym elementem pracy są symulacje efektów niedopasowania przedstawione w podrozdziale IV.C. Wynikiem przeprowadzonej dyskusji jest odpowiedni dobór wymiarów źródeł prądowych. Natomiast w tej kwestii mam 2 drobne uwagi. Po pierwsze komentarz dot. dopasowania źródeł prądowych brzmi: „In strong inversion region, the improvement resulting from increasing transistor sizes is limited as V_{GS} voltage decreases for the constant current”. Jest to prawdą w przypadku, gdy zwiększamy szerokość tranzystora W . Natomiast gdy zwiększanie wymiarów tranzystora odbywa się poprzez wzrost długości L tranzystora to V_{GS} rośnie. Uważam, że prowadząc analizę efektów niedopasowania, należało również skorzystać z możliwości jakie dają analizy Monte-Carlo.

W trzecim artykule [MJ MIN/MAX] przedstawiono koncepcję oraz implementację w technologii CMOS równoległego układu asynchronicznego MIN/MAX. Układ ten może być stosowany w sieciach neuronowych do wykrywania zwycięskiego neuronu i w nieliniowych filtrach. Istotną modyfikacją układu proponowanego w artykule, jest zredukowanie zjawiska kumulacji błędów pomiędzy poszczególnymi warstwami drzewa. Uzyskano to dzięki rezygnacji z propagacji sygnału z warstwy na warstwę, natomiast sygnał wejściowy kopiowany jest tyle razy, ile jest warstw w drzewie. Habilitant przeprowadził również dyskusję dot. efektów niedopasowania, rozważając prace tranzystorów w zakresie słabej lub silnej inwersji, podobnie jak miało to miejsce we wcześniej omawianym artykule [TCAS ADM]. Częstotliwość pracy układu, a co za tym idzie pobór mocy może być skalowany w szerokim zakresie, przykładowo przy prądach wejściowych na poziomie $20 \mu A$ i częstotliwości 11 MHz pobiera $505 \mu W$ mocy, a przy sygnałach na poziomie $200 nA$ i częstotliwości 500 kHz wynosi zaledwie $1 \mu W$.

Praca kolejną z tej serii jest [NEUR LUK], która zawiera propozycję nowej kategorii analogowych neuronów logicznych Łukasiewicza OR i AND pracujących w trybie prądowym i sieć opartą na tych neuronach. Prof. W. Pedrycz zaproponował koncepcję pojedynczego neuronu i sieci Łukasiewicza, a implementacja na poziomie schematów w technologii CMOS 180 nm i późniejsza weryfikacja na poziomie symulacji są dokonaniem habilitanta. Habilitant przedstawił własną autorską implementację sieci typu AND-OR (rys. 9) i OR-NAND (rys. 10). Podobnie jak we wcześniejszej pracy [MJ MIN/MAX], aby uniknąć błędów związanych z kilkukrotnym kopiowaniem, tworzonych jest kilka kopii poszczególnych sygnałów wejściowych za pomocą pojedynczych wielowejściowych luster prądowych. Szkoda tylko, że przedstawiona koncepcja nie została zrealizowana w formie prototypu układu scalonego, co mogłoby być eksperymentalnym potwierdzeniem słuszności zaproponowanego rozwiązania, zwłaszcza biorąc pod uwagę efekty niedopasowania.

Pracą domykającą zagadnienia implementacji sprzętowej sieci neuronowych jest artykuł [PE MIN/MAX], który swoją tematyką nawiązuje po opracowaniu [MJ MIN/MAX] omawianego

powyżej, tyle że układ WTA oparty jest na koncepcji drzewa binarnego składającego się tylko z bloków cyfrowych. W układzie wejściowe analogowe sygnały prądowe najpierw zamieniane są na sygnały skoku jednostkowego o różnych opóźnieniach. Dokonuje się to w prostych układach konwertujących, gdzie prądy wejściowe ładują kondensatory podłączone do wejść inwerterów, a te z kolei przełączają się po czasie uzależnionym od wartości prądów ładujących. W kolejnym kroku w strukturze drzewa binarnego wskazywany jest sygnał o minimalnym lub maksymalnym opóźnieniu. Przedstawiona koncepcja została sprawdzona jedynie symulacyjnie w technologii CMOS 180 nm, natomiast niewątpliwą zaletą przedstawionego rozwiązania jest bardzo mały pobór energii.

W zakresie układów do zastosowań w medycynie nuklearnej habilitant przedstawił 4 publikacje:

- [EL PD] R. Długosz, K. Iniewski „High precision analogue peak detector for X-ray imaging applications” Electronics Letters, vol. 43, Issue 8, pp. 440-441 (April 2007), (**udział habilitanta 80%**),
- [MIXDES AFE] R. Długosz, “Asynchronous Front-End ASIC for X-ray Medical Imaging Applications Implemented in CMOS 0.18 μm Technology”, 15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Poznań, Poland, pp. 627-632, June 2008.
- [MJ MUX] R. Długosz, P.A. Farine, K. Iniewski: „Power Efficient Asynchronous Multiplexer for X-ray Sensors in Medical Imaging Analog Front-End Electronics”, Microelectronics Journal, vol. 42, no. 1., pp. 33-42 (January 2011), (**udział habilitanta 75%**),
- [SPR PSF] R. Długosz, R. Wojtyna, „Novel CMOS Analog Pulse Shaping Filter for Solid State X-ray Sensors in Medical Imaging Systems” Chapter 16 in “Computers in Medical Activites” Book series: Advances in Intelligent and Soft Computing, Vol. 56/2009, pp. 155-165, Springer-Verlag, Berlin/Heidelberg. (2009), (**udział habilitanta 80%**),

Głównym teatrem dwóch pierwszych prac [EL PD] i [MIXDES AFE] z zakresu układów scalonych dla zastosowań w medycynie nuklearnej są układy wielokanałowe przetwarzające sygnały z matrycy detektorów foton po fotonie. W takich układach impuls prądowy wygenerowany przez wpadający do detektora foton jest całkowany we wzmacniaczu ładunkowym, a następnie wzmacniany i filtrowany w kolejnym układzie kształtującym. Informacja o energii wpadającego fotonu jest zawarta w amplitudzie impulsu na wyjściu układu kształtującego, stąd konieczność zastosowania detektora wartości szczytowej. Zaproponowany w wymienionych pracach detektor wartości szczytowej, startuje gdy sygnał przekroczy założoną wartość progową. Uruchamiany jest wtedy wewnętrzny zegar taktujący próbkowanie impulsu na wyjściu układu kształtującego. Odpowiedni układ kluczy zapewnia, że próbka, która została zapisana wcześniej jest kierowana do wejścia ujemnego komparatora, podczas gdy próbka późniejsza do wejścia dodatniego. Gdy zbocze impulsu narasta na wyjściu komparatora utrzymuje się stan wysoki. W momencie gdy impuls osiągnie wartość szczytową, na wyjściu komparatora pojawia się zero, które zatrzymuje wartość szczytową w układzie próbkująco-pamiętającym. Szkoda, że w przedstawionych pracach habilitanta koncepcja doczekała się jedynie symulacji post-layoutowych w technologii CMOS 0.18 μm .

Z punktu widzenia przetwarzania sygnału w wielokanałowych systemach detekcji promieniowania jonizującego, jednym z kolejnych możliwych stopni za omawianym detektorem wartości szczytowej może być analogowy multiplekser zaproponowany i opracowany przez habilitanta w pracy [MJ MUX]. Ideę multipleksera przedstawił habilitant

w pracy na rys. 2. Oparty na koncepcji drzewa binarnego multiplekser okazał się bardzo atrakcyjny w aspekcie pobieranej mocy i niewielkiej powierzchni. W momencie, gdy dany kanał zarejestruje sygnał, multiplekser samoczynnie uaktywnia ścieżkę pomiędzy tym kanałem a wyjściem układu scalonego i jednocześnie zwraca adres aktywnego kanału. Zaimplementowano również mechanizm zapobiegający kolizjom, w przypadku równoległego pojawienia się wielu zdarzeń. Dr Długosz przeprowadził symulacje układu i wykonał jego layout w technologii 180 nm. Ponieważ układ zawiera tylko 8 kanałów, przeprowadzono również symulacje przepustowości układu w zależności od liczby kanałów i przy dwóch różnych napięciach zasilania. Mankamentem pracy jest to, że nie prezentuje ona wyników pomiarowych multipleksera, pomimo że układ został wyprodukowany. Autorzy motywują to faktem, iż opisany multiplekser jest częścią składową większego układu scalonego, a testy wydzielonego bloku multipleksera nie są możliwe.

Ostatnia praca pojawiająca się w tym obszarze tematycznym [SPR PSF] przedstawia wyniki symulacyjne formowania sygnału odbieranego z detektora. Autor proponuje równoległe kasowanie impulsu we wzmacniaczu ładunkowym i układzie kształtującym co zgodnie z symulacjami pozwala mu na utrzymanie stałej linii bazowej na wyjściu układu kształtującego. Przedstawiona modyfikacja filtra CR-RC poprzez dołączanie równoległych rezystorów na tranzystorach MOS pozwala na zmianę stałych czasowych filtra poprzez kontrolę napięć, przy utrzymaniu amplitudy impulsu wyjściowego na niezmiennym poziomie. W pracy zaprezentowano symulacje post-layoutowe (technologia TSMC 180nm) układu kształtującego w połączeniu detektorem wartości szczytowej (omawianym we wcześniejszych artykułach). Szkoda, że w pracy zabrakło dyskusji dot. wpływu rozrzutu parametrów technologicznych na pracę zaprezentowanego układu, czy po prostu wyników eksperymentalnych z wykonanego układu scalonego.

Resumując należy powiedzieć, że przedstawiony cykl publikacji zwiera wiele interesujących pomysłów, z których zdecydowana większość została sprawdzona jedynie symulacyjnie. Jeżeli pojawia się weryfikacja eksperymentalna polegająca na pomiarach zrealizowanego prototypu układu scalonego, to często jest ona bardzo skromna albo nie dotyczy wprost problemu, którego nowe czy oryginalne rozwiązanie habilitant proponuje. Patrząc na 5 grup tematycznych weryfikacja eksperymentalna przeprowadzona na zrealizowanych prototypach układów scalonych wygląda następująco:

Nr	Tematyka publikacji	Przedstawiony w publikacjach stan weryfikacji eksperymentalnej
1	filtry z przełączanymi kondensatorami	brak zrealizowanego prototypu i weryfikacji eksperymentalnej
2	filtry z przełączanymi prądami do zastosowań w przetwarzaniu obrazów	jest weryfikacja eksperymentalna
3	przetworniki analogowo-cyfrowe	zrealizowano prototyp przetwornika, ale pomiarów eksperymentalnych jest bardzo niewiele
4	sztuczne sieci neuronowe implementowane sprzętowo	jest weryfikacja eksperymentalna
5	układów do zastosowań w medycynie nuklearnej	brak wyników pomiarowych bloków, które są autorstwem habilitanta

Biorąc pod uwagę powyższe stwierdzam, że przedstawiony cykl publikacji w minimalnym stopniu spełnia wymagania osiągnięcia przy nadawaniu stopnia doktora habilitowanego wynikające z art. 16 ust. 2 z dnia 14 marca 2003 r

Ocena ilościowa dorobku publikacyjnego

Dorobek publikacyjny dr. Rafała Długosza koncentruje się wokół projektowania analogowych i analogowo-cyfrowych układów scalonych typu ASIC. Dorobek naukowy dra inż. R. Długosza obejmuje łącznie 157 pozycji, przy czym najważniejsze to:

- 16 artykułów na liście filadelfijskiej (w tym 15 po doktoracie) – są to prace współautorskie, przy czym w 10 z nich jest on pierwszym autorem,
- 19 publikacji w innych recenzowanych czasopismach po doktoracie,
- 5 rozdziałów w książkach (w tym 4 po doktoracie) – współautorskie (w 3 z nich wkład dr. R. Długosza jest dominujący), w wydawnictwach takich jak: CFC Press i Springer-Merla, Berlin,
- publikacje w materiałach międzynarodowych konferencji naukowych 99 (w tym 75 po doktoracie).
- udzielone patenty, wynalazki, wzory użytkowe i przemysłowe – brak.

Łączny Impast Facto publikacji filadelfijskich wynosi 27.904, natomiast liczba punktów ministerialnych dla listy A wynosi 465 pkt i dla listy B wynosi 145. Liczba cytowani wg. bazy Web of Science wynosi 54, bez auto cytowani 44, a indeks h=4.

III. Kierowanie międzynarodowymi lub krajowymi projektami badawczymi lub udział w takich projektach

Habilitant nie podaje w swojej dokumentacji, aby kierował projektem krajowym lub międzynarodowym. Pisze natomiast, że brał aktywny udział „w tworzeniu dziesięciu specjalizowanych układów scalonych” i „był realizatorem siedmiu z tych projektów od pomysłu do końcowej weryfikacji laboratoryjnej”. Po doktoracie autor wyróżnia 7 projektów badawczych, w których brał udział, w tym m.in., prace nad układami związanymi ze sztuczną inteligencją (Uniwersały of Alberta w Kanadzie), współpraca z firmą Redleń Technologies (układ Analog Front-end Electronics), Scanimetrics (współudział w odbiorniku i nadajniku na 2 GHz), projekt przetwornika SAR (zapoczątkowany we współpracy z University of Alberta), udział w projekcie CTI: „Flyweel gyroscope ...” (w czasie pobytu autora w EPFL w Szwajcarii), realizacja projektu związanego ze sztuczną inteligencją sieci neuronowych Kohonena (we współpracy z University of Alberta) oraz udział w grantie KBN pt „Wielopoziomowe wspomaganie projektowania scalonych analogowo-cyfrowych układów elektronicznych CMOS”. Przed doktoratem autor wyróżnia 8 projektów w których brał udział (w tym m.in. REASON, udział w programie TEMPUS, projekty KBN i współpracę z IHP Microelectronics we Frankfurcie nad Odrą).

IV. Międzynarodowe lub krajowe nagrody, wyróżnienia za działalność naukową

Dr. R Długosz ma na swoim koncie wyróżnienia, m. in.::

- za swoją wyróżnioną rozprawę doktorską, jako najlepszą w 2004 r otrzymał nagrodę JM Rektora Politechniki Poznańskiej,
- trzykrotnie otrzymał nagrodę JM Rektora UTP za działalność naukową,
- w 2013 otrzymał Nagrodę Marszałka Województwa Kujawsko-Pomorskiego,

- jego referaty były wyróżniane w trakcie takich konferencji jak ESANN, SiPS, MIXDES.

Wyróżnikiem działalności naukowej dr. Długosza jest to, uzyskał kilka prestiżowych stypendiów naukowe, w ramach których za granicą spędził ponad 5 lat:

- stypendium FNP (pobyty na University Alberta w Kanadzie),
- stypendium Marii Curii FP6 (pobyty na University Alberta w Kanadzie, EPFL w Szwajcarii),
- stypendium niemieckiej fundacji DAAD (Instytut IHP we Frankfurcie)
- i inne (FNP program Kolumb, program stażowy Wiedza dla Biznesu).

Należy dodać że recenzował artykuły konferencyjne, jak i do regularnych czasopism, m. in. takich jak: IEEE Transaction on Neural Networks, IEEE Transaction on Circuit and Systems, IEEE Transaction on Very Large Scale Integration Systems, Microelectronics Journal, Knowledge Based Systems, Applied Soft Computing, Circuits Systems and Signal Processing. i innych. W 1998 r był w Komitecie organizacyjnym KKTOiUE, a w latach 1999-2005 w Komitecie organizacyjnym IEEE Signal Processing Workshop.

V. Działalność dydaktyczna

Doświadczenie dydaktyczne dr. R. Długosza obejmuje okres 18 lat pracy na wyższych uczelniach – wymieniono je w informacjach podstawowych o kandydacie. Habilitant prowadził zajęcia z Układów Elektronicznych, Teorii obwodów, Układów Analogowych, Języków Programowania, Algorytmów i Struktury Danych, Teorii Systemów, Miernictwa, Podstaw Informatyki, Sieci Globalnych i Systemów Multimedialnych, Aplikacji w Systemach Multimedialnych. W trakcie pobytu w Szwajcarii i Kanadzie przygotowywał i prowadził wybrane wykłady z Mikroelektroniki. W swoim autoreferacie dr. R. Długosz pisze punkcie 5.7.2 dot. opieki nad studentami różnych szczebli edukacji „Aktywny udział w przygotowaniu rozpraw doktorskich dr inż. Tomasza Talarki oraz dr inż. Marty Kolasy z Uniwersytetu Technologiczno-Przyrodniczego w Bydgoszczy”. Ponadto dr. R. Długosz był promotorem ponad 50 prac inżynierskich (Wyższa Szkoła Informatyki i UTOP w Bydgoszczy) i asystował w pracach magisterskich 2 studentów w trakcie swojego pobytu w Uniwersytecie Alberta w Kanadzie.

VI. Wniosek końcowy

Biorąc pod uwagę dorobek naukowy habilitanta i moją ocenę wkładu merytorycznego, jaki wniósł dr. R. Długosz w cyklu publikacji zaprezentowanych jako osiągnięcie wynikające z art. 16 ust. 2 z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym, stwierdzam, że spełnia on wymagania stawiane kandydatom do stopnia naukowego doktora habilitowanego w dyscyplinie elektronika.

