

Dr inż. Rafał Długosz
Uniwersytet Technologiczno-Przyrodniczy
Wydział Telekomunikacji, Informatyki i
Elektrotechniki
Bydgoszcz

Wniosek o przeprowadzenie postępowania habilitacyjnego
w dziedzinie Nauk technicznych
w dyscyplinie Elektronika

Autoreferat

Bydgoszcz, Wrzesień 2015



Spis treści

1	Uzyskane tytuły oraz stopnie naukowe	3
2	Informacje o zatrudnieniu oraz pobytach badawczych na innych uczelniach	3
3	Ogólny przegląd osiągnięć naukowych	4
3.1	Impact factor oraz punktacja na podstawie list ministerialnych A oraz B	4
3.2	Cytowania prac własnych	5
3.3	Stypendia naukowe na uczelniach oraz w instytucjach zagranicznych i polskich . . .	5
4	Wskazane osiągnięcie naukowo-badawcze	7
4.1	Wykaz publikacji dotyczących wskazanego osiągnięcia	7
4.2	Tematyka poruszana w jednotematycznym cyklu pt. "Analogowe oraz analogowo-cyfrowe rekonfigurowalne układy scalone niskiego po- boru mocy pracujące w trybie równoległym i/lub asynchronicznym"	9
4.2.1	Wprowadzenie	9
4.2.2	Układy pracujące w trybie prądowym czy napięciowym?	12
4.2.3	Układy synchroniczne czy asynchroniczne?	15
4.2.4	Projektowanie układów w stylu 'full custom'	16
4.2.5	Główne tezy artykułów składających się na 'wskazane osiągnięcie'	17
4.2.6	Podsumowanie dotyczące przedstawionego cyklu publikacji	29
5	Pozostałe osiągnięcia naukowo-badawcze oraz dydaktyczne	30
5.1	Wykaz pozostałych publikacji po uzyskaniu stopnia doktora inżyniera	30
5.1.1	Artykuły w czasopismach naukowych z Listy Filadelfijskiej	30
5.1.2	Artykuły w pozostałych czasopismach naukowych polskich i zagranicznych . .	30
5.1.3	Rozdziały w zagranicznych monografiach naukowych	32
5.1.4	Publikacje w materiałach konferencji międzynarodowych	32
5.2	Udział w projektach krajowych i zagranicznych	37
5.2.1	Udział w projektach badawczych po uzyskaniu stopnia doktora inżyniera. . .	37
5.2.2	Udział w projektach badawczych przed uzyskaniem stopnia doktora inżyniera	38
5.3	Wyróżnienia oraz stypendia naukowe	39
5.4	Recenzowanie artykułów do czasopism naukowych oraz konferencyjnych	39
5.5	Recenzowanie wniosków stypendialnych	39
5.6	Udział w komitetach organizacyjnych konferencji	40
5.7	Działalność dydaktyczna	40
5.7.1	Zajęcia prowadzone dawniej oraz obecnie	40
5.7.2	Opieka nad studentami różnych szczebli edukacji	40
A	Wykaz cytowań wybranych artykułów uwzględniający cytowania nie ujęte w bazach Web od Science oraz Scopus	40

1 Uzyskane tytuły oraz stopnie naukowe

- 06/2004 : Doktor inżynier w dziedzinie Telekomunikacja, specjalność Przetwarzanie Sygnałów. Wydział Elektryczny, Politechnika Poznańska. Tytuł rozprawy: "Design and optimization of finite impulse response electronic filters integrated in the CMOS technology"
- 09/1996 : Magister inżynier w dziedzinie Automatyka i Robotyka, Wydział Elektryczny, Politechnika Poznańska. Praca pt. "Implementacja Nowych Adaptacyjnych Algorytmów Sterowania Robotami Przemysłowymi".

2 Informacje o zatrudnieniu oraz pobytach badawczych na innych uczelniach

- 07/2014 – nadal Delphi Automotive, R&D Active Safety Team Leader, Kraków, Polska
- 10/2010 – nadal Uniwersytet Technologiczno-Przyrodniczy, Wydział Telekomunikacji, Informatyki i Elektrotechniki, Bydgoszcz, Polska
- 10/2002 – 07/2014 Pracownik dydaktyczny - Wyższa Szkoła Informatyki i Umiejętności w Łodzi, oddział zamiejscowy w Bydgoszczy
- 08/2010 – nadal Senior Scientist (Analog Design Services), CMOS Emerging Technologies Research Inc. 1-1125 Kensal Pl., Coquitlam, Kolumbia Brytyjska, V3B 0G3, Canada
- 12/2012 – 02/2013 Pobyt naukowy w Instytucie przemysłowym IHP (Innovations for High Performance Microelectronics – dawniej Institute für Halbleiterphysik), Frankfurt nad Odrą, Niemcy. Pobyt w ramach otrzymanego stypendium naukowego niemieckiej fundacji DAAD (Deutscher Akademischer Austauschdienst) – Scalona realizacja miniaturowego 10-bitowego przetwornika analogowo-cyfrowego pracującego w trybie prądowym.
- 01/2009 – 12/2012 Swiss Federal Institute of Technology in Lausanne (EPFL), Institute of Microtechnology (IMT), Electronics and Signal Processing Laboratory (ESPLAB), Szwajcaria (do 08/2010 na pełnym etacie; W roku 2012 jako Invited Professor z kilkumiesięcznym pobytem w Szwajcarii)
- 09/2006 – 12/2008 University of Neuchâtel (IMT ESPLAB), Szwajcaria – W ramach stypendium naukowego Marie Curie 6 Programu Ramowego Unii Europejskiej
- 09/2005 – 08/2008 University of Alberta, Department of Electrical and Computer Engineering (ECE), Edmonton, Kanada. W ramach stypendiów naukowych Fundacji na Rzecz Nauki Polskiej oraz Marie Curie UE. W 2012 roku miesięczny pobyt na University of Alberta jako Visiting Professor (scalona realizacja wybranych bloków sieci neuronowej).
- 06/2006 Staż naukowy w Scanimetrix Company, Edmonton, Kanada (<http://www.scanimetrix.com>)
- 10/2004 – 09/2010 Adiunkt, Politechnika Poznańska, Wydział Informatyki i Zarządzania
- 10/2001 – 09/2004 Asystent, Politechnika Poznańska, Wydział Informatyki i Zarządzania
- 10/1996 – 09/2001 Asystent, Politechnika Poznańska, Wydział Elektryczny
- 10/1999 – 03/2000 Pobyt naukowy w Instytucie przemysłowym IHP Microelectronics, Frankfurt nad Odrą, Niemcy

3 Ogólny przegląd osiągnięć naukowych

Zestawienie osiągnięć naukowo-badawczych Autora przedstawiono w Tabeli 1. Obejmuje publikacje, udział w projektach badawczych oraz stypendia naukowe. Pełny wykaz artykułów opublikowanych po uzyskaniu stopnia doktora inżyniera znajduje się w kolejnych rozdziałach wniosku.

Tablica 1: Ogólny wykaz osiągnięć naukowo-badawczych

L.p.	Wykaz osiągnięć	Przed doktoratem	Po doktoracie	Łącznie
1	Publikacje w czasopismach wyróżnionych przez Journal Citation Reports (Lista Filadelfijska)	1	15	16
2	Publikacja w innym recenzowanym czasopiśmie krajowym lub zagranicznym	0	19	19
3	Rozdziały w monografii lub podręczniku akademickim w języku angielskim	1	4	5
4	Publikacje w materiałach międzynarodowych konferencji naukowych	24	75	99
5	Udział w projektach badawczych polskich	4	1	5
6	Udział w projektach badawczych zagranicznych	2	5	7
7	Stypendia naukowe krajowe i zagraniczne	1	5	6

3.1 Impact factor oraz punktacja na podstawie list ministerialnych A oraz B

W Tabelach 2 oraz 3 przedstawiono Impact Factor (IF) oraz punktację na podstawie aktualnych (XII 2014r.) list ministerialnych A i B wszystkich publikacji w czasopismach oraz rozdziałów w monografiach naukowych opublikowanych po uzyskaniu stopnia doktora inżyniera.

Tablica 2: Impact Factor oraz punktacja dla czasopism z Listy Filadelfijskiej (lista A)

L.p.	Czasopismo	IF (Punkty)	Liczba publikacji	Łączny IF (Punkty)
1	IEEE Transactions on Neural Networks	4.370 (45)	3	13.110 (135)
2	Elsevier – Neural Networks	2.076 (30)	1	2.076 (30)
3	IEEE Transactions on Circuits and Systems (II: Express Briefs)	1.187 (25)	1	1.187 (25)
4	Elsevier – Microelectronics Journal	0.924 (20)	2	1.848 (40)
5	Elsevier – Microelectronics Reliability Journal	1.214 (20)	1	1.214 (20)
6	Elsevier – Neurocomputing	2.005 (30)	1	2.005 (30)
7	Elsevier – Applied Mathematics and Computation	1.672 (40)	2	3.344 (80)
8	Electronics Letters	1.068 (25)	1	1.068 (25)
9	Springer – Journal of Signal Processing Systems	0.564 (20)	1	0.564 (20)
10	Przegląd Elektrotechniczny (*)	0.244 (15)	2	0.488 (30)
11	Bulletin of the Polish Academy of Sciences-Technical Sciences	1.000 (30)	1	1.000 (30)
	Łącznie		16	27.904 (465)

Tablica 3: Punktacja pozostałych artykułów w czasopismach krajowych i zagranicznych (lista B)

L.p.	Czasopismo	Punkty	Liczba publikacji	Łącznie Punkty
1	Rozdziały w książkach (Springer oraz CRC Press)	7	4	28
2	International Journal of Electronics and Telecommunications	8	1	8
3	Elektronika : konstrukcje, technologie, zastosowania	6	6	36
4	Journal of Solid State Phenomena	10	5	50
5	Zeszyty Naukowe Uniwersytetu Technologiczno-Przyrodniczego	4	2	8
6	Prace Naukowe Politechniki Śląskiej – Elektryka	4	1	4
7	Machine Graphics & Vision	7	1	7
8	Poznan University of Technology Academic Journ. of Electr. Eng.	4	1	4
9	Facta Universitatis, Series: Electronics and Energetics	0	1	0
	Łącznie		22	145

(*) W czasie publikacji artykułów Przegląd Elektrotechniczny był na Liście Filadelfijskiej. Łączna liczba punktów za publikacje w czasopismach naukowych oraz za rozdziały w książkach na podstawie zestawienia przedstawionego w Tabelach 2 oraz 3 wynosi 610.

3.2 Cytowania prac własnych

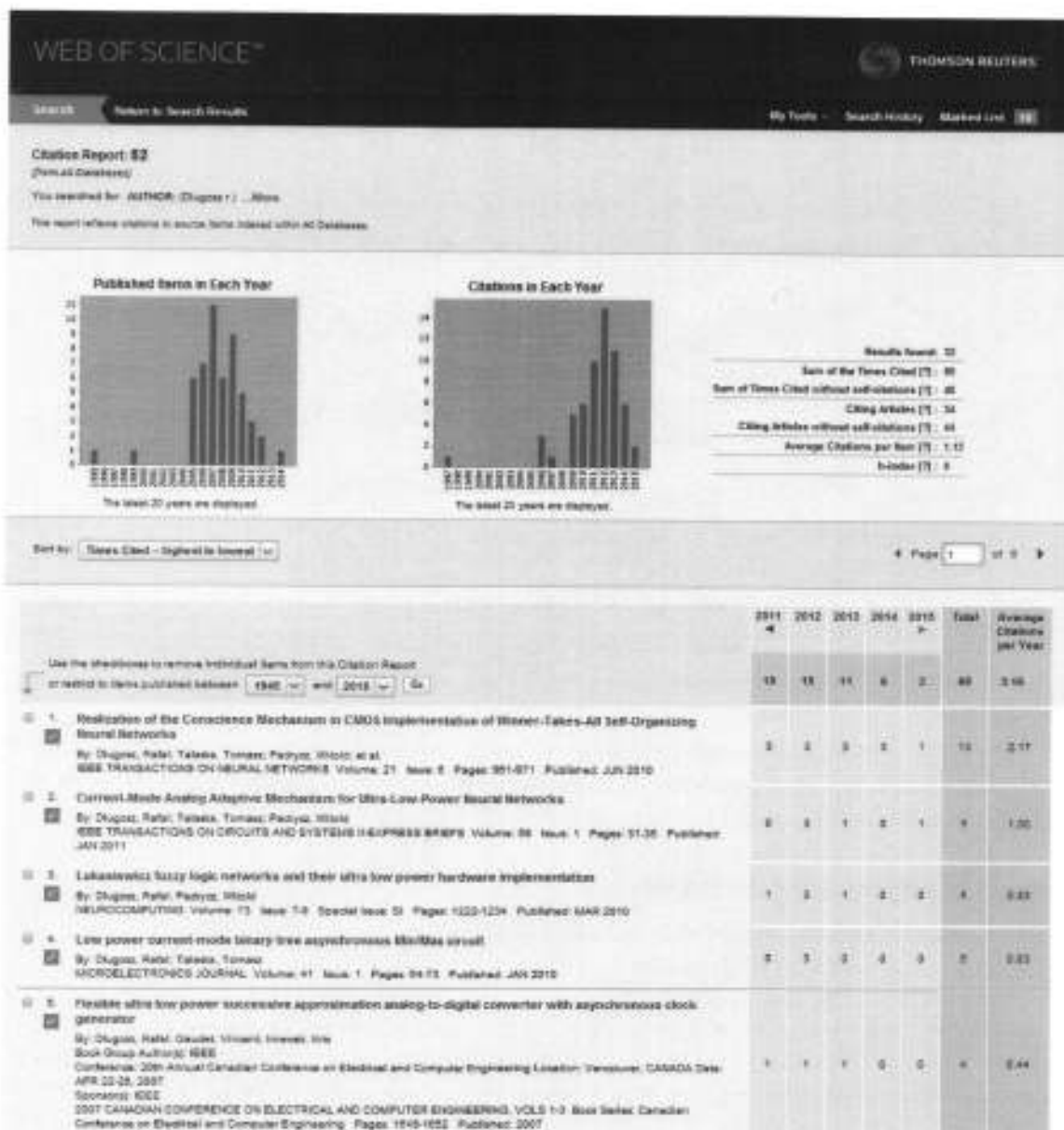
Liczba cytowań została sprawdzona na podstawie bazy Web of Science. Wyniki wraz z indeksem Hirscha przedstawione są na Rysunku 1.

W bazie tej nie uwzględniono najnowszych cytowań oraz cytowań niektórych artykułów. Uzupełnioną listę cytowań przedstawiono w Dodatku A. Warto też dodać, że większość artykułów Autora z listy filadelfijskiej ukazała się w ostatnich sześciu latach. Cytowania, które raportowane są w bazie Web of Science dotyczą więc stosunkowo krótkiego okresu czasu.

3.3 Stypendia naukowe na uczelniach oraz w instytucjach zagranicznych i polskich

Po uzyskaniu stopnia doktora inżyniera Autor uzyskał trzy prestiżowe stypendia naukowe, w ramach których spędził za granicą ponad pięć lat.

1. Pierwsze stypendium podoktoranckie Autor otrzymał z Fundacji na Rzecz Nauki Polskiej na roczny pobyt naukowy na University of Alberta w Edmonton w Kanadzie, gdzie współpracował z Prof. Krzysztofem Iniewskim oraz prof. Witoldem Pedryczem.
2. Kolejne trzyletnie stypendium otrzymał w ramach programu Marie Curie 6 Programu Ramowego Unii Europejskiej. W ramach tego stypendium spędził dwa kolejne lata na University of Alberta w Kanadzie, a następnie rok w Szwajcarii, początkowo pracując na University of Neuchâtel, a następnie w Ecole Polytechnique Fédérale de Lausanne (EPFL). Zmiana uczelni nastąpiła w wyniku przeniesienia całego Instytutu (Institute of Microtechnology) na tę drugą uczelnię. Po zakończeniu obu stypendiów władze EPFL przedłużyły z Autorem kontrakt na kolejny rok w ramach środków własnych.



Rysunek 1: Wykaz liczby cytowań (48) bez autocytowań oraz indeks Hirscha ($h = 4$) na podstawie bazy Web of Science

3. Współpraca z EPFL była kontynuowana po zakończeniu pobytu. W 2012 roku Autor otrzymał z EPFL zaproszenie, w ramach którego spędził w Szwajcarii dwa miesiące, pracując jako Invited Professor. Współpraca z University of Alberta jest również cały czas intensywnie kontynuowana, co znajduje odzwierciedlenie w wielu wspólnych publikacjach z prof. Witoldem Pedryczem w ostatnich latach.
4. Po powrocie do Polski Autor otrzymał z Fundacji na Rzecz nauki Polskiej roczny grant powrotny udzielany byłym stypendystom programu Kolumb. Grant realizowany był na Uniwersytecie Technologiczno-Przyrodniczym w Bydgoszczy. W ramach tego grantu w 2012 roku Autor spędził miesiąc na University of Alberta jako Visiting Professor.

5. W 2012 roku Autor otrzymał stypendium niemieckiej fundacji DAAD (Deutsche Akademische Austauschdienst). Na przełomie 2012 oraz 2013 roku spędził trzy miesiące w Instytucie przemysłowym Innovations for High Performance Microelectronics (IHP), we Frankfurcie nad Odrą.
6. W 2013 roku Autor był też beneficjentem programu stażowego "Wiedza dla biznesu" organizowanego przez Europejskie Centrum Doradztwa Finansowego z siedzibą w Poznaniu. Sześciomiesięczny staż trwał od kwietnia do września 2013 roku.

W czasie pobytu za granicą Autor brał aktywny udział w projektach badawczych realizowanych we współpracy z kilkoma ośrodkami przemysłowymi w Kanadzie oraz Szwajcarii (Colibrys, Scanimetrics, Redlen Technologies).

Więcej szczegółów związanych z tymi stypendiami oraz realizowanymi projektami przedstawiono w Rozdziale 5.2.

4 Wskazane osiągnięcie naukowo-badawcze

Jako osiągnięcie wynikające z art. 16 ust. 2 ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki Autor wskazuje jednotematyczny cykl siedemnastu publikacji pod tytułem:

**"Analogowe oraz analogowo-cyfrowe rekonfigurowalne
układy scalone niskiego poboru mocy
pracujące w trybie równoległym i/lub asynchronicznym"**

4.1 Wykaz publikacji dotyczących wskazanego osiągnięcia

Własny udział procentowy podany jest w nawiasach okrągłych na końcu każdej pozycji. Na początku poszczególnych pozycji w nawiasach kwadratowych dodane zostały akronimy poszczególnych artykułów, ułatwiające orientację w punkcie 4.2.5. Część publikacji to prace konferencyjne. W większości przypadków zostały one dodane dlatego, że Autor wniosku jest w nich jedynym autorem, a zawierają pomysły rozwinięte później w artykułach opublikowanych w czasopiśmie oraz jako rozdziały monografii.

Artykuły na liście poniżej ułożone są w dużej mierze według porządku chronologicznego w jakim prowadzone były poszczególne prace. Ma to takie znaczenie, że często pomysły zaproponowane w jednych projektach po modyfikacjach wykorzystywane były w kolejnych.

1. [MIXDES FIRSC] R. Długosz, "New Architecture of Programmable SC FIR Filter with Circular Memory", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.153-158, (June 2005) (100 %)
2. [SPR FIRSC] R. Długosz, K. Iniewski, "Programmable Switched Capacitor Finite Impulse Response Filter with Circular Memory Implemented in CMOS 0.18 μ m Technology", *Journal of Signal Processing Systems (formerly the Journal of VLSI Signal Processing Systems for Signal, Image, and Video Technology)*, Springer New York, Vol. 56, No. 2-3, pp. 295-306, (September 2009), (85 %)
3. [MIXDES GVM] R. Długosz, "Analog, Continuous Time, Fully Parallel, Programmable Image Processor Based on Vector Gilbert Multiplier", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.231-236, (June 2007), (100 %)
4. [SPR GVM] R. Długosz, V. Gaudet, R. Wojtyna, "Gilbert-Multiplier-Based Parallel 1-D and 2-D Analog FIR Filters for Medical Diagnostics", Chapter 9 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN:

- 978-3-642-04461-8, Vol. 65 / 2009, pp. 85-99, Springer-Verlag, Berlin / Heidelberg, (2009), (75 %)
5. [BIODEV GVM] R. Długosz, V. Gaudet, "An Asynchronous Programmable Parallel 2-D Image Filter CMOS IC Based on the Gilbert Multiplier", *International Conference on Biomedical Electronics and Devices (BIODEVICES)*, Porto, Portugal, pp.46-51, (January 2009), (90 %)
 6. [VLSIDES ADC] R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", *VLSI Design Journal*, Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 13 pages, DOI:10.1155/2007/45269, (2007), (75 %)
 7. [CRC ADC] R. Długosz, K. Iniewski, "Analog-to-Digital Converters for Radiation Detection Electronics", Chapter 11 in *Electronics for Radiation Detection (Devices, Circuits, and Systems)*, CRC Press, 1st edition, ISBN-10: 1439816484, ISBN-13: 978-1439816486, (edited by: K. Iniewski), pp.285-312, (August 05, 2010), (80 %)
 8. [MIXDES ADC] R. Długosz, G. Fischer, "Low Chip Area, Low Power Dissipation, Programmable, Current Mode, 10-bits, SAR ADC Implemented in the CMOS 130nm Technology", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2015), (90 %)
 9. [TNN CONS] R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna "Realization of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks", *IEEE Transactions on Neural Networks*, Vol. 21, Iss.6, pp.961-971, (June 2010), (40 %)
 10. [TCAS ADM] R. Długosz, T. Talaśka, W. Pedrycz, "Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 58, Iss. 1, pp. 31-35, (January 2011), (50 %)
 11. [MJ MIN/MAX] R. Długosz, T. Talaśka, "Low Power Current-Mode Binary-Tree Asynchronous Min/Max Circuit", *Microelectronics Journal*, Elsevier, Vol.41, No.1, pp.64-73, (January 2010), (60 %)
 12. [NEUR LUK] R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", *Neurocomputing*, Elsevier, doi:10.1016/j.neucom.2009.11.027, Vol. 73, Iss.7-9, pp.1222-1234, (March 2010), (80 %)
 13. [PE MIN/MAX] R. Długosz, T. Talaśka, "A Power-Efficient, Current-Mode, Binary-Tree Min / Max Circuit for Kohonen Self-Organizing Feature Maps and Nonlinear Filters", *Electrical Review (Przegląd Elektrotechniczny)*, W czasie publikacji artykuł znajdował się na Thomson Master Journal list, ISSN 0033-2097, R. 86 NR 11a/2010, pp.237-241 (November 2010), (60 %)
 14. [EL PD] R. Długosz, K. Iniewski, "High precision analogue peak detector for X-ray imaging applications", *Electronics Letters*, Vol. 43, Issue 8, pp. 440-441, (12 April 2007), (80 %)
 15. [MIXDES AFE] R. Długosz, "Asynchronous Front-End ASIC For X-Ray Medical Imaging Applications Implemented In CMOS 0.18 μ m Technology", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznan, Poland, pp.627-632, (June 2008), (100 %)
 16. [MJ MUX] R. Długosz, P.A. Farine, K. Iniewski, "Power Efficient Asynchronous Multiplexer for X-Ray Sensors in Medical Imaging Analog Front-End Electronics", *Microelectronics Journal*, Elsevier, Vol. 42, Iss. 1, pp.33-42, (January 2011), (75 %)
 17. [SPR PSF] R. Długosz, R. Wojtyna, "Novel CMOS Analog Pulse Shaping Filter for Solid State X-Ray Sensors in Medical Imaging Systems", Chapter 16 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 155-165, Springer-Verlag, Berlin / Heidelberg, (2009), (80 %)

4.2 Tematyka poruszana w jednotematycznym cyklu pt.

“Analogowe oraz analogowo-cyfrowe rekonfigurowalne układy scalone niskiego poboru mocy pracujące w trybie równoległym i/lub asynchronicznym”

W przedstawionych pracach przedstawiono wyniki badań uzyskanych w kilku obszarach związanych z projektowaniem układów scalonych niskiej mocy. Prace te obejmują projektowanie filtrów analogowych, przetworników analogowo-cyfrowych, sztucznych sieci neuronowych jak również układów do zastosowań w medycynie nuklearnej. Pomimo takiej różnorodności aplikacji i rozwiązań, wszystkie te układy wpisują się w zakres objęty jednotematycznym osiągnięciem zatytułowanym jak powyżej. Przedstawione filtry zarówno pracujące w trybie napięciowym jak i prądowym umożliwiają pracę równoległą oraz asynchroniczną. Są to układy programowalne. Poprzez programowanie ich współczynników istnieje możliwość uzyskiwania różnych charakterystyk filtrów. Przedstawione przetworniki analogowo-cyfrowe umożliwiają pracę równoległą wtedy gdy rozpatrywane są ich struktury typu “interleaved”, również projektowane przez Autora i opisane w jego pracach. Są to też układy programowalne pozwalające np. na zmianę liczby obliczanych bitów. W sieciach neuronowych, w projektowaniu których autor uczestniczył praca równoległa oraz asynchroniczna była zawsze wykorzystywana. Użycie tych trybów pracy było jedną z głównych zalet tych układów. Podobnie było w przypadku projektowanych przez Autora układów do zastosowań w medycynie nuklearnej. Są to układy z założenia równoległe oraz asynchroniczne, co wynika ze specyfiki danych jakie przetwarzają. Wszystkie przedstawione układy, jak zostało to wykazane poniżej, często opierają się na podobnych rozwiązaniach co świadczy o uniwersalności tych rozwiązań. W większości z tych układów Autor stosował podobne techniki ich optymalizacji.

4.2.1 Wprowadzenie

Zaprezentowany cykl publikacji przedstawia prace Autora lub takie, do których Autor wniósł spory wkład związane z rozwojem nowych układów lub optymalizacją istniejących pod kątem ich efektywnej implementacji w specjalizowanych, rekonfigurowalnych układach scalonych bardzo niskiego poboru mocy pracujących w sposób równoległy i/lub asynchroniczny. Praca asynchroniczna jest tutaj rozumiana na kilka sposobów. Z jednej strony pojęcie to obejmuje układy, w których zupełnie nie występuje konieczność stosowania sterującego układu zegarowego (p.4.1.[4, 12]). Do drugiej grupy należą układy, w których w trakcie trwania pojedynczego taktu zegarowego asynchronicznie wykonywanych jest kilka różnych operacji elementarnych (p.4.1.[2,6,11]). Do układów asynchronicznych Autor zalicza również takie, w których poszczególne operacje synchronizowane są za pomocą wewnętrznego systemu zegarowego wyzwalanego określonym zdarzeniem. Rolą zegara jest w tym przypadku uszeregowanie typowo krótkiej listy zadań, po wykonaniu której system zegarowy jest samoczynnie wyłączany (p.4.1.[16,15], p.5.1.[42]). W takim przypadku generowane sygnały zegarowe nie muszą być dobrej jakości. Tak rozumiany tryb asynchroniczny w zaprezentowanych wynikach badań znacząco upraszczał strukturę układu scalonego, co w konsekwencji prowadziło do znaczących oszczędności pobieranej energii oraz minimalizacji zajmowanej powierzchni w porównaniu z analogicznymi układami tego typu opisywanymi w literaturze.

Specjalizowane układy scalone (ASIC – ang. Application Specific Integrated Circuits) ze względu na wiele swoich zalet wykorzystywane są w niemal wszystkich dziedzinach współczesnego życia. Obecnie najliczniejszą ich grupę stanowią układy oparte na technice cyfrowej, co wynika z kilku ważnych przesłanek. Postęp technologiczny pozwala na coraz większą miniaturyzację, co ma szczególne znaczenie patrząc z punktu widzenia układów cyfrowych. Układy te w porównaniu z układami analogowymi są bardziej odporne na wpływ procesu technologicznego, jak i zmian warunków zewnętrznych, takich jak napięcie zasilania oraz temperatura otoczenia (PVT – ang. process, voltage, temperature variation). W przypadku układów cyfrowych parametry PVT wpływają głównie na szybkość osiąganą przez układ, najczęściej jednak nie zmieniają jego funkcjonalności

nawet przy zastosowaniu minimalnych dla danej technologii wymiarów tranzystorów (p.4.1.[16]). W przypadku układów analogowych obserwowany jest jednak znacznie większy, negatywny wpływ parametrów PVT na zachowanie układu.

Jednym z podstawowych problemów spotykanych w układach analogowych jest zjawisko niedopasowania tranzystorów (ang. transistor mismatch) pojawiające się w trakcie procesu technologicznego. W nowszych technologiach obserwuje się co prawda poprawę dopasowania tranzystorów przy danej powierzchni bramki, jednak nie jest ono liniowo zależne od zastosowanej technologii (p.5.1.[31], p.4.1.[10]). Jako przykład możemy rozważyć dwa lustra prądowe zrealizowane w technologiach CMOS 0.18 μm oraz 0.8 μm . Jeśli powierzchnie bramek tranzystorów wchodzących w skład tych lusterek są w obu przypadkach takie same, wówczas niedopasowanie napięć progowych, ΔV_{TH} , tych tranzystorów w nowszej z tych technologii jest jedynie dwukrotnie mniejsze niż w starszej. Powoduje to, że w przypadku układów analogowych najczęściej potrzeba mocno przewymiarowywać tranzystory. W rezultacie stosowanie nowszych technologii do projektowania czysto analogowych układów, albo układów z przewagą bloków analogowych nie zawsze jest opłacalne. Problemem niedopasowania tranzystorów Autor zajmował się we wszystkich układach, w projektowaniu których brał udział. Optymalizacja układów z punktu widzenia zjawiska niedopasowania nie jest zadaniem trywialnym. Nie zawsze bowiem przewymiarowanie tranzystorów liniowo poprawia dokładność układu. Ważne są również zakresy sygnałów wejściowych. Zostało to szerzej omówione w dalszej części wniosku (Sekcja 4.2.5).

Inne problemy, jakie pojawiają się przy projektowaniu układów analogowych to zjawisko wstrzykiwania ładunku, które ma wpływ na dokładność zapisu i odczytu informacji w komórkach analogowych, oraz zjawisko upływności, które skraca czas przez jaki informacja może być trzymana w komórkach pamięci bez znaczących zniekształceń (p.4.1.[10], p.5.1.[31]). Ważnym problemem jest też wspomniany wyżej wpływ zmian temperatury otoczenia na zachowanie układów. Autor zajmował się tymi problemami w przypadku większości projektowanych przez siebie układów. Efektem tych prac były różne techniki optymalizacji tych układów. Jednym z przykładów jest zaproponowany przez Autora układ kompensacji temperaturowej, który znacząco poprawiał właściwości liczników analogowych stosowanych w układach opisanych w (p.4.1.[6, 9]). Zostało to szczegółowo omówione w dalszej części wniosku (Sekcja 4.2.5).

Układy cyfrowe oferują szereg zalet, co powoduje, że stosowane są w coraz większej liczbie przypadków. Nadal jednak są dziedziny, w których układy analogowe zawsze będą stosowane. Jako przykład można tutaj przytoczyć przetworniki analogowo-cyfrowe (ADC – ang. Analog-to-Digital Converter), które składają się z bloków zarówno analogowych, jak i cyfrowych. Ponieważ w takich układach nie da się uniknąć stosowania bloków analogowych, dlatego koniecznością staje się ich optymalizacja, co wiąże się z projektowaniem nowych rozwiązań układowych, ale też minimalizacją opisanych wyżej zjawisk. Autor w trakcie pobytu na stypendiach zagranicznych zajmował się rozwojem przetworników ADC typu SAR (ang. Successive Approximation Register). W układach tego typu decydującą rolę odgrywa jakość wykonania przetwornika cyfrowo-analogowego (DAC – ang. Digital-to-Analog Converter), który dostarcza sygnał odniesienia porównywany następnie w komparatorze z analogowym sygnałem wejściowym.

W niektórych zastosowaniach układy analogowe oferują określone zalety w porównaniu z rozwiązaniami czysto cyfrowymi. Jako przykład można wskazać taką sytuację, w której przeniesienie części zadań związanych z przetwarzaniem sygnałów na stronę analogową powoduje zmniejszenie ilości danych, jakie będą musiały zostać następnie przekonwertowane do postaci cyfrowej. Przykładem są tutaj dyskretne filtry analogowe, które mogą zostać wykorzystane jako filtry antyaliasingowe, po których obniżana jest szybkość próbkowania, a zatem ilość próbek jaka musi w dalszym kroku zostać przekonwertowana do postaci cyfrowej. Autor zajmował się projektowaniem takich filtrów wiele lat. Początkowo były to filtry pracujące w trybie napięciowym – filtry o skończonej odpowiedzi impulsowej (FIR – ang. Finite Impulse Response) oraz o nieskończonej odpowiedzi impulsowej (IIR – ang. Infinite Impulse Response) – realizowane w technice przełączanych kon-

densatorów (p.4.1.[1,2], p.5.1.[7]). W kolejnych latach Autor zajmował się też tworzeniem różnego rodzaju programowalnych filtrów FIR pracujących w trybie prądowym (p.5.1.[56, 46], p.4.1.[4,5]).

Przykładem układów, w których zastosowanie w przeważającej części techniki analogowej przynosi określone korzyści są analogowe sieci neuronowe (p.4.1.[9,10,11], p.5.1.[2,1]), w projektowaniu których Autor brał udział. W tym przypadku nie występuje konieczność stosowania przetworników A/C, pomimo tego że sygnały wejściowe są analogowe. Wynika to z tego, że wyjściami sieci są cyfrowe 1-bitowe sygnały z komparatorów stosowanych w bloku wylaniającym zwycięzcę (p.4.1.[11, 13]). Inne sygnały wewnętrzne sieci, takie jak wagi neuronów, nie są dalej wykorzystywane, a zatem nie ma konieczności ich konwersji.

Najczęściej jednak optymalnym rozwiązaniem jest zastosowanie analogowo-cyfrowych układów mieszanych, w nowszych technologiach w miarę możliwości z przewagą bloków cyfrowych. Ogólnie rzecz biorąc, odpowiedź na często stawiane pytanie, która z wymienionych technik jest lepsza nie jest jednoznaczna. Każdy przypadek zastosowań musi być rozpatrywany indywidualnie.

Zastosowanie układów ASIC pozwala na stosunkowo łatwe uzyskanie równoległego przetwarzania danych. Biorąc dodatkowo pod uwagę możliwość dobrego dopasowania struktury układu do realizowanego zadania, pozwala to na osiąganie wartości stosunku szybkości do pobieranej mocy (FOM – ang. Figure of Merit) często wielokrotnie większej niż w seryjnych układach, takich jak komputery, czy układy FPGA (ang. Field Programmable Gate Array) (p.4.1.[16], p.5.1.[4,5]). Większość układów zaproponowanych i zrealizowanych przez Autora wniosku, albo w projektowaniu których Autor brał udział, umożliwia pracę równoległą. Nowatorskie podejście w tych projektach pozwoliło w wielu przypadkach uzyskać dużo lepsze wartości wskaźnika FOM niż w podobnych układach opisywanych w literaturze.

Układy ASIC umożliwiają też zastosowanie opisanego wyżej asynchronicznego przetwarzania danych. Podejście to Autor zastosował w kilku realizowanych przez siebie układach. Pozwoliło to znacząco uprościć strukturę tych układów oraz zwiększyć szybkość ich działania. Jednym z takich przykładów jest zaproponowany przez autora równoległy asynchroniczny filtr analogowy do przetwarzania obrazów (p.4.1.[3]). Innym przykładem jest asynchroniczny równoległy multiplexer analogowy do zastosowań w układach ASIC stosowanych w obrazowaniu medycznym (p.4.1.[16]). Rolą tego układu jest wychwytywanie zdarzeń pojawiających się w sposób przypadkowy w czasie, w kanałach dołączonych do poszczególnych jego wejść. Układ ten po odpowiedniej modyfikacji może być również stosowany jako analogowy filtr nieliniowy typu MIN/MAX, oraz jako układ do wylaniania zwycięskiego neuronu (p.4.1.[13]).

Niski pobór mocy oraz małe wymiary jakie osiągnięto w układach, w realizacji których Autor brał udział umożliwiają ich zastosowanie w sieciach bezprzewodowych typu WSN (ang. Wireless Sensor Network) oraz WBAN (ang. Wireless Body Area Network). Jednym z kluczowych parametrów w tych sieciach jest moc pobierana przez poszczególne węzły. Celem optymalizacji jest zatem takie obniżenie poboru mocy komponentów sensorów pracujących jako węzły takich sieci, aby możliwa była ich praca przy wykorzystaniu energii pobieranej z otoczenia lub aby mogły one przez długi okres czasu pracować bez konieczności wymiany baterii. Typowe bloki jakie wchodziły w skład urządzeń pracujących w węzłach sieci WSN oraz WBAN to: sensory, filtry, przetworniki ADC, opcjonalnie dedykowany mikroprocesor optymalizowany pod określone zadania, oraz układ bezprzewodowej komunikacji z pozostałymi węzłami sieci oraz ze stacją bazową (RF front end). Poprzez odpowiednią optymalizację algorytmów uczenia sieci neuronowych można doprowadzić do opłacalności zastosowania miniatury sieci neuronowych bezpośrednio w węzłach WSN, które same decydowałyby kiedy należy skomunikować się ze stacją bazową. W tym przypadku komunikacja mogłaby odbywać się znacznie rzadziej, co pozwoliłoby zaoszczędzić spore ilości energii (blok RF często zużywa nawet 90-95 % całkowitej energii). Możliwość rozwoju takich układów stanowiła motywację dla badań w jakich Autor wniosku brał udział.

Część merytoryczna wniosku została podzielona na kilka części. W następnym podrozdziale Autor przedstawił rozważania dotyczące porównania trybu napięciowego z trybem prądowym

w kontekście realizowanych przez siebie układów. Analizę taką Autor prowadził przy każdym nowym rozwiązaniu układowym nad którym pracował. Celem był wybór optymalnego trybu pracy patrząc z punktu widzenia funkcjonalności układu, tego jakie operacje matematyczne w nim przebiegają oraz końcowych parametrów układu. W kolejnym podrozdziale Autor przedstawił zalety oraz ograniczenia stosowania trybu asynchronicznego w realizowanych układach.

Wszystkie układy, które Autor projektował lub w projektowaniu których brał udział były realizowane w stylu "full-custom". Krótki podrozdział poświęcono zaletom projektowania układów w ten sposób, co wynika z częstego porównywania tego podejścia z metodami automatycznymi.

W ostatniej najbardziej obszernej części przedstawiono kolejno publikacje jakie wchodziły w skład głównego osiągnięcia przedstawionego we wniosku. Zostały one pogrupowane tematycznie w kolejności chronologicznej w jakiej poszczególne projekty były realizowane. Taki porządek wynika z faktu, że wiele rozwiązań rozwijanych w jednej grupie projektów po modyfikacjach znajdowało później zastosowanie w kolejnych układach. Kolejno omówione zostały prace Autora związane z realizacją analogowych filtrów liniowych oraz nieliniowych, przetworników analogowo-cyfrowych, sieci neuronowych oraz układów do zastosowań w medycynie nuklearnej. Z racji dużej liczby projektów realizowanych w stosunkowo krótkim okresie czasu (głównie podczas pobytu Autora na zagranicznych stypendiach naukowych) nie wszystkie układy zostały zweryfikowane pomiarowo. Część projektów kończyła się symulacjami na poziomie tranzystorów. Zdaniem Autora, weryfikacja pomiarowa nie zawsze była konieczna, co wynikało z różnych przesłanek. Przykładowo nieliniowe filtry MIN/MAX pracujące w trybie prądowym nie zostały bezpośrednio zweryfikowane pomiarowo. Bardzo podobne rozwiązanie zostało jednak zastosowane w późniejszym okresie czasu w prototypowej analogowej sieci neuronowej WTA (zweryfikowanej eksperymentalnie) jako blok służący do wyłaniania zwycięskiego neuronu. Podobne podejście układowe zostało przez Autora zastosowane również do realizacji sieci neuronowej Łukasiewicza. Układ ten nie został zweryfikowany pomiarowo, jednak wyniki uzyskane we wspomnianej sieci WTA pozwalają z dużym prawdopodobieństwem ocenić jego zachowanie. W niektórych rozwiązaniach elementarne operacje na jakich opiera się ich działanie były stosowane w innych aplikacjach opisywanych w literaturze.

Realizacja zaproponowanych rozwiązań w układach scalonych nie zawsze była też możliwa. Budżet stypendiów Autora nie był wystarczający na pokrycie kosztów produkcji i weryfikacji wszystkich układów. W czasie stypendiów Autor brał też często równoległe udział w innych projektach wynikających ze współpracy z przemysłem zarówno w Kanadzie jak i Szwajcarii. Przykładem jest tutaj udział w pracach nad żyroskopem MEMS realizowanym w Szwajcarii. Autor zaprojektował całą pętlę sprzężenia zwrotnego żyroskopu zawierającą przetwornik ADC oparty na modulatorze Sigma-Delta wraz z filtrem decymacyjnym (5.1.[11]), regulator PID oraz układ generujący bezpośrednio sygnały sterujące częścią MEMS. Było to cenne doświadczenie, jednak wyniki tych prac nie mogły być w pełni publikowane ze względu na tajemnicę projektową. Dodatkowo współpraca ta zabierała sporą ilość czasu, którego brakowało później na realizację i weryfikację własnych układów.

4.2.2 Układy pracujące w trybie prądowym czy napięciowym?

W przypadku tworzonych układów analogowych konieczna była odpowiedź na pytanie, który z wymienionych trybów pracy jest optymalny w danym przypadku. Powszechnie uważa się, że układy pracujące w trybie prądowym cechują się mniejszą precyzją niż układy pracujące w trybie napięciowym. Analizy prowadzone ostatnio pokazują jednak, że przy obniżaniu napięcia zasilania, co wynika z rozwoju technologii CMOS, stopniowo zanika przewaga układów pracujących w trybie napięciowym. Przy niższych napięciach zasilania mniejsza jest bowiem dopuszczalna amplituda sygnałów napięciowych, co przy określonym poziomie szumów zmniejsza wartość stosunku sygnał/szum 'signal-to-noise ratio' (SNR). Co więcej, nawet jeśli tryb napięciowy posiada przewagę nad trybem prądowym z punktu widzenia kryterium SNR, to istnieją klasy układów, w których

mniejsza precyzja jest dopuszczalna i nie jest szczególnie istotna, natomiast zalety użycia techniki prądowej są dużo ważniejsze.

Zalety stosowania układów pracujących w trybie prądowym:

- a. W przypadku przewagi w danym układzie operacji dodawania oraz odejmowania układy te oferują większą prostotę budowy. Rezultatem jest mniejsza powierzchnia zajmowana w układzie scalonym. Pozwala to na niższe koszty wykonania oraz możliwość scalania większych systemów na małej powierzchni. Przykładem są realizowane przez Autora przetworniki ADC typu SAR (ang. Successive Approximation Register) pracujące w trybie prądowym (4.1.[6, 7, 8]) oraz filtry oparte na układach mnożących Gilberta (4.1.[4,5]).
- b. Przy ustalonym napięciu zasilania układy prądowe mogą pracować z prądami, które można przeskalowywać nawet o 1-2 rzędy wielkości. W efekcie uzyskuje się dużą elastyczność w dopasowywaniu wymaganej szybkości działania układu do pobieranej mocy. Takie właściwości obserwowane były w przypadku filtrów analogowych oraz przetworników ADC realizowanych przez Autora. Trzeba jednak w tym miejscu brać pod uwagę to, że przy malejących wartościach prądów układy stają się wolniejsze, co wynika z dłuższego czasu ładowania / rozładowania pojemności pasożytniczych związanych z poszczególnymi tranzystorami w lustrach prądowych. W rezultacie energia zużyta na wykonanie określonej operacji maleje jedynie umiarkowanie. Przy bardzo małych wartościach prądów maleje też dokładność układu.
- c. Łatwość realizacji funkcji "power down". W układach prądowych realizowanych w technologii CMOS zwykle wystarczy wyłączyć źródła sygnałów prądowych od wejść układu, aby tranzystory wchodzące w skład luster prądowych przeszły w stan wysokiej rezystancji kanału. Powoduje to radykalne obniżenie mocy pobieranej przez układ.

Przedstawione zalety układów pracujących w trybie prądowym były kluczowe przy podejmowaniu decyzji, którą technikę zastosować przy realizacji opisanych analogowych układów scalonych. Warto tutaj wspomnieć, że były to układy, dla których precyzja umożliwiająca uzyskanie efektywnej rozdzielczości sygnałów na poziomie 6-8 bitów była w większości przypadków wystarczająca.

Układy pracujące w trybie prądowym nie są wolne od wad, dlatego wymagają uważnego projektowania. Poniżej przedstawiono potencjalne problemy, jakie występują przy projektowaniu układów tego typu oraz sposoby radzenia sobie z nimi:

- a. Jednym z podstawowych problemów jest wpływ niedopasowania tranzystorów na parametry luster prądowych. Wpływ ten, wynikający z procesu technologicznego, jest w szczególności widoczny w przypadku podprogowej pracy tranzystorów w lustrach prądowych (p.4.1.[4, 5, 10]). Aby minimalizować zjawisko niedopasowania stosowane są różne techniki projektowania struktury układu scalonego. Odpowiednie ułożenie tranzystorów w układzie scalonym pozwala na minimalizację błędów systematycznych, natomiast właściwy dobór rozmiarów tranzystorów pozwala zredukować błędy przypadkowe.

Ważne jest to, aby tranzystory wchodzące w skład poszczególnych luster prądowych były umieszczane blisko siebie i odpowiednio układane względem siebie. Nie zawsze jest to możliwe. Przykładowo w wielowyjściowych lustrach prądowych stosowanych przez Autora w przetwornikach SAR ADC niektóre tranzystory nie były położone w swoim najbliższym sąsiedztwie. Podejście dwustopniowe do realizacji przetwornika DAC w tym przypadku pozwoliło średnio o 80 % ograniczyć wymiary tego bloku. Spowodowało to, że odległości pomiędzy poszczególnymi tranzystorami zostały mocno zredukowane. Jednocześnie nie było konieczności zmniejszania wymiarów najmniejszych tranzystorów w układzie, co miało znaczenie z punktu widzenia dokładności operacji kopiowania prądów (p.4.1.[8]). Zostało to dokładnie opisane w części (Sekcja 4.2.5).

Inną techniką jest przewymiarowywanie tranzystorów wchodzących w skład luster prądowych. Ma to jednak negatywny wpływ na powierzchnię układu oraz na szybkość działania wynikającą ze zwiększonych pojemności pasożytniczych bramek tranzystorów (p.4.1.[9, 13, 5]). Analiza jaką Autor przeprowadzał podczas projektowania opisywanych układów pokazuje, że przy określonym poziomie sygnałów prądowych zwiększanie wymiarów tranzystorów nie prowadzi do poprawy dopasowania tranzystorów, a wręcz może je zmniejszać (p.4.1.[11, 12, 10]). Dzieje się tak gdy tranzystory pracują powyżej napięcia progowego. W tym przypadku błąd wzmocnienia luster prądowych zależy nie tylko od rozrzutu takich parametrów jak np. napięcie progowe V_{TH} (ang. Threshold Voltage), czy wzmocnienie tranzystora β (ang. Transistor Gain Factor), ale również od napięcia bramka-źródło V_{GS} . Jeżeli przy określonym niezmiennym zakresie wartości stosowanych prądów zwiększane są wymiary tranzystorów w lustrach, wówczas maleje rozrzut wspomnianych parametrów, ale maleje również napięcie V_{GS} , wymuszane przez prąd wejściowy lustra. Ten ostatni czynnik powoduje zwiększenie błędów. Analiza przeprowadzona przez Autora pokazuje, że dla określonych wartości prądów istnieje pewne optimum, które trzeba zlokalizować (p.4.1.[10,11,12]). Zostało to potwierdzone eksperymentalnie w przypadku kilku wykonanych układów scalonych.

- b. Efekt wstrzykiwania ładunku (ang. charge injection effect) ma duży wpływ na dokładność zapisu i odczytu informacji w prądowych komórkach pamięci. Nieliniowa (wykładnicza) zależność pomiędzy napięciem V_{GS} oraz prądem wpływającym do drenu powoduje, że w określonym zakresie punktu pracy tranzystora nawet relatywnie duże zmiany prądu wejściowego lustra powodują stosunkowo małe zmiany napięcia na bramkach tranzystorów wchodzących w skład tego lustra. W układach 'sample-and-hold' (S&H) zbudowanych np. na bazie luster prądowych, napięcia będące odpowiednikami prądów wejściowych zapisywane są na kondensatorach przyłączonych do bramek tranzystorów (C_{ST} – storage capacitor) w poszczególnych lustrach prądowych. Ponieważ efekt wstrzykiwania ładunku ma bezpośredni wpływ na napięcie zapisane na tych kondensatorach, dlatego ma to też wpływ na dokładność zapisanej informacji.

Z problemem tym można sobie radzić na kilka sposobów. Jednym z nich jest zwiększenie pojemności kondensatorów, na których zapisywana jest informacja, przy jednoczesnym niezwiększaniu wymiarów tranzystorów w kluczach dołączonych do tych kondensatorów. W ten sposób rosną jednak wartości stałych czasowych ładowania kondensatorów, co prowadzi do zmniejszenia szybkości układu. Dodatkowo rośnie powierzchnia układu. Problemy te są bardzo podobne do tych z jakimi Autor miał do czynienia podczas projektowania analogowych filtrów z przełączanymi pojemnościami pracujących w trybie napięciowym.

Innym sposobem jest stosowanie kluczy "atrap" (ang. dummy switches). W kluczach tych dreny oraz źródła tranzystorów są ze sobą zwarte, a same klucze sterowane są sygnałami zegarowymi o odwrotnej polaryzacji niż klucze doprowadzające informację do kondensatorów, na których informacja ta jest następnie przechowywana.

Technika ta ma swoje ograniczenia. Problem z tymi kluczami jest taki, że bardzo trudno jest uzyskać za ich pomocą liniową kompensację efektu wstrzykiwania ładunku w całym zakresie napięć (typowo w układach napięciowych 'rail-to-rail'). Ponieważ jednak w komórkach opartych na lustrach prądowych napięcie to zmienia się w stosunkowo niewielkim zakresie, dlatego kompensacja taka jest możliwa po odpowiedniej optymalizacji i przy właściwym doborze rozmiarów tranzystorów w kluczach.

Technikę tę Autor stosował wielokrotnie w projektowanych przez siebie filtrach analogowych, ale też w takich układach, jak analogowe komórki pamięci używane w dekodernach analogowych (5.1.[31]), czy też w zaproponowanym przez siebie detektorze wartości szczytowej (4.1.[15]). Doświadczenia zdobyte przy tworzeniu i optymalizacji tych układów Au-

tor wykorzystał następnie w projekcie analogowego mechanizmu adaptacyjnego opisanego w (p.4.1.[10]), w którym brał udział.

- c. Innym problemem, który ma duży wpływ na zachowanie układów pracujących w trybie prądowym jest tzw. efekt upływności ładunku (ang. leakage effect). Efekt ten można do pewnego stopnia minimalizować poprzez zwiększenie pojemności kondensatorów w pamięciach analogowych, jednak odbywa się to kosztem zmniejszenia szybkości działania układu oraz zwiększenia jego powierzchni. Inny sposób ograniczania wpływu tego zjawiska jaki zastosowany został w układzie adaptacyjnym opisanym w p.4.1.[10] polega na takiej konstrukcji pamięci analogowej, aby po obu stronach klucza doprowadzającego informację do kondensatora C_{ST} zachowywać podobny potencjał, co znacząco zmniejsza prąd upływu. Jest to możliwe przy odpowiedniej konstrukcji mechanizmu adaptacyjnego, jaki został zastosowany w analogowej sieci neuronowej, w projektowaniu której Autor brał udział (p.4.1.[9,10]). Zastosowany w tym układzie mechanizm kompensacji jest pomysłu Autora wniosku.

W układach analogowych pracujących w trybie prądowym, którymi zajmował się Autor, nie były stosowane bloki aktywne typu wzmacniacze operacyjne. Miało to na celu ograniczenie poboru mocy oraz zmniejszenie zajmowanej powierzchni tych układów. Pewną wadą takiego podejścia jest ograniczenie szybkości działania układu. Przykładowo w technologii CMOS 0.18 μm granica ta dla niektórych realizowanych układów przy standardowym napięciu zasilania $V_{DD}=1.8\text{ V}$ wynosiła kilkanaście MHz. Ograniczenie to wynikało np. ze stosunkowo niskiej szybkości działania komparatorów, realizowanych w tym przypadku w oparciu o inwertery CMOS, przy niewielkich różnicach porównywanych prądów jakie trzeba było brać pod uwagę (np. w układach opisanych w p.4.1.[9-13]). Problem ten był analizowany dokładniej w przypadku równoległego układu służącego do detekcji zwycięskiego neuronu zaproponowanego w (p.4.1.[11]), opisanego bardziej szczegółowo w dalszej części wniosku. Podobny problem występował też w realizowanych wcześniej filtrach nieliniowych MIN/MAX (p.5.1.[46]) oraz przetwornikach analogowo-cyfrowych (p.4.1.[6]).

Biorąc pod uwagę szybkość działania, lepsze parametry były osiągane w przypadku analogowych filtrów FIR pracujących w trybie napięciowym w porównaniu do podobnych filtrów pracujących w trybie prądowym (p.4.1.[2]).

4.2.3 Układy synchroniczne czy asynchroniczne?

Układy asynchroniczne stwarzają często szereg problemów. Niektóre z nich powstają podczas ich realizacji, a inne podczas ich współpracy z blokami synchronicznymi w jednym większym systemie. Istnieją jednak takie obszary zastosowań, w których użycie tych układów jest bardzo wskazane i dlatego warto je rozwijać. Sposób w jaki bloki asynchroniczne współpracują z innymi blokami jest krytyczny dla zapewnienia stabilności całego systemu.

Układy asynchroniczne mogą wykonywać określoną listę zadań, pracując np. w trybie 'feed-forward', w którym określona lista zadań wykonuje się w jednym taktie zegara, który narzucony jest przez zewnętrzny blok sterujący. Przykładem tutaj jest wspomniany wcześniej przetwornik ADC realizowany przez Autora, w którym w jednym taktie zegara następuje przełączenie kluczy w przetworniku DAC. Powoduje to zmianę wartości prądu odniesienia doprowadzonego do komparatora, następnie porównanie tego sygnału z analogowym sygnałem wejściowym oraz rekonfigurację odpowiedniej sekcji w części cyfrowej układu (p.4.1.[6, 8]).

Układy te mogą pracować jako samodzielne bloki, jak np. zaproponowany przez Autora wielowejsiowy równoległy asynchroniczny filtr obrazu (p.4.1.[3]), który nie wymaga zegara sterującego.

Układy asynchroniczne mogą być zaprojektowane w taki sposób, że w przypadku braku zewnętrznego sygnału wyzwalającego, układy te znajdują się w trybie uśpienia ("power-down"), prawie nie pobierając w tym czasie energii. W momencie, gdy na wejście (lub wejścia) podany zo-

staje określony sygnał, układ taki przechodzi do trybu aktywnego, wykonuje określoną listę zadań, a następnie ponownie przechodzi do trybu uśpienia. Przykładem takiego rozwiązania jest asynchroniczny równoległy multiplekser CMOS zaproponowany przez Autora w p.4.1.[16] opisany dalej we wniosku (Sekcja 4.2.5). W układzie tym tryb uśpienia uzyskiwany jest w sposób naturalny, ponieważ układy cyfrowe CMOS praktycznie nie pobierają energii, gdy nie są przełączane. Multiplekser został zaprojektowany do zastosowań w wielokanałowych specjalizowanych układach scalonych stosowanych w medycynie nuklearnej. W układach tych poszczególne kanały uaktywniane są za pomocą danych pojawiających się asynchronicznie na ich wejściach.

Jak zostało wspomniane wcześniej do układów asynchronicznych zaliczyć można również takie rozwiązania, w których określona lista zadań wykonywana jest przy asyście wewnętrznego układu sekwencyjnego, który nie jest sterowany z zewnątrz ale jest uruchamiany i zatrzymywany określonymi sygnałami wewnętrznymi. Z punktu widzenia systemu zewnętrznego układ taki widziany jako tzw. czarna skrzynka (ang. black box). Uruchamiany jest w określonych okolicznościach, generując określone wyniki w czasie nie dłuższym niż tzw. założony najgorszy przypadek. Okres czasu określany jako najgorszy przypadek jest tutaj narzucony przez system. Taki sposób sterowania Autor zastosował w detektorze wartości szczytowej impulsu w układzie zaprojektowanym do zastosowań w medycynie nuklearnej. W tym przypadku wewnętrzny zegar próbujący sygnał impulsu uruchamiany był w momencie, gdy wartość impulsu przekraczała określoną wartość progową (było to sygnalizowane flagą), a wyłączany był po wykryciu wartości szczytowej (p.4.1.14,15), powodując przejście całego układu do stanu uśpienia. W okresie aktywności wewnętrzny blok sekwencyjny generował określoną stosunkowo małą liczbę taktów zegarowych. Podobny schemat sterowania Autor zastosował też w zaproponowanym przez siebie przetworniku analogowo-cyfrowym, w którym wewnętrzny blok sekwencyjny generował określoną liczbę taktów zegarowych, które sterowały poszczególnymi stopniami algorytmu konwersji. Na końcu przetwornik ponownie przechodził w stan uśpienia. Jest to rodzaj automatu skończonego (FSM – ang. finite state machine).

Prezentowane układy asynchroniczne mają kilka istotnych zalet. Jedną z nich jest brak konieczności stosowania zewnętrznego złożonego, wielofazowego systemu zegarowego. Brak tego układu znacząco upraszcza całkowitą strukturę układu (np. brak linii doprowadzających sygnały zegarowe), co ma wpływ na powierzchnię zajmowaną w układzie scalonym. Zdecydowanie zmniejsza się wtedy pobór mocy, a w układach analogowych dodatkowo poprawia się jakość przetwarzania sygnałów, co wynika z braku przenikania cyfrowych sygnałów zegarowych do torów sygnałów analogowych. Wszystkie te cechy mają istotne znaczenie z punktu widzenia urządzeń stosowanych w sieciach typu WSN oraz WBAN.

Wiele układów asynchronicznych zaproponowanych przez Autora umożliwia też równoległe przetwarzanie sygnałów. W niektórych przypadkach konieczne było zapewnienie właściwego zarządzania sygnałami pojawiającymi się asynchronicznie w poszczególnych torach przetwarzania informacji. Problem taki występował we wspomnianym układzie do zastosowań w medycynie nuklearnej. Rolę zarządzania tymi sygnałami pełnił w tym układzie asynchroniczny multiplekser, który oferował jednocześnie mechanizm przeciwdziałania kolizjom na wypadek pojawienia się jednego lub więcej impulsów w tym samym czasie (p.4.1.[16]).

4.2.4 Projektowanie układów w stylu 'full custom'

Układy scalone projektowane oraz współprojektowane przez Autora zawsze były projektowane w stylu 'full-custom'. Metoda ta wybierana była z kilku względów:

- a. Projektowane układy zawierały bloki zarówno analogowe, jak i cyfrowe. Ze względu na specyfikę realizowanych projektów komponenty te nie zawsze mogły być ułożone na osobnych obszarach. Metody automatyczne (np. metoda cel standardowych) nie znalazły tutaj zastosowania, ponieważ stosowane są do realizacji układów cyfrowych.

- b. W opinii Autora, gdy metoda "full custom" używana jest w sposób umiemytny, prowadzi do uzyskania lepszych parametrów, takich jak np. powierzchnia zajmowana w układzie scalonym. Przykładem są tutaj wielofazowe systemy zegarowe projektowane przez Autora do zastosowań w analogowych filtrach FIR pracujących w trybie napięciowym, jak i prądowym (p.4.1.[2], p.5.1.[63]). Dodatkowo w określonych przypadkach projektowanie tą metodą zabierało mało czasu, co powodowało, że zastosowanie metod automatycznych było nieopłacalne.
- c. W wielu rozwiązaniach układowych zaproponowanych przez Autora, lub w projektowaniu których Autor uczestniczył konieczne było bardzo precyzyjne określenie lokalizacji poszczególnych bramek, czy też większych bloków w strukturze układu scalonego (p.4.1.[16, 11], p.5.1.[4, 5]). Zalety tych układów w dużej mierze zależały od tego rozkładu.

4.2.5 Główne tezy artykułów składających się na 'wskazane osiągnięcie'

Publikacje wchodzące w skład głównego osiągnięcia zostały pogrupowane tematycznie. Do głównego osiągnięcia Autor wybrał przede wszystkim prace opublikowane w czasopiśmie punktowanych oraz w rozdziałach książek. W niektórych przypadkach celem uzupełnienia konieczne było dodanie wybranych prac konferencyjnych, np. pomiary filtru opartego na układach mnożących Gilberta zostały opublikowane w pracy konferencyjnej.

1. Prace dotyczące filtrów z przełączanymi kondensatorami

W cyklu dwóch artykułów przedstawiono analogowy programowalny filtr o skończonej odpowiedzi impulsowej (FIR – ang. Finite Impulse Response) z przełączanymi kondensatorami (SC – ang. Switched Capacitors) pracujący w trybie równoległym. Przedstawione prace są kontynuacją oraz rozwinięciem wcześniejszych badań autora nad tego typu filtrami, podczas których zaprojektował, wykonał oraz zweryfikował pomiarowo kilka prototypowych filtrów opartych na innych architekturach (p.5.1.[7]). Koncepcja filtru z pamięcią cyrkularną oraz jego wstępna weryfikacja symulacyjna w technologii CMOS 0.35 μm zostały przedstawione w pierwszej z publikacji, w której był jedynym autorem. W drugim artykule przedstawiono podobny filtr, ale zaprojektowany w technologii TSMC CMOS 0.18 μm . Projekt zakończył się jedynie badaniami symulacyjnymi, jednak podstawowe operacje, na których opiera się jego działanie są takie same jak we wcześniejszych projektach, zakończonych pomyślnie zweryfikowanymi eksperymentalnie prototypami układów scalonych.

MIXDES FIRSC / SPR FIRSC

W zaproponowanej architekturze filtru wyeliminowano szereg niedokładności, które widoczne są w innych architekturach tych filtrów. Jak wspomniano wcześniej jednym z głównych problemów związanych z pamięciami analogowymi jest niedokładność zapisu / odczytu informacji, która staje się szczególnie uciążliwa w przypadku wielokrotnego przepisywania próbek sygnału pomiędzy komórkami pamięci. W zaproponowanej architekturze ilość operacji przepisywania została zredukowana do kilku niezależnie od długości filtru. Na podobnych zasadach opiera się inna architektura filtru z kluczem rotacyjnym, jednak w tym przypadku poszczególne komórki pamięci z linii opóźniającej w kolejnych fazach zegarowych łączone są za pomocą klucza rotacyjnego z różnymi kondensatorami ze stopnia wyjściowego filtru. Struktura z kluczem rotacyjnym ma kilka wad. Klucz rotacyjny zajmuje dużą powierzchnię, która rośnie z kwadratem długości filtru. Dodatkowo ścieżki łączące komórki pamięci z linii opóźniającej z poszczególnymi kondensatorami ze stopnia wyjściowego mają różną długość, czyli różną pojemność pasożytniczą, która ma wpływ na odwzorowanie współczynników filtrów na kondensatorach. W filtrze zaproponowanym przez Autora problem ten został wyeliminowany. Wyeliminowano klucz rotacyjny, a poszczególne komórki pamięci połączone są

na stałe zawsze tylko z jednym kondensatorem ze stopnia wyjściowego, o programowalnej pojemności. Efekt przesuwania próbek w linii opóźniającej zrealizowano poprzez przesuwanie wartości pojemności w sposób rotacyjny pomiędzy poszczególnymi kondensatorami. Wartości pojemności poszczególnych kondensatorów programowane są sygnałami n -bitowymi zapisanymi w cyrkularnej pamięci cyfrowej. Przepisywaniu podlegają więc jedynie sygnały cyfrowe, pomiędzy kolejnymi cyklami obliczania próbek sygnału wyjściowego, co nie wpływa na jakość przetwarzania sygnałów analogowych.

Zaproponowany filtr można programować na kilka sposobów. Jednym z nich jest programowanie charakterystyk filtru poprzez ustawienie wartości poszczególnych współczynników. Realizacja współczynników ujemnych możliwa jest poprzez odpowiednie podłączanie (klucze konfiguracyjne) kondensatorów do komórek pamięci z linii opóźniającej jak i do wyjściowego wzmacniacza operacyjnego. Rolą tego wzmacniacza jest sumowanie ładunków na kondensatorze znajdującym się w jego sprzężeniu zwrotnym. Warto tutaj dodać, że wartości iloczynów poszczególnych próbek sygnału oraz współczynników filtru reprezentowane są przez ładunki zgromadzone w poszczególnych kondensatorach. Dodatkowo za pomocą kilku sygnałów programujących, filtr można podzielić na dwie niezależne sekcje FIR, które można połączyć szeregowo, co przy odpowiednio dobranych współczynnikach filtru zwiększa możliwość do uzyskania stromość pasma przepustowego filtru jak i tłumienie w paśmie zaporowym. Dwie oddzielne sekcje można też połączyć w taki sposób, że uzyskiwany jest filtr o nieskończonej odpowiedzi impulsowej (IIR), co dodatkowo zwiększa obszar zastosowań układu.

Filtr działa w sposób równoległy. Zapis kolejnych próbek sygnału do linii opóźniającej odbywa się sekwencyjnie, jednak następujące po nim mnożenie poszczególnych próbek przez współczynniki filtru oraz ich sumowanie odbywa się całkowicie równoległe. Równoległe przepisywane są też wartości współczynników filtru pomiędzy poszczególnymi kondensatorami.

2. Prace dotyczące filtrów z przełączanymi prądami do zastosowań w przetwarzaniu obrazów

Kontynuacją prac nad analogowymi filtrami pracującymi w trybie napięciowym były filtry FIR oraz banki filtrów pracujących w trybie przełączanych prądów rozwijane przez Autora. Powstały dwie prace konferencyjne w tej tematyce ze 100 % udziałem Autora wniosku (p.5.1.[56, 46]), w których przedstawiono koncepcję rodziny filtrów FIR SI (ang. switched current) oraz banku takich filtrów. Kontynuacją tych prac były filtry FIR do przetwarzania obrazów oparte na układach mnożących Gilberta oraz koncepcje filtrów nieliniowych pracujących z sygnałami dyskretnymi w czasie oraz nieliniowe filtry obrazu (p.5.1.[45]). Filtry nieliniowe były następnie rozwijane jako układy do zastosowań w analogowych sieciach neuronowych, co przedstawiono w dalszej części wniosku. Z drugiej strony niektóre rozwiązania dotyczące filtrów liniowych FIR SI przedstawione w (p.5.1.[56, 46]) znalazły zastosowanie w detektorze wartości szczytowej zaproponowanej przez Autora (p.4.1.[14, 15]).

Do 'wskazanego osiągnięcia' Autor wybrał prace poświęcone filtrom obrazu, w których zastosował część wcześniejszych rozwiązań. W cyklu trzech publikacji przedstawił koncepcję oraz realizację w technologii CMOS 180 nm programowalnego, analogowego, asynchronicznego, równoległego filtru FIR opartego na wektorowych układach mnożących Gilberta pracujących w trybie prądowym. Filtr może zostać wykorzystany do szybkiej filtracji obrazów, w której wszystkie piksele obrazu obliczane są w sposób równoległy. Przy zastosowaniu mechanizmu adaptacji, filtry te mogą zostać użyte jako jeden ze stopni obliczeniowych w konwulucyjnych sieciach neuronowych. Prototyp filtru został zweryfikowany pomiarowo.

MIXDES GVM

Koncepcja filtru, całkowicie pomysłu Autora, wraz ze wstępną weryfikacją w oparciu o symulacje na poziomie tranzystorów została przedstawiona w pierwszym z artykułów (p.4.1.[3]). Pomysł realizacji tych układów pojawił się w trakcie prac Autora nad dekodernami analogowymi (p.5.1.[31]), w których używane były wektorowe układy mnożące Gilberta (współpraca z Prof. Vincentem Gaudetem podczas pobytu Autora w Kanadzie). Autor zauważył, że układy te oferują właściwości, które można wykorzystać do realizacji równoległych i asynchronicznych filtrów FIR. Wstępne symulacje pokazały, że teoretycznie filtr taki może przetwarzać nawet kilkaset tysięcy ramek na sekundę bez stosowania sterującego systemu zegarowego. W artykule ograniczono się do obrazu o rozdzielczości 8x8 pikseli. Rozdzielczość ta może być jednak w prosty sposób zwiększona, poprzez proste powielenie poszczególnych bloków. Zaproponowane filtry są programowalne, co oznacza, że można za ich pomocą realizować charakterystyki zarówno dolno, jak i górnoprzepustowe o różnych współczynnikach. Programowanie całego filtru odbywa się za pomocą jedynie kilkudziesięciu bitów. Proces programowania jest na tyle szybki (kilkadziesiąt nanosekund), że można go przeprowadzić nawet w rzeczywistym czasie pracy układu. W artykule przedstawiono symulacje zarówno dla filtru dolno, jak i górno przepustowego. Filtry te mogą stanowić alternatywę dla komórkowych sieci neuronowych używanych w filtracji obrazu.

SPR GVM

W kolejnym artykule z przedstawionego cyklu opisane zostały dwie wersje tego filtru, które umożliwiają pracę z sygnałami próbkowanymi w dziedzinie czasu (1-D) lub sygnałami próbkowanymi w dziedzinie współrzędnych obrazu (2-D). W pierwszym przypadku zastosowany układ zegarowy używany był jedynie do zapisywania kolejnych próbek sygnału w linii opóźniającej, podczas gdy dalsze przetwarzanie sygnałów realizowane było równoległe w sposób asynchroniczny. W drugim przypadku filtracja odbywała się całkowicie asynchronicznie i w pełni równoległe. Oznacza to, że wszystkie sygnały wejściowe mogły być dostarczane do układu w sposób ciągły. Przefiltrowane dane pojawiały się na wyjściach układu po opóźnieniach wynikających jedynie z jego struktury. W symulacjach opóźnienia te nie przekraczały 1 – 10 μs w zależności od poziomów prądów wejściowych, które mogły być skalowane w dość szerokim zakresie.

BIODEV GVM

W trzecim artykule przedstawiono realizację prototypowego filtru obrazu w technologii TSMC CMOS 180 nm. Struktura układu scalonego została zaprojektowana i zbadana eksperymentalnie w całości przez Autora pracy. W przypadku pomiarów układu opóźnienia były większe (na poziomie 20 – 100 μs), co wynikało głównie z dużej pojemności padów. W układzie scalonym zaprojektowano trzy identyczne, co do schematu elektrycznego filtry, różniące się rozmiarami tranzystorów. Celem tego było zbadanie wpływu zjawiska niedopasowania tranzystorów (mismatch) oraz jego wpływu na dokładność przetwarzania informacji. Biorąc pod uwagę szumy, jakie były widoczne podczas pomiarów, w zależności od poziomów prądów wejściowych udało się uzyskać efektywną rozdzielczość na poziomie 6 bitów (dla największych testowanych prądów). Warto dodać, że maksymalne testowane prądy miały wartości około 6 μA , podczas gdy teoretycznie można by pracować z prądami nawet trzykrotnie większymi.

Wyniki pomiarów oraz symulacji pokazały, że w przypadku obrazów o rozdzielczości na poziomie 1 Mpiksela współpracujących np. z matrycami CCD lub CMOS, można teoretycznie uzyskać moc obliczeniową rzędu kilkunastu do kilkudziesięciu Gpikseli/s. Wąskim gardłem jest tutaj konieczność dostarczenia dużej ilości danych do układu oraz późniejszego zebrania uzyskanych wyników. Jedną z możliwości rozwiązania tego problemu jest zastosowanie tech-

nologii 3-D ASIC, która umożliwia zastosowanie większej liczby padów umieszczanych nie tylko na zewnętrznym ringu.

3. Prace dotyczące przetworników analogowo-cyfrowych

Jednym z ważniejszych kierunków prac badawczych Autora są algorytmiczne przetworniki analogowo-cyfrowe, pracujące w oparciu o architekturę SAR (ang. Successive Approximation Register). Bardzo wiele prac w tym obszarze zostało opublikowanych na świecie. Prace te dotyczą głównie przetworników pracujących w trybie napięciowym, opartych na przeładowanej matrycy kondensatorów. Autor w swoich badaniach poszedł w innym kierunku. Jego celem było uzyskanie bardzo małej powierzchni układu, tak aby możliwe było umieszczenie wielu przetworników tego typu w jednym układzie scalonym. Ma to znaczenie w sztucznych sieciach neuronowych pracujących w mieszanym trybie analogowo-cyfrowym, ale również w układach stosowanych w medycynie nuklearnej (p.4.1.[7]). Układy tego typu mogą być też używane w większych układach scalonych do kontrolnego pomiaru wybranych sygnałów analogowych. W tym przypadku na zewnątrz układu scalonego dostarczany jest odpowiednik cyfrowy mierzonego sygnału.

Aby uzyskać małą powierzchnię Autor realizował swoje układy w technologii przełączanych prądów. Dzięki temu udało się mocno zmniejszyć powierzchnię przetwornika cyfrowo-analogowego będącego jednym z komponentów przetwornika typu SAR. Efektem końcowym tych prac jest programowalny 10-bitowy przetwornik wykonany we współpracy z IHP we Frankfurcie nad Odrą w technologii CMOS 130 nm, zajmujący powierzchnię jedynie 0.01 mm². Według obecnej wiedzy Autora, zaprojektowany przetwornik jest prawdopodobnie najmniejszym tego typu na świecie (rozpatrując rozdzielczość 10 bitów).

Wyniki przeprowadzonych prac badawczo-rozwojowych w tym obszarze przedstawione zostały w kilku pracach, z których wybrane są częścią głównego osiągnięcia naukowego przedstawionego we wniosku.

VLSIDES ADC

W pierwszej z zaprezentowanych prac (p.4.1.[6]) przedstawiono koncepcję przetwornika wykonanego w wersji 8-bitowej w technologii TSMC CMOS 180nm. Dodatkowo zaproponowano i wykonano przetwornik pracujący w architekturze "time interleaved", w którym osiem pojedynczych sekcji SAR ADC pracowało w pełni równolegle. W przetworniku tym w bardzo szerokim zakresie można było regulować szybkość układu oraz rozdzielczość sygnału wyjściowego, podczas gdy moc pobierana przez układ była dopasowywana do chwilowej mocy obliczeniowej. W układzie można było programować sterujący system zegarowy, a w wersji "time interleaved" dodatkowo wyłączać nieużywane w danej chwili sekcje przetwornika. Przekładało się to na możliwość zmian rozdzielczości sygnału wyjściowego oraz szybkości układu.

Zastosowany układ zegarowy oparty był na liczniku analogowym połączonym z zaproponowanym przez Autora układem kompensacji wpływu temperatury. Układ kompensacji pozwolił uzyskać dużą elastyczność bloku zegarowego z modulo zmieniającym się w szerokim zakresie. Układ ten pracuje stabilnie nawet dla dużych zmian temperatury. Po odpowiedniej modyfikacji został on następnie wykorzystany w mechanizmie sumienia zaprojektowanym do zastosowań w analogowej sieci Kohonena typu WTA (ang. Winner Takes All), współtworzonej przez Autora wniosku (p.4.1.[9]).

W dalszych pracach w tym obszarze Autor zaproponował koncepcję dwustopniowego przetwornika C/A (DAC - digital-to-analog converter) pracującego w trybie prądowym. Koncepcja tego układu została opisana w rozdziale książki wydanej przez CRC Press (p.4.1.[7]) a następnie zrealizowana w postaci prototypowego układu scalonego opisanego w (p.4.1.[8]).

CRC ADC

Drugą z prac z tego cyklu to rozdział w książce. Ze względu na to, że prace tego typu mają często charakter "tutoriala", dlatego w dużo większym stopniu niż w innych pracach Autor skupił się na studium literatury przedmiotu. Autor w swoich badaniach przeanalizował i porównał parametry kilkuset przetworników A/C opartych na różnych architekturach (wybrane przypadki są przedstawione w publikacji). W pracy Autor przedstawił również koncepcję nowego przetwornika A/C typu SAR pracującego w trybie prądowym z dwustopniowym przetwornikiem C/A. Koncepcja ta została szerzej omówiona w kolejnej pracy opisanej poniżej.

MIXDES ADC

Zaproponowana koncepcja dwustopniowego przetwornika DAC pracującego w trybie prądowym ma duże znaczenie z punktu widzenia poprawy parametrów układu. W podejściu jedno-stopniowym przetwornik DAC realizowany jest w oparciu o wielowyjściowe lustro prądowe, w którym poszczególne tranzystory wyjściowe mają szerokości kanału zmieniające się z potęgą liczby 2. W wersji 8-bitowej oznacza to, że największy tranzystor ma szerokość kanału 128 razy większą niż najmniejszy. Aby minimalizować wpływ zjawiska niedopasowania tranzystorów najmniejszy tranzystor musi być przewymiarowany. Oznacza to jednak, że wymiary największych tranzystorów stają się bardzo duże. W przypadku podejścia 2-stopniowego rozrzuty szerokości kanałów mogą być znacznie mniejsze, podczas gdy istotny jest iloczyn współczynników wzmocnienia odpowiednich gałęzi w obu stopniach przetwornika DAC. Realizacja układu opartego na tym rozwiązaniu w technologii CMOS 130 nm została opisana w trzeciej z przedstawionych prac z tego cyklu (p.4.1.[8]). Układ został zaprojektowany podczas pobytu Autora na stypendium DAAD w instytucie IHP Microelectronics we Frankfurcie nad Odrą, a w tym roku projekt układu został skierowany do produkcji w IHP.

Zastosowanie koncepcji 2-stopniowego przetwornika DAC pozwoliło zaprojektować przetwornik ADC o rozdzielczości $n=10$ -bitów, który mieści się na powierzchni 0.01 mm^2 . Dużą liniowość oraz precyzję przetwornika DAC uzyskano poprzez zastosowanie lusterek kaskodowych. Dla szybkości przetwarzania 0.55 MSamples/s oraz rozdzielczości 10-bitów układ pobiera średnią moc $13.2 \mu\text{W}$ (wyniki symulacji). Figure-of-Merit (FOM) liczony jako $\text{FOM} = P/(2^n \cdot f_s)$ jest jednym z najniższych jakie są raportowane w literaturze. Wyniki pokazane są w tabeli przedstawionej w artykule (p.4.1.[8]).

Układ jest programowalny. Dwustopniowy przetwornik DAC składa się z dziesięciu gałęzi dostarczających poszczególne składowe prądy odniesienia I_{REF} , w zależności od wartości poszczególnych bitów sterujących obliczonych przez przetwornik w poszczególnych stopniach algorytmu aproksymacji. Jeśli mniejsze rozdzielczości są wystarczające, istnieje możliwość wyboru gałęzi, które będą używane. Pozwala to sterować w dużym zakresie szybkością układu oraz dostosować moc pobieraną przez przetwornik do wykonywanych zadań.

Jednym z problemów było sterowanie prądami wyjściowymi z poszczególnych gałęzi przetwornika DAC, które stanowią składowe prądy odniesienia I_{REF} . Jedną z teoretycznych możliwości jest zupełne wyłączenie danej gałęzi poprzez zestaw kluczy, gdy dany bit ma wartość 0. Problem jaki jednak pojawia się w takim przypadku (przy dużych prądach) polega na długim czasie wygaszania a następnie włączania takich sygnałów. Aby uniknąć takiej sytuacji Autor zaproponował rozwiązanie, w którym poszczególne prądy nie są wygaszane, a jedynie przekierowywane do dodatkowych lusterek prądowych za pomocą dodatkowych kluczy sterowanych sygnałami o odwróconej polaryzacji. Dzięki temu przełączanie nawet dużych prądów zajmuje tyle samo czasu, co prądów małych. Miało to kluczowe znaczenie dla uzyskania stosunkowo dużych szybkości przetwarzania sygnałów przy danych poziomach pobieranej mocy.

Na razie dostępne są jedynie wyniki symulacji polayoutowych (dokładne symulacje naróżnikowe) oraz analiza negatywnych zjawisk, która pozwoliła optymalnie dobrać wymiary tranzystorów dla założonych zakresów prądów. Układ jest w fazie produkcji i zostanie zweryfikowany pomiarowo w czasie późniejszym. W dużej mierze opiera się on jednak na rozwiązaniach stosowanych przez Autora już wcześniej w innych układach, które były pozytywnie zweryfikowane pomiarowo.

4. Prace dotyczące sztucznych sieci neuronowych implementowanych sprzętowo

Sztuczne sieci neuronowe realizowane sprzętowo to kolejny obszar badawczy, w którym Autor wniosku aktywnie uczestniczył. Prace w tym obszarze były realizowane w dużej mierze zespołowo, co wynikało ze złożoności realizowanych układów i systemów. Niemniej jednak można wskazać konkretne rozwiązania zaproponowane przez Autora wniosku, które miały duże znaczenie z punktu widzenia jakości przetwarzania informacji w całej sieci. Autor wniosku dokonał również szeregu analiz mających na celu optymalizację układów wchodzących w skład tych sieci. Wybranych zostało pięć publikacji dotyczących tego tematu, w których udział Autora był znaczący albo dominujący.

Pierwsze trzy prace dotyczą realizacji nowatorskiego projektu analogowej samoorganizującej sieci neuronowej typu WTA zaimplementowanej w technologii TSMC CMOS 180 nm. Sieć działa w sposób równoległy, a dodatkowo większość operacji wykonywanych jest asynchronicznie.

Wszystkie główne bloki składowe tej sieci neuronowej zostały zaprojektowane od podstaw przez uczestników projektu. Wykorzystanie istniejących rozwiązań było praktycznie niemożliwe, ponieważ poszczególne bloki musiały realizować specyficzne funkcje nie spotykane w innych rozwiązaniach. Autor wniosku brał aktywny (w niektórych przypadkach dominujący) udział w projektowaniu poszczególnych komponentów, co zostało opisane szczegółowo poniżej, ale też w oświadczeniach dotyczących udziału poszczególnych współautorów.

TNN CONS

W pierwszym z artykułów z tej tematyki przedstawiony został tzw. mechanizm sumienia, który w sieciach WTA używany jest do zmniejszania liczby tzw. martwych neuronów lub całkowitej ich eliminacji. Układ ten w wersji przedstawionej w artykule składa się z trzech podstawowych bloków takich jak licznik analogowy służący do zliczania zwycięstw poszczególnych neuronów, układ kompensacji temperaturowej oraz konwerter sygnału napięciowego zapisanego w liczniku do postaci prądowej. Autor wniosku całkowicie samodzielnie zaprojektował układ kompensacji temperaturowej licznika analogowego. Podobny układ kompensacji został wcześniej wykorzystany przez niego w przetwornikach analogowo-cyfrowych, opisanych w (p.4.1.[6]). Autor wniosku dokonał również modyfikacji użytego licznika analogowego zaproponowanego przez dr Talaškę w taki sposób, aby bramka tranzystora MP2 w tym liczniku (Rys. 3 w artykule) była bezpośrednio połączona z sygnałem sterującym pochodzącym z układu kompensacji. W rezultacie wyeliminowany został wpływ zmienności parametrów elementów (bramka NOT albo klucz), które we wcześniejszych wersjach licznika znajdowały się na wejściu tego tranzystora, na jakość kompensacji. Podobny schemat sterowania został zastosowany we wspomnianym przetworniku analogowo-cyfrowym opisanym w (p.4.1.[6]). Zaproponowany przez Autora schemat sterowania polega na tym, że szerokość impulsu otwierającego tranzystor MP2 jest modyfikowana w zależności od temperatury. Gdy w wyniku zmian temperatury prąd ładujący kondensator C_2 jest większy, wtedy większy prąd płynie również przez kondensator C_1 w układzie kompensacji (tranzystor MP1 w tym układzie ma identyczne rozmiary jak tranzystor MP2 w liczniku). W rezultacie sygnał w punkcie D w układzie kompensacji szybciej osiąga wartość logiczną '1', co powoduje szybszy reset sygnału

sterującego ENt. W efekcie ilość ładunku jaka dla jednego impulsu EN wpływa do kondensatora C_2 jak prawie niezależna od temperatury. Zaproponowany przez Autora mechanizm sterowania oraz układ kompensacji temperaturowej odegrały dużą rolę w osiągnięciu dobrych parametrów przez cały mechanizm sumienia.

Rolą Autora w tej pracy była również analiza wpływu zjawisk negatywnych (mismatch) na zachowanie tego układu. Analizą tego typu Autor zajmował się już wcześniej przy okazji projektowania filtrów analogowych oraz przetworników analogowo-cyfrowych opisanych wcześniej, jak również sieci neuronowej Łukasiewicza opisanej poniżej.

Autor zaprojektował również layout opisanego układu kompensacji temperaturowej w technologii CMOS 180 nm oraz przeprowadził jego szczegółową weryfikację (analiza narożnikowa).

Więcej szczegółów znajduje się z oświadczeniach o współudziale poszczególnych autorów przedstawionych w oddzielnych dokumentach dołączonych do wniosku.

TCAS ADM

W drugim artykule przedstawiono koncepcję oraz wyniki eksperymentalne układu pracującego w trybie prądowym służącego do adaptacyjnej modyfikacji wag neuronów w analogowej sieci neuronowej WTA z wydłużonym czasem trzymania informacji w komórkach pamięci. Koncepcja układu opiera się na zastosowaniu dwóch naprzemiennie pracujących komórek pamięci na każdą wagę neuronu. W jednej z komórek pamiętana jest aktualna wartość danej wagi. Gdy dany neuron zostaje zwycięzcą, to dla każdej ze swoich wag, $w_{i,j}$, oblicza poprawkę, $\Delta w_{i,j}$, którą następnie sumuje (w węźle) z wartością wagi zapisaną w tej komórce pamięci. Wynik sumowania zostaje zapisany w drugiej komórce, a wyjście z tej komórki staje się punktem odniesienia w następnym cyklu obliczeniowym dla nowego wzorca uczącego X . Przy kolejnym zwycięstwie danego neuronu sygnał zapisany w drugiej komórce jest sumowany z wyliczoną nową poprawką $\Delta w_{i,j}$, a wynik zapisywany jest ponownie w komórce pierwszej. Do przełączania obu komórek służy prosty układ cyfrowy zawierający jeden przerzutnik typu D oraz kilka bramek.

Pierwsza wersja tego układu została zaproponowana w artykule (p.5.1.[43]). Głównym pomysłodawcą idei układu był dr Tomasz Talaśka i dlatego w takiej formie układ ten został następnie przedstawiony w jego rozprawie doktorskiej. Wadą pierwotnej wersji układu była duża upływność ładunku z komórek pamięci, która powodowała, że sieć neuronowa nie mogła pracować z niską częstotliwością próbkowania wymaganą np. w przetwarzaniu sygnałów biomedycznych.

Biorąc pod uwagę opisane problemy układ ten został w późniejszym okresie czasu zmodyfikowany przez Autora wniosku, który zaproponował rozwiązanie umożliwiające znaczącą redukcję wpływu zjawiska upływności w komórkach pamięci przechowujących wagi neuronów. Zaproponowany mechanizm redukcji zjawiska upływu był jedną z głównych innowacji opisanych w opisywanym tutaj artykule (nie występuje on w rozprawie dr Talaśki). Spowodował on znaczące wydłużenie czasu trzymania informacji, co ma znaczenie w przypadku realizacji dużych sieci operujących przy niskich częstotliwościach. W takich sieciach odświeżanie poszczególnych wag zazwyczaj odbywa się z mniejszą częstotliwością, przez co sieci takie są bardziej wrażliwe na zjawisko upływności.

Zaproponowana przez Autora wniosku modyfikacja polega na dodaniu do układu bramek OR sterujących kluczami S_{C1} oraz S_{C2} (Rys. 1 w artykule). Sygnał S_C podawany na jedno z wejść obu tych bramek pełni rolę parametru (wartość 1 lub 0). Gdy jego wartość jest '1', wówczas prądy I_1 oraz I_3 płyną cały czas. Znacząco zmniejsza to różnicę potencjałów pomiędzy węzłami (w parach) A-B oraz C-D, a w rezultacie prądy upływu. W przypadku, gdy sieć działa z dużymi częstotliwościami i kiedy upływności są niewielkie, wtedy wartość para-

metru S_C może przyjąć wartość 0, co okresowo wyłącza prądy I_1 oraz I_3 , powodując redukcję pobieranej mocy. W rezultacie układ w swojej nowej wersji jest bardziej uniwersalny.

Sporym wkładem Autora wniosku w zmodyfikowaną wersję układu adaptacji opisaną w artykule była również analiza zjawiska niedopasowania tranzystorów (ang. mismatch effect) oraz wyznaczenie na jej podstawie optymalnych wymiarów tranzystorów dla założonych zakresów prądów. Proste zwiększanie rozmiarów tranzystorów w celu poprawy dopasowania nie mogło być zastosowane z kilku względów. W układzie niektóre tranzystory pracują z prądami o takich wartościach, że ich punkty pracy znajdują się w zakresie silnej inwersji, natomiast część z nich pracuje w zakresie podprogowym. Z tego względu wymiary każdej grupy tranzystorów musiały być wyznaczane oddzielnie, biorąc pod uwagę też inne parametry układu, jak np. zakresy zmienności prądów płynących w poszczególnych gałęziach oraz napięć zapisanych na kondensatorach. Była to zatem optymalizacja wielowymiarowa, która była problemem sama w sobie. Optymalizacji tej poświęcono znaczną część artykułu. Tego typu analizą Autor zajmował się już wcześniej przy projektowaniu opisanych wcześniej filtrów analogowych Gilberta oraz w sieciach neuronowych Łukasiewicza opisanych dalej we wniosku.

Autor wniosku zajmował się również optymalizacją układu adaptacyjnego pod kątem minimalizacji zjawiska wstrzykiwania ładunku w celu poprawy dokładności zapisu i odczytu informacji. Optymalizacja ta opierała się na zastosowaniu w układzie wspomnianych wcześniej kluczy atrap ("dummy switches") oraz doborze ich wymiarów. W zadaniu tym Autor wykorzystał swoje wcześniejsze doświadczenia z projektowania filtrów analogowych, analogowych komórek pamięci używanych w dekodernach analogowych (5.1.[31]), oraz w zaproponowanym przez siebie detektorze wartości szczytowej (4.1.[15]).

Trzeba w tym miejscu podkreślić, że zaproponowana w artykule modyfikacja układu w celu minimalizacji zjawiska upływności, analiza zjawiska niedopasowania tranzystorów wraz z doбором optymalnych rozmiarów jak również optymalizacja układu w celu zminimalizowania zjawiska wstrzykiwania ładunku nie występują w rozprawie doktorskiej dr Talaśki. Są to nowe wartości dodane w stosunku do pierwotnej wersji układu.

Wkładem Autora w tym artykule było również całkowicie nowe szerokie studium literatury ("state-of-the-art") dotyczące optymalizacji komórek pamięci w celu wydłużenia czasu trzymania ładunku. Jedynie dwie prace z literatury zawartej w tym artykule są cytowane w rozprawie dr Talaśki. Studium to w większym stopniu pokrywa się w jednym z wcześniejszych artykułów Autora, w którym zajmował się projektowaniem komórek pamięci analogowych dla dekodernów analogowych (p.5.1.[31]).

Więcej szczegółów dotyczących wkładu każdego ze współautorów w realizację układu przedstawionego w tym artykule zawartych zostało w ich oświadczeniach dołączonych do wniosku.

MJ MIN/MAX

W trzecim artykule przedstawiono koncepcję oraz implementację w technologii CMOS równoległego asynchronicznego układu służącego m.in. do wykrywania zwycięskiego neuronu w zaprojektowanej analogowej sieci neuronowej typu WTA. Neuron zwycięski to ten, którego sygnał wyjściowy określający odległość jego wektora wag od danego wzorca uczącego ma najmniejszą wartość. Do wykrycia tego neuronu potrzebny jest układ realizujący funkcję $\text{MIN}(d_1, d_2, \dots, d_M)$, gdzie M jest liczbą neuronów w sieci. W artykule przedstawiono bardziej uniwersalny programowalny układ, mogący realizować również funkcję $\text{MAX}(d_1, d_2, \dots, d_M)$, wraz z cyrkularną linią opóźniającą potrzebną do uzyskania funkcjonalności filtrów nieliniowych.

Koncepcja układu jako całości zaproponowana przez Autora wniosku oparta jest na asynchronicznym drzewie binarnym. W porównaniu z klasycznymi rozwiązaniami tego typu opisanymi w literaturze Autor zaproponował modyfikacje, które eliminują zjawisko kumulacji

błędy występujące przy propagacji sygnałów między kolejnymi warstwami drzewa. Koncepcja układu wywodzi się z wcześniejszych prac Autora nad filtrami analogowymi pracującymi w trybie prądowym, w tym nieliniowymi filtrami typu Min/Max oraz nad analogowymi sieciami neuronowymi Łukasiewicza opisanymi dalej we wniosku.

W oparciu o strukturę drzewa binarnego można tworzyć układy realizujące funkcje MIN oraz MAX. Obie te funkcje można w prosty sposób zrealizować w jednym układzie. Wystarczy jedynie, dla danych sygnałów wejściowych, zanegować wyjścia wszystkich komparatorów użytych w układzie. Zaproponowany układ umożliwia taką opcję. Funkcja MAX obok funkcji MIN jest używana w filtrach nieliniowych np. w filtracji obrazu. W tym miejscu warto zwrócić uwagę na to, że sposób użycia tego układu w sieciach neuronowych oraz filtrach jest całkowicie odmienny, co często nie jest rozróżniane w literaturze. Ma to znaczenie przy porównywaniu różnych rozwiązań. W pierwszym przypadku wyznaczona wartość minimalna nie jest dalej wykorzystywana, natomiast ważny jest adres neuronu, który dostarczył sygnał o tej wartości. W filtrach nieliniowych jest odwrotnie. W tym przypadku ważna jest wartość sygnału, podczas gdy adres tego sygnału nie ma znaczenia. Powoduje to, że układy typu MIN w przypadku zastosowań w sieciach neuronowych są zazwyczaj bardziej złożone. Praktycznie nie ma innej możliwości ich realizacji, jak tylko za pomocą drzewa binarnego.

W typowych rozwiązaniach opartych na drzewie binarnym sygnały podawane na poszczególne wejścia układu rywalizują ze sobą parami w blokach oznaczonych w artykule jako MIMA2. Każdy z tych bloków zawiera komparator, który za pomocą jednego bitu wskazuje lokalnego zwycięzcę. Zwycięzcy z poszczególnych par przechodzą do kolejnej warstwy drzewa, na której odbywa się druga runda rywalizacji. Proces ten powtarzany jest dla kolejnych warstw. W każdej kolejnej warstwie liczba bloków MIMA2 jest mniejsza o połowę w stosunku do warstwy poprzedniej. W rywalizacji na ostatniej warstwie drzewa zawierającej już tylko jeden blok MIMA2 wyłoniony zostaje zwycięzca spośród wszystkich sygnałów wejściowych. Adres tego sygnału obliczany jest przez odpowiedni asynchroniczny układ logiczny na podstawie sygnałów wyjściowych z poszczególnych komparatorów.

W konkurencyjnych rozwiązaniach przedstawionych w literaturze występuje propagacja zwycięskich sygnałów z wejść poszczególnych bloków MIMA2 na ich wyjścia. W każdym bloku MIMA2 pomiędzy jego wejściami oraz jego wyjściem zazwyczaj znajduje się kilka luster prądowych, które wprowadzają błędy kopiowania. Błędy te kumulują się na kolejnych warstwach, co jest podstawową wadą układów opartych na koncepcji drzewa binarnego. W zaproponowanym układzie problem ten został w znacznej mierze rozwiązany. Autor zaproponował rozwiązanie, w którym zrezygnowano z propagacji sygnału z warstwy na warstwę. Dla każdego sygnału wejściowego układ tworzy tyle jego niezależnych kopii ile jest warstw w drzewie. Na każdą z warstw dostarczana jest inna bezpośrednia kopia danego sygnału wejściowego. To z którego neuronu sygnał będzie dostarczony do danej warstwy zależy od wyników rywalizacji na poprzednich warstwach. Odpowiednie ścieżki sygnałów układane są za pomocą kluczy sterowanych sygnałami będącymi odpowiednimi kombinacjami sygnałów wyjściowych z komparatorów na poszczególnych warstwach. Jest to koncepcja, którą Autor w nieco zmodyfikowanej formie zastosował też w innej swojej pracy poświęconej sieciom neuronowym Łukasiewicza opisaną dalej we wniosku.

Układ działa całkowicie asynchronicznie. Po podaniu na jego wejścia nowych sygnałów, po określonym czasie, w którym występuje stan nieustalony, układ generuje wynik. Dalsze szczegóły zawarte są w artykule.

W tym miejscu warto dodać, że układ przedstawiony w tym artykule opiera się na zupełnie innym podejściu niż układ tego typu opisany w rozprawie doktorskiej dr Tomasza Talaški. W układzie przedstawionym w tej rozprawie występowała propagacja sygnałów z warstwy na warstwę, zatem tamto rozwiązanie wpisuje się w grupę rozwiązań powszechnie opisywanych w literaturze.

NEUR LUK

W czwartym artykule z przedstawionego cyklu prac nad analogowymi sieciami neuronowymi Autor zaproponował nową kategorię analogowych neuronów logicznych Łukasiewicza OR oraz AND pracujących w trybie prądowym, jak również całą sieć neuronową opartą na tych neuronach. Zasada działania tych neuronów opiera się na operacjach logicznych *or* oraz *and* przeprowadzanych na wielowartościowych sygnałach wejściowych. Operacje te należą do grupy kilkunastu podstawowych operacji stosowanych w logice rozmytej. Sprzętowo implementację wszystkich tych operacji zaproponował po raz pierwszy Yamakawa w roku 1986 (odnośnik [15] w artykule). Używane w tym przypadku operacje *or* oraz *and* opierają się na operacjach, odpowiednio 'bounded sum' oraz 'bounded product' należących do tej grupy.

Yamakawa oparł swoją implementację na technice prądowej, która jest najodpowiedniejszą do realizacji tego typu układów. Wynika to z łatwości uzyskiwania operacji sumowania oraz odejmowania, które dominują w tym przypadku. Wadą takiej implementacji jest natomiast potencjalnie duże obniżenie dokładności przetwarzania sygnałów wynikające z niedopasowania tranzystorów w lustrach prądowych (Seksja 4.2.2). Problem staje się szczególnie widoczny w przypadku, gdy między wejściami układu oraz jego wyjściem znajduje się wiele luster prądowych połączonych kaskadowo, co prowadzi do kumulowania się błędów kopiowania prądów.

W przedstawionym artykule Autor zaproponował najpierw sprzętowo implementację sieci neuronowej Łukasiewicza opartej na oryginalnych operacjach rozmytych zaproponowanych przez Yamakawę. W tym przypadku minimalna liczba luster prądowych pomiędzy wejściami a wyjściem układu wynosiła sześć. Następnie Autor zaproponował własną implementację sieci typu OR-AND oraz AND-OR, w których zastosował wielowyjściowe lustra prądowe, proste komparatory prądowe oraz klucze sterowane odpowiednimi kombinacjami sygnałów cyfrowych z wyjść tych komparatorów.

Zasada działania zaproponowanych w tym artykule układów jest bardzo podobna do zasady działania układu MIN / MAX opisanego wyżej, opublikowanego w artykule (MJ MIN/MAX). Za pomocą wielowyjściowych luster prądowych tworzonych jest kilka kopii poszczególnych sygnałów wejściowych. Poszczególne kopie doprowadzane są do kolejnych stopni obliczeniowych całego układu za pomocą wspomnianych kluczy. Jedna z kopii każdego sygnału wejściowego doprowadzana jest też do wyjścia całej sieci, co oznacza że pomiędzy wejściami układu a jego wyjściem znajdują się tylko pojedyncze lustra prądowe. Patrząc od strony dokładności przetwarzania informacji jest to jedna z podstawowych zalet zaproponowanego rozwiązania.

Zaproponowane sieci neuronowe działają w pełni asynchronicznie bez konieczności stosowania sterującego układu zegarowego. Przetwarzanie informacji odbywa się równolegle niezależnie od liczby sygnałów wejściowych. Powoduje to, że układ w zależności od wartości sygnałów wejściowych może osiągnąć dużą moc obliczeniową przy stosunkowo niskim poborze energii. W symulacjach na poziomie tranzystorów przeprowadzonych dla technologii CMOS 0.18 μm układ pracował prawidłowo dla maksymalnych wartości sygnałów wejściowych zmieniających się w zakresie od kilkudziesięciu nA do 10 μA . Warto jednak pamiętać, że dla niskich wartości prądów punkty pracy poszczególnych tranzystorów znajdują się w zakresie podprogowym, co ma wpływ na dokładność działania całego układu. Z tego względu ten zakres prądów nie jest wskazany.

Głównym celem artykułu było przedstawienie nowej koncepcji układu. Wymagało to wyprowadzenia odpowiednich zależności opisujących układ, oraz weryfikacji założeń w oparciu o symulacje w programie Spice. Co prawda nie przeprowadzono w tym przypadku badań eksperymentalnych, jednak uzyskane wyniki były obarczone podobnym błędem, jak w przy-

padku opisanego wcześniej układu MIN / MAX (**MJ MIN/MAX**), który oprócz symulacji został zweryfikowany również pomiarowo.

PE MIN/MAX

W piątej pracy zaprezentowano nowatorski układ o funkcjonalności podobnej do układu MIN / MAX opisanego we wcześniej przedstawionej pracy (**MJ MIN/MAX**). W tamtym układzie wyeliminowano jedną z głównych wad układów opartych na strukturze drzewa binarnego jaką jest kumulowanie się błędów kopiowania pomiędzy warstwami drzewa. Nadal jednak cały tor przetwarzania sygnałów był analogowy. Poszczególne bloki MIMA2 zawierają komparatory analogowe, do których sygnały doprowadzane są za pomocą lusterek prądowych. Na dokładność układu ma więc pewien wpływ zjawisko niedopasowania tranzystorów opisane w artykule **TCAS ADM**, oraz **NEUR LUK**. Pewnym problemem jest też to, że do ujemnych wejść komparatorów sygnały z wejść układu doprowadzane są za pomocą dwóch lusterek prądowych, podczas gdy do wejść dodatnich za pomocą tylko jednego. Może to być źródłem zjawiska offsetu pojawiającego się na wejściach komparatorów.

Układ MIN/MAX zaproponowany w tym artykule oparty został na innej koncepcji. Ponieważ układ ten został również zaprojektowany do zastosowań w sieciach neuronowych, dlatego musi być w stanie określać adres sygnału zwycięskiego. Z tego względu ponownie skorzystano z koncepcji drzewa binarnego, jednak w tym przypadku drzewo składa się tylko z bloków cyfrowych.

Na wejściach całego układu zastosowano układy konwertujące wartości prądów wejściowych na opóźnienia czasowe (ITC – ang. Current-to-Time Converter) pomysłu drugiego współautora artykułu dr. Tomasza Talaśki. Prądy wejściowe ładują kondensatory dołączone do inwerterów CMOS. Poszczególne inwertery przełączają się po czasie proporcjonalnym do wartości odpowiadających im prądów, generując na wyjściu sygnały cyfrowe (flagi) opóźnione o określone okresy czasu. Dalsze przetwarzanie sygnałów odbywa się w cyfrowym drzewie binarnym zaproponowanym samodzielnie przez Autora wniosku. W drzewie zastosowano układy, które są w stanie określić która z flag wejściowych pojawiła się na wejściu wcześniej lub później (w zależności od tego czy układ realizuje funkcję MAX czy MIN).

Autor wniosku zaproponował dwie wersje tego układu odpowiednio dla funkcji MAX oraz MIN. W pierwszym przypadku, gdy do danego bloku T.CMP (ang. Time Comparator) dotrze jedna z flag, blok ten niemal natychmiast wysyła flagę na drugą warstwę drzewa. Opóźnienie równa się jedynie czasowi propagacji jednej logicznej bramki OR. W tym samym czasie równolegle dokonuje się rywalizacja między dwoma wejściami danego bloku T.CMP. Druga warstwa wysyła swoją flagę na kolejną warstwę, itd. Proces ten dla drzewa zawierającego 7-8 warstw trwa jedynie kilka ns w technologii CMOS 0.18 μm . W przypadku układu pracującego w trybie MIN zamiast bramki OR Autor zastosował bramkę AND, która wysyła flagę danej pary na kolejną warstwę dopiero wtedy, gdy na jej wejściach pojawią się obie flagi.

Zaletą układu jest to, że wszystkie bloki ITC mają podobną strukturę, więc przy zachowaniu odpowiedniej długości ścieżek (kwestia zapewnienia podobnych rezystancji ścieżek oraz ich pojemności pasożytniczych) układ może być bardzo dokładny. W rozdziale 4.2.1 wniosku Autor napisał, że w przypadku układów cyfrowych parametry PVT wpływają głównie na ich szybkość. Można dodać, że również rozrzut parametrów tranzystorów (ang. transistor mismatch) ma pewien wpływ na szybkość tych układów, zwłaszcza przy zastosowaniu tranzystorów o minimalnych wymiarach dla danej technologii. Różnice w szybkościach poszczególnych bloków T.CMP teoretycznie mogą mieć wpływ na powstawanie offsetów. Wpływ ten jest jednak pomijalnie mały w tym przypadku, co wynika z faktu, że w zastosowanych w układach ITC lustrach prądowych tranzystory są odpowiednio przewymiarowane, co minimalizuje wpływ niedopasowania tranzystorów.

Koncepcja cyfrowego drzewa binarnego układu jest całkowicie pomysłu Autora wniosku. Została ona pierwotnie zastosowana w asynchronicznym multiplekserze do zastosowań w układach stosowanych w medycynie nuklearnej, pierwotnie opublikowanym w (p.5.1.[44]), a następnie po optymalizacji w artykule (MJ MUX) opisanym w dalszej części tego rozdziału wniosku. Pokazuje to, że układ jest uniwersalny. Może być wykorzystywany jako filtr nieliniowy (funkcje MIN lub MAX), jako układ do wylaniania zwycięskiego neuronu w sieciach neuronowych (tylko funkcja MIN) oraz w zastosowaniach związanych z medycyną nuklearną (funkcja MAX). Różnica pomiędzy poszczególnymi zastosowaniami polega na użyciu (lub nie) linii opóźniającej na wejściu. Linia taka używana jest tylko w przypadku filtrów nieliniowych.

5. Prace dotyczące układów do zastosowań w medycynie nuklearnej

Autor wniosku brał również udział w pracach badawczo-rozwojowych dotyczących układów do zastosowań w układach ASIC stosowanych w obrazowaniu medycznym w medycynie nuklearnej. W ramach tych prac pojawiły się dwie prace opublikowane w czasopiśmie z listy filadelfijskiej, jeden rozdział w książce wydanej przez Springer'a oraz kilka publikacji konferencyjnych. Ważniejsze prace z tego cyklu zostały włączone do głównego osiągnięcia Autora. Zastosowane w nich rozwiązania w dużej mierze wynikają z wcześniej opisanych prac Autora i tworzą wraz z nimi pewną całość. Są to rekonfigurowalne układy pracujące równolegle oraz zazwyczaj asynchronicznie.

EL PD / MIXDES AFE

W pierwszym z artykułów Autor zaproponował koncepcję detektora wartości szczytowej (PD – ang. Peak Detector), który został następnie rozwinięty przez niego w drugim z przedstawionych artykułów z tego tematu. Zaproponowany detektor szczytu został oparty na wcześniejszych pracach Autora nad filtrami analogowymi FIR pracującymi w trybie prądowym (p.5.1.[56, 46]). Układ składa się z cyrkularnej linii opóźniającej sterowanej zegarem 3-fazowym, uruchamianym asynchronicznie w momencie, gdy sygnał na wejściu osiągnie wartość przekraczającą określony próg. W momencie uruchomienia wewnętrznego zegara narastający impuls z wyjścia filtra kształtującego impuls (PS – ang. Pulse Shaping Filter) jest próbkowany w linii opóźniającej. Odpowiedni układ kluczy powoduje, że próbka która została zapisana wcześniej zawsze kierowana jest do wejścia ujemnego komparatora, podczas gdy próbka zapisana później do jego wejścia dodatniego. W rezultacie tak długo jak impuls narasta, na wyjściu komparatora jest logiczna wartość '1'. W momencie, gdy impuls osiąga wartość szczytową, na wyjściu komparatora pojawia się logiczna wartość '0' i wartość szczytowa zostaje zatrzaśnięta w układzie próbkująco-pamiętającym S&H (ang. sample-and-hold). Powoduje to także wyłączenie zegara i przejście prawie wszystkich bloków układu w stan uśpienia.

MJ MUX

W kolejnym z wymienionych artykułów Autor przedstawił nowatorski równoległy oraz asynchroniczny multiplekser do zastosowań w układach ASIC stosowanych w obrazowaniu medycznym w medycynie nuklearnej. Rolą multipleksera jest wychwytywanie zdarzeń pojawiających się w sposób asynchroniczny w kanałach dołączonych do poszczególnych wejść układu ASIC. Prototypowy układ tego typu zawierający osiem kanałów oraz obsługujący je multiplekser został następnie wykonany w technologii CMOS 0.18 μm .

Koncepcję multipleksera Autor oparł na podobnym rozwiązaniu jakie zastosował też w opisanym powyżej układzie detekcji zwycięskiego neuronu (PE MIN/MAX). Podstawowymi zaletami układu są bardzo niski pobór energii oraz bardzo mała powierzchnia zajmowana w układzie scalonym. Układ standardowo znajduje się w stanie uśpienia, w którym to

nie pobiera energii. W momencie, gdy na jednym (lub więcej) z jego wejść pojawia się flaga sygnalizująca, że dany kanał dokonał detekcji impulsu, multiplexer samoczynnie się uaktyw-
nia, "układa ścieżkę" pomiędzy tym kanałem oraz wyjściem całego układu ASIC, a następnie natychmiast ponownie przechodzi w stan uśpienia. Istotne jest też to, że w czasie układania ścieżki przełączane są tylko te bloki (T.CMP w układzie PE MIN / MAX), które znajdują się w bezpośrednim obrębie tej ścieżki, podczas gdy pozostała część układu nadal pozostaje w stanie uśpienia. Proces "układania ścieżki" jest bardzo szybki. W układzie wykonanym w technologii CMOS 0.18 μm zajmuje mniej niż 1 ns. Jest to wynik uzyskany dla przypadku układu zawierającego 8 wejść, czyli trzech warstw w drzewie binarnym. Czas ten rośnie stosunkowo wolno ze wzrostem liczby wejść, M , co wynika z faktu, że liczba warstw w drzewie binarnym wynosi jedynie $\log_2 M$ (zakładając, że M jest liczbą będącą jedną z potęg liczby 2). Jest to jedna z podstawowych zalet układu.

Układ zawiera mechanizm przeciwdziałania kolizjom, który powoduje, iż nawet w przypadku równoległego pojawienia się wielu zdarzeń, dostęp do wyjścia układu ASIC ma tylko jeden kanał. Po jego odczytaniu multiplexer samoczynnie przełącza się na kolejny aktywny kanał. W ten sposób informacja z poszczególnych kanałów nie jest tracona. Szczegóły dotyczące budowy oraz sposobu działania układu przedstawione są w artykule.

SPR PSF

W artykule przedstawiono koncepcję filtra kształtującego impuls pracującego w trybie napięciowym, do zastosowań w układach scalonych wykorzystywanych w obrazowaniu medycznym. Filtr cechuje się prostą budową. Nie wymaga stosowania elementów aktywnych takich jak wzmacniacze operacyjne. Poprzez modyfikację wartości poszczególnych elementów istnieje możliwość zmiany charakterystyki filtra. Modyfikacja polega na zmianie dwóch napięć. Filtr został zastosowany w prototypowym układzie (front end ASIC) zrealizowanym w technologii CMOS 180 nm.

4.2.6 Podsumowanie dotyczące przedstawionego cyklu publikacji

Przedstawiony cykl publikacji stanowi przegląd różnych prac oraz projektów, w których Autor wniósł aktywnie uczestniczył. Większość tych projektów opiera się na nowych rozwiązaniach układowych zaproponowanych przez Autora. W niektórych przypadkach Autor zaproponował znaczące ulepszenia układów zaproponowanych przez pozostałych członków zespołu.

Nie wszystkie projekty zakończyły się wykonaniem prototypowych układów scalonych, co częściowo wynikało z braku funduszy na ich realizację. Realizacja prototypów nie zawsze jednak była konieczna. Poszczególne koncepcje układowe były stosowane nieraz w kilku różnych projektach, z których część zakończyła się wykonaniem prototypowego układu scalonego oraz jego weryfikacją pomiarową. Takim przykładem jest układ kompensacji temperaturowej, który zastosowany został pierwotnie w przetwornikach analogowo-cyfrowych w sterującym układzie zegarowym, a następnie po przeprojektowaniu użyty został w analogowej sieci neuronowej, która została zweryfikowana pomiarowo. Podobnie było z filtrami nieliniowymi Min/Max oraz sieciami neuronowymi Łukasiewicza, które po modyfikacji znalazły zastosowanie w zweryfikowanej pomiarowo sieci analogowej typu WTA jako układ do wykrywania zwycięskiego neuronu. Innym przykładem jest opisany równoległy programowalny filtr FIR/IIR z przełączanymi kondensatorami, którego projekt zakończył się symulacjami. Opierał się on jednak na operacjach, które Autor zastosował w swoich wcześniejszych rozwiązaniach takich filtrów, zweryfikowanych pomiarowo.

Wiele zaproponowanych rozwiązań ma charakter uniwersalny. Przykładem jest tutaj układ, który może być wykorzystywany jako multiplexer asynchroniczny, jako filtr nieliniowy Min/Max, ale też jako układ do wykrywania zwycięskiego neuronu, w równoległe pracujących sieciach neuronowych.

Wspólnym mianownikiem przedstawionych prac jest to, że opisane w nich układy pracują równolegle oraz w wielu przypadkach również asynchronicznie. Dodatkowo w większości przypadków Autor wprowadził możliwość ich programowania. Są to cechy stosunkowo trudne do zrealizowania w analogowych układach scalonych. Zaproponowane układy najczęściej są rozwiązaniami mieszanymi, w których zadania dzielone są pomiędzy części analogowe oraz cyfrowe. Wszystkie te układy były projektowane tak aby uzyskać bardzo niski pobór energii.

5 Pozostałe osiągnięcia naukowo-badawcze oraz dydaktyczne

5.1 Wykaz pozostałych publikacji po uzyskaniu stopnia doktora inżyniera

5.1.1 Artykuły w czasopismach naukowych z Listy Filadelfijskiej

1. M. Kolasa, T. Talaśka, R. Długosz, "A Novel Recursive Algorithm Used to model Hardware Programmable Neighborhood Mechanism of Self-Organizing Neural Networks", *Applied Mathematics and Computation*, Elsevier, 2015, <http://dx.doi.org/10.1016/j.amc.2015.03.068>
2. T. Talaśka, M. Kolasa, R. Długosz, P.A. Farine, "An Efficient Initialization Mechanism of Neurons for Winner Takes All Neural Network Implemented in the CMOS Technology", *Applied Mathematics and Computation*, Elsevier, 2015, <http://dx.doi.org/10.1016/j.amc.2015.04.123>
3. T. Talaśka, M. Kolasa, R. Długosz, W. Pedrycz, "Analog Programmable Distance Calculation Circuit for Winner Takes All Neural Network Realized in the CMOS Technology", *IEEE Transactions on Neural Networks*, 17 June 2015, 10.1109/TNNLS.2015.2434847
4. R. Długosz, M. Kolasa, W. Pedrycz, M. Szulc, "Parallel Programmable Asynchronous Neighborhood Mechanism for Kohonen SOM Implemented in CMOS Technology", *IEEE Transactions on Neural Networks*, Vol. 22, Iss. 12, pp. 2091–2104, (December 2011)
5. M. Kolasa, R. Długosz, W. Pedrycz, M. Szulc, "Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip", *Neural Networks*, Elsevier, Vol. 25, pp.146–160, (January 2012)
6. R. Długosz, T. Talaśka, R. Wojtyna, "An Influence of Current-Leakage in Analog Memory on Training of Kohonen Neural Network Implemented in Silicon", *Electrical Review (Przegląd Elektrotechniczny)*, Thomson Master Journal list, ISSN: 0033-2097, ISSN 0033-2097, R. 86 NR 11a/2010, pp.146–150, (November 2010), (30 %)
7. A. Dąbrowski, R. Długosz, P. Pawłowski, "Integrated CMOS GSM Baseband Channel Selecting Filters Realized Using Switched Capacitor Finite Impulse Response Technique", Elsevier, *Microelectronics Reliability Journal*, Vol. 46, No. 5–6, pp. 949–958, (June 2006),
8. A. Dąbrowski, R. Długosz, "Comparison of Various SC FIR Filter Structures on the Basis of their CMOS Realization and Simulation in the PSPICE Program", *Bulletin of the Polish Academy of Science. Technical Sciences*, Vol. 49, No. 1, pp. 59–79, (2001) (artykuł opublikowany przed uzyskaniem stopnia doktora inżyniera, podany w tym miejscu wyjątkowo jako uzupełnienie Tabeli 2)

5.1.2 Artykuły w pozostałych czasopismach naukowych polskich i zagranicznych

1. R. Długosz, M. Szulc, M. Kolasa, et al., "Design and Optimization of Hardware-Efficient Filters for Active Safety Algorithms," *SAE International Journal Passengers Cars – Electronic and Electrical Systems*, 8(1):2015, doi:10.4271/2015-01-0152
2. R. Długosz, A. Rydlewski, T. Talaśka, "Novel, Low Power, Nonlinear Dilatation and Erosion Filters Realized in the CMOS Technology" *Facta Universitatis, Series: Electronics and Energetics*, Vol. 28, No. 2, June 2015, pp. 237-249, DOI: 10.2298/FUEE1502237D
3. M. Kolasa, R. Długosz, "Koncepcja Zastosowania Sztucznych Sieci Neuronowych do Lokalizacji Elementów Powodujących Pogorszenie Jakości Energii Elektrycznej w Sieciach Średniego

- Napięcia”, *Poznan University of Technology Academic Journal of Electrical Engineering*, No. 70, 2014, pp.87-95
4. R. Długosz, M. Kolasa, T. Talaśka, J. Pauk, R. Wojtyna, M. Szulc, K. Gugala and P.A. Farine, “Low Power, Low Chip Area, Digital Distance Calculation Circuit for Self-Organizing Neural Networks Realized in the CMOS Technology”, *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Durnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp.247-252, (March 2013)
 5. M. Kolasa, R. Długosz, W. Józwicki, J. Pauk, A. Świetlicka and P.A. Farine, “Analysis of Significant Prognostic Factors of Patients with Bladder Cancer Using Self-Organizing Maps”, *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Durnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp.223-228, (March 2013)
 6. A. Świetlicka, K. Gugala, M. Kolasa, J. Pauk, A. Rybarczyk and R.Długosz, “A New Model of the Neuron for Biological Spiking Neural Network Suitable for Parallel Data Processing Realized in Hardware”, *Solid State Phenomena*, Vol. Mechatronic Systems and Materials V, Trans Tech Publications Inc., Kreuzstrasse 10, 8635 Durnten-Zurich, Switzerland, ISBN: 978-3-03785-645-1, pp. 217-222, (March 2013)
 7. R. Długosz, J. Pauk, P.A. Farine, “New Trends in Motion Capture Systems for Human Gait Analysis”, *Machine Graphics and Vision*, A quarterly journal published by: Institute of Computer Science of the Polish Academy of Sciences, (2011)
 8. M. Kolasa, R. Długosz, A. Świetlicka, “Wpływ funkcji sąsiedztwa na efektywność uczenia sieci neuronowych Kohonena implementowanych sprzętowo”, *Elektryka*, Rok 57., Zeszyt 1 (217), pp. 63–73, (2011)
 9. J. Dalecki, T. Talaśka, R. Długosz, “A new, low cost, precise measurement card for testing of ultra-low power analog ASICs”, *Elektronika*, No.12, pp. 32-35, (2011)
 10. P. Przedwojski, T. Talaśka, R. Długosz, “A Flexible Winner Takes All Neural Network with the conscience mechanism realized on microcontrollers”, *Elektronika*, No.12, pp. 14–17, (2011)
 11. M. Kolasa, R. Długosz, K. Bieliński, “Programmable, Asynchronous, Triangular Neighborhood Function for Self-Organizing Maps Realized on Transistor Level”, *International Journal of Electronics and Telecommunications*, Vol. 56, No. 4, pp. 367–373, (November 2010)
 12. R. Długosz, P. Pawłowski, A. Dąbrowski, “Operational amplifier for switched-capacitor systems realized in various CMOS technologies”, *Elektronika*, No.1, pp. 67–70, R.51 (2010)
 13. S.A. Torbus, M. Kolasa, R. Długosz, “Application of the Kohonen Neural Network in Analysis of the Measurement Results of the Polarization Mode Dispersion”, *Bulletin of the University of Technology and Life Sciences, Electronics and Telecommunications series*, Vol. 256, No. 13, pp. 55-66, (December 2010)
 14. R. Długosz, T. Talaśka, Przedwojski, “Comparison of Various Hardware Realizations of the Winner Takes All Neural Network”, *Bulletin of the University of Technology and Life Sciences, Electronics and Telecommunications series*, Vol. 256, No. 13, pp. 67-78, (December 2010)
 15. M. Kolasa R. Długosz, J. Pauk, “A Comparative Study of Different Neighborhood Topologies in WTM Kohonen Self-Organizing Maps”, *Journal of Solid State Phenomena*, Trans Tech Publications, Switzerland, Vols. 147–149, pp. 564–569, (2009)
 16. J. Pauk, M. Derlatka, R. Długosz, M. Kolasa, “Human Gait Analysis and Classification Based on Neural Networks and Fuzzy Logic”, *Journal of Solid State Phenomena*, Trans Tech Publications, Switzerland, Vols. 147–149, pp. 600–605, (2009)
 17. R. Długosz, “New Ultra Low Power Switched – Current Finite Impulse Response Filters Realized in CMOS 0.18 μm Technology”, *Elektronika*, Vol. 47, No. 10, pp. 26–30, (2006)
 18. A. Dąbrowski, R. Długosz, P. Pawłowski, “Rodzina filtrów o skończonej odpowiedzi impulsowej z linią opóźniającą o naprzemiennie połączonych układach opóźniających dwóch typów

z przełączanymi kondensatorami" ("Family of the finite impulse response filters with delay line composed of Even and Odd delay elements", *Elektronika*, No. 10/2005, pp.5–8 (2005)

19. A. Dąbrowski, R. Długosz, T. Marciniak, P. Pawłowski, "Projektowanie i realizacja cyfrowych systemów zegarowych do sterowania filtrów FIR-SC", *Elektronika*, No.7, pp. 31–35, (2004)

5.1.3 Rozdziały w zagranicznych monografiach naukowych

1. M. Kolasa, R. Wojtyna, R. Długosz, W. Józwicki, "Application of Artificial Neural Network to Predict Survival Time for Patients with Bladder Cancer", Chapter 11 in *Computers in Medical Activities*, Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 113-122, Springer-Verlag, Berlin / Heidelberg, (2009), (10 %)

5.1.4 Publikacje w materiałach konferencji międzynarodowych

1. P. Skruch, R. Długosz, K. Kogut, P. Markiewicz, *et al.*, "The Simulation Strategy and Its Realization in the Development Process of Active Safety and Advanced Driver Assistance Systems", *SAE Technical Paper 2015-01-1401*, Detroit, USA, doi:10.4271/2015-01-1401, (April 2015).
2. M. Kolasa, R. Długosz, W. Pedrycz, "Efficient Initialization of Large Self-Organizing Maps Implemented in the CMOS Technology", *IEEE International Conference on Cybernetics (CYBCONF)*, 2015, Gdynia Poland, 24-26 June 2015
3. M. Kolasa, R. Długosz, "An Advanced Software Model for Optimization of Self-Organizing Neural Networks Oriented on Implementation in Hardware", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2015)
4. T. Talaśka, R. Długosz, "Analog Sorting Circuit for the Application in Self-Organizing Neural Networks Based on Neural Gas Learning Algorithm", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2015)
5. R. Długosz, G. Fischer, "Low Chip Area, Low Power Dissipation, Programmable, Current Mode, 10-bits, SAR ADC Implemented in the CMOS 130nm Technology", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2015)
6. R. Długosz, M. Kolasa, T. Talaśka, "A New, Very Efficient Initialization Mechanism for Analog Self-Organizing Neural Networks Implemented in the CMOS Technology", *European Seminar on Computing (ESCO)*, Czechy, Pilzno, 15-20.06.2014, str. 71
7. M. Kolasa, T. Talaśka, R. Długosz, "A Novel Recursive Algorithm Used to Model the Hardware Programmable Neighborhood Mechanism of the Self-Organizing Neural Networks", *European Seminar on Computing (ESCO)*, Czechy, Pilzno, 15-20.06.2014, str. 70
8. M. Kolasa, R. Długosz, W. Pedrycz, "A fast learning algorithm based on filtering of the quantization error suitable for hardware implemented self-organizing maps", *European Symposium on Artificial Neural Networks, Advances in Computational Intelligence and Learning (ESANN)*, Brugia (Belgia), 23-25.04.2014, pp.225-230
9. P. Gurzyński, T. Talaśka, R. Długosz, A. Świetlicka, "An Optimized Algorithm for Recognition of Complex Patterns Based on Artificial Neural Network", *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2013),
10. P. Bethke, R. Długosz, T. Talaśka, "Project and Realization of a Two-Wheels Balancing Vehicle", *20th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, (June 2013),
11. R. Długosz, T. Talaśka, M. Szulc, P. Śniatała, P. Stadelmann, S. Tanner, P.A. Farine, "A low power, low chip area decimation filter for $\Sigma-\Delta$ modulator for flywheel MEMS gyro realized in

- the CMOS 180 nm technology", *28th International Conference on Microelectronics (MIEL)*, Niš, Srbija, pp. 411–414, (13–16 May 2012)
12. R. Długosz, M. Kolasa, M. Szulc, W. Pedrycz, P.A. Farine, "Implementation Issues of Kohonen Self-Organizing Map Realized on FPGA", *15th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2012)
 13. R. Długosz, T. Talaśka, W. Pedrycz, P.A. Farine, "Analog, Current-Mode Distance Calculation Circuit for Self-Organizing Neural Networks Implemented in CMOS Technology", *15th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2012)
 14. R. Długosz, T. Talaśka, P.A. Farine, W. Pedrycz, "Convex Combination Initialization Method for Kohonen Neural Network Implemented in the CMOS Technology", *19th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Warszawa, Poland, (May 2012)
 15. R. Długosz, M. Kolasa, M. Szulc, "An FPGA Implementation of the Asynchronous Programmable Neighborhood Mechanism for WTM Self-Organizing Map", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 16. T. Talaśka, P. Przedwojski, R. Długosz, "A Flexible Winner Takes All Neural Network with the Conscience Mechanism Realized on Microcontrollers", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 17. J. Dalecki, T. Talaśka, R. Długosz, "A New, Low Cost, Precise Measurement Card for Testing of Ultra-low Power Analog ASICs", *18th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gliwice, Poland, (June 2011)
 18. R. Długosz, M. Kolasa, W. Pedrycz, "Fisherman learning algorithm of the SOM realized in the CMOS technology", *14th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, (April 2011)
 19. Rafał Długosz, Tomasz Talaśka, Paweł Przedwojski, Paweł Dmochowski, "A Flexible, Low-Power, Programmable Self-Organizing Neural Network Based on Microcontrollers for Medical Applications", *17th Electronics New Zealand Conference (ENZCon)*, Hamilton, New Zealand, (November 2010)
 20. R. Długosz, M. Kolasa, W. Pedrycz, "Programmable Triangular Neighborhood Functions of Kohonen Self-Organizing Maps Realized in CMOS Technology", *13th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, April 28–30, pp.529–534, (April 2010)
 21. R. Długosz, M. Kolasa, K. Bieliński "Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.328–332, (June 2010)
 22. P. Przedwojski, J. Dalecki, T. Talaśka, R. Długosz, "Kohonen Winner Takes All Neural Network Realized on Microcontrollers with AVR and ARM cores", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.273–276, (June 2010)
 23. R. Długosz, V. Kolodyazhniy, W. Pedrycz "Power Efficient Hardware Implementation of a Fuzzy Neural Network", *17th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Wrocław, Poland, pp.576–580, (June 2010)
 24. R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", *12th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.275–280, (April 2009)
 25. R. Długosz, W. Kolasa, "Optimization of the Neighborhood Mechanism for Hardware Implemented Kohonen Neural Networks", *12th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.565–570, (April 2009)

26. R. Długosz, M. Kolasa, "A New Fast Training Algorithm for the WTM Kohonen Neural Network Implemented for Classification of Biomedical Signals", *International Conference on Biomedical Electronics and Devices (BIODEVICES)*, Porto, Portugal, pp.364–367, (January 2009)
27. R. Długosz, T. Talaśka, "A Low Power Current-Mode Binary-Tree WTA / LTA Circuit for Kohonen Neural Networks", *16th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Łódź, Poland, pp.201–204, (June 2009)
28. R. Długosz, T. Talaśka, R. Wojtyna "Influence of Information Leakage in Analog Memory on Learning Kohonen Network on Silicon", *16th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Łódź, Poland, pp.282–285, (June 2009)
29. R. Długosz, P. Pawłowski, A. Dąbrowski, "Design and Optimization of Operational Amplifiers for SC Systems – a Comparative Study in CMOS 0.8 μ m, 0.35 μ m, 0.18 μ m Technologies", *Signal Processing – Algorithms, Architectures, Arrangements, and Applications (SPA)*, Poznań, Poland, pp.36–39, (September 2009)
30. R. Długosz, K. Iniewski, "Power and Area Efficient Circular-Memory Switched-Capacitor FIR Baseband Filter for WCDMA/GSM", *IEEE International Symposium on Circuits and Systems (ISCAS)*, Seattle, USA, pp.2326–2329, (May 2008)
31. R. Długosz, V. Gaudet, "Current-mode Memory Cell with Power Down Phase for Discrete Time Analog Iterative Decoders", *IEEE International Symposium on Circuits and Systems (ISCAS)*, Seattle, USA, pp.748–751, (May 2008)
32. T. Talaśka, R. Długosz, "Initialization mechanism in Kohonen neural network implemented in CMOS technology", *11th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.337–342, (April 2008)
33. M. Kolasa, R. Długosz, "Parallel asynchronous neighborhood mechanism for WTM Kohonen network implemented in CMOS technology", *11th European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.331–336, (April 2008)
34. M. Kolasa, R. Długosz, J. Pauk, "Analysis of Various WTM Kohonen Self-Organizing Map Algorithms Used for Data Classification of Biomedical Signals", *4th International Conference, Mechatronic Systems and Materials (MSM)*, Białystok, (July 2008) Poland, pp.187–188
35. J. Pauk, M. Derlatka, R. Długosz, M. Kolasa, "Artificial Intelligence Methods for Data Handling in Gait Analysis", *4th International Conference, Mechatronic Systems and Materials (MSM)*, Białystok, Poland, pp.197, (July 2008)
36. R. Długosz, M. Kolasa, "CMOS, Programmable, Asynchronous Neighborhood Mechanism For WTM Kohonen Neural Network", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznan, Poland, pp.197–201, (June 2008)
37. R. Długosz, T. Talaśka, J. Dalecki, R. Wojtyna, "Experimental Kohonen Neural Network Implemented in CMOS 0.18 μ m Technology", *15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznan, Poland, pp.243–248, (June 2008)
38. T. Talaśka, R. Długosz, J. Dalecki, W. Pedrycz, R. Wojtyna, "CMOS implementation of Conscience Mechanism in Kohonen's Neural Network", *International Conference on Signals and Electronic Systems (ICSES)*, Kraków, Poland, pp.101–104, (September 2008)
39. T. Talaśka, R. Długosz, J. Dalecki, W. Pedrycz, R. Wojtyna, "Experimental results of CMOS-implemented conscience mechanism applied for WTA networks", *International Conference on Signals and Electronic Systems (ICSES)*, pp.101–104, (September 2008)
40. R. Długosz, K. Iniewski, "Novel CMOS Analog Signal Processing Technique for Solid-State X-Ray Sensors", *IEEE Northeast Workshop on Circuits and Systems (NEWCAS)*, Montreal, Canada, pp.770–771, (August 2007)
41. T. Talaśka and R. Długosz, "Current Mode Euclidean Distance Calculation Circuit for Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *Canadian Conference*

- on *Electrical and Computer Engineering (CCECE)*, Vancouver, Canada, pp.437–440, (April 2007)
42. R. Długosz, V. Gaudet, K. Iniewski, "Asynchronous Clock Generator for Flexible Ultra Low Power Successive Approximation Analog-to-Digital Converters", *Canadian Conference on Electrical and Computer Engineering (CCECE)*, Vancouver, Canada, pp.1649–1652, (April 2007)
 43. T. Talaśka, R. Długosz, W. Pedrycz, "Adaptive Weights Change Mechanism for Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *European Symposium on Artificial Neural Networks (ESANN)*, Bruges, Belgium, pp.151–156, (April 2007)
 44. R. Długosz, K. Iniewski, "Synchronous and Asynchronous Multiplexer Circuits for Medical Imaging Realized in CMOS 0.18 μ m Technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, Proc. SPIE, Vol. 6590, pp.65900V; DOI:10.1117/12.721239, (May 2007)
 45. R. Długosz, T. Talaśka, "Flexible and Low Power Binary-Tree Current Mode Min/Max Non-linear Filters Realized in CMOS Technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, May 2007 Proc. SPIE, Vol. 6590, pp.65900L; DOI:10.1117/12.721192, (May 2007)
 46. R. Długosz, "Ultra Low Power Switched Current Finite Impulse Response Filter Banks Realized in CMOS 0.18 μ m technology", *SPIE International Symposium on Microtechnologies for the New Millennium*, Gran Canaria, Spain, May 2007, Proc. SPIE, Vol. 6590, pp.65900H; DOI:10.1117/12.721162, (May 2007)
 47. T. Talaśka, R. Długosz, R. Wojtyna, "Current mode Kohonen Neural Network", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.250–255, (June 2007)
 48. R. Długosz, K. Iniewski, "Hierarchical Asynchronous Multiplexer for Readout front-end ASIC for Multi-Element Detectors in Medical Imaging", *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek, Poland, pp.283–286, (June 2007)
 49. T. Talaśka, R. Długosz, R. Wojtyna, "CMOS Implementation of Low Power Kohonen's Neural Network for Medical Applications", *International Conference Computers in Medical Activities (CiMA)*, Łódź, Poland, pp.95–96, (September 2007)
 50. R. Długosz, K. Iniewski, R. Wojtyna, "Novel CMOS Analog Signal Processing Technique for Solid-State X-Ray Sensors in Medical Imaging Systems", *International Conference Computers in Medical Activities (CiMA)*, Łódź, Poland, pp.23–25, (September 2007)
 51. R. Długosz, R. Wojtyna, "Low Power Fully Parallel Analog 1-D And 2-D Filters for Medical Diagnostics Implemented in CMOS Technology", *Proceeding International Conference Computers in Medical Activities (CiMA)*, Łódź, Poland, pp.27–28, (September 2007)
 52. E. Piwowarska, W. Kuzmich, G. Farkas, A. Poppe, M. Hristov, E. Manolov, B. Weber, J. Butas, G. Jablonski, A. Jarosz, A. Kos, A. Golda, R. Długosz, "AnaDig—An Educational Chip for VLSI Device Characterization" *IEEE International Conference on Microelectronic Systems Education (MSE)*, pp.19–20, (2007)
 53. R. Długosz, K. Iniewski, T. Talaśka, "0.35 μ m 22 μ W Multiphase Programmable Clock Generator for Circular Memory SC FIR Filter for Wireless Sensor Applications", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.157–160, (October 2006)
 54. T. Talaśka, R. Wojtyna, Długosz, K. Iniewski, W. Pedrycz, "Analog-Counter-Based Consciousness Mechanism in Kohonen's Neural Network Implemented in CMOS 0.18 μ m Technology", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.416–421, (October 2006)
 55. K. Boyle, Sai Mohan Kilambi, R. Długosz, K. Iniewski, V. Gaudet, "An Examination of the Effect of Feature Size Scaling on Effective Power Consumption in Analog to Digital

- Converters", *IEEE Workshop on Signal Processing Systems (SIPS)*, Banff, Canada, pp.194–199, (October 2006)
56. R. Długosz, "New Ultra Low Power Switched – Current Finite Impulse Response Filters Realized in CMOS 0.18 μm Technology", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.337–342, (June 2006)
57. R. Długosz, K. Iniewski, "Ultra Low Power Current-mode Algorithmic Analog-to-Digital Converter Implemented in 0.18 μm CMOS Technology for Wireless Sensor Network", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.401–406, (June 2006)
58. T. Talaśka, R. Wojtyła, R. Długosz, K. Iniewski, "Implementation of the Conscience Mechanism for Kohonen's Neural Network in CMOS 0.18 μm Technology", *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Gdynia, Poland, pp.310–315, (June 2006)
59. K. Iniewski, V. Axelrad, A. Shibkov, A. Balasinski, S. Magierowski, R. Długosz, A. Dąbrowski "3.125 Gb/s Power Efficient Line Driver with 2-level Pre-emphasis and 2kV HBM ESD Protection", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 23–26.05.2005, Kobe, Japan, Vol.2, pp.1154–1157
60. A. Dąbrowski, R. Długosz, P. Pawłowski K. Iniewski, V. Gaudet, "Analog Baseband Filtering Realized Using Switched Capacitor Finite Impulse Response Filter", *VLSI-TSA International Symposium on VLSI Design*, Hsinchu, Taiwan, pp.108–111, (April 2005)
61. R. Długosz, "Search strategy for relevant parasitic elements and reduction of their influence on the operation of SC FIR filters realized in CMOS technology", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.1075–1085, (May 2006)
62. R. Długosz R. Wojtyła, "Voltage-buffer-based low-power area-efficient SC FIR filter for wireless communication", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.288–299, (May 2006)
63. R. Długosz, P. Pawłowski, A. Dąbrowski, "Multiphase clock generators with controlled clock impulse width for programmable high order SC FIR filter realized in 0.35 μm CMOS technology", *SPIE International Symposium on Microtechnologies for the New Millennium 2005*, Sevilla, Spain, Proc. of SPIE Vol. 5837, Bellingham, WA, 2005, pp.1056–1063, (May 2006)
64. R. Długosz, P. Pawłowski, A. Dąbrowski, "Finite Impulse Response Filter Banks Realized in the Switched Capacitor Technique", *17th European Conference on Circuit Theory and Design (ECCTD)*, Cork, Ireland, Volume: 3, pp.III/257–III/260, (29.08–01.09.2005)
65. R. Długosz, P. Pawłowski, A. Dąbrowski, "Laboratory of Mixed Analog-Digital Integrated Circuits (Reason - Educhip Project)", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.851–856, (June 2005)
66. R. Długosz, P. Pawłowski, A. Dąbrowski, "Family of the Even-Odd Switched Capacitor Finite Impulse Response Filters", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.497–500, (June 2005)
67. T. Talaśka, R. Wojtyła, R. Długosz "Hardware Implemented Neural Network Model with Unsupervised Learning on Silicon", *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Kraków, Poland, pp.133–136, (June 2005)
68. R. Długosz, P. Pawłowski, A. Dąbrowski, "Multicriteria Comparison Of Multi-C SC FIR Filter Structures", *IEEE Signal Processing Workshop (SP)*, Poznań, Poland, pp.145–148, (September 2005)
69. R. Długosz, P. Pawłowski, A. Dąbrowski, "Discrete Time Programmable Analog Filter", *International Conference on Electrical Engineering and Circuit Theory (SPETO)*, Ustroń, Poland, pp.443–446, (May 2005)

70. R. Długosz, "Metoda Poszukiwania Krytycznych Pojemności Pasożytniczych w Analogowych Filtrach FIR SC Projektowanych w Technologii CMOS", *IV Krajowe Sympozjum Modelowanie i Symulacja Komputerowa w Technice (MiSKT)*, Łódź, Poland, pp.63-68, (April 2005)

5.2 Udział w projektach krajowych i zagranicznych

Do osiągnięć Autora należy aktywny udział w tworzeniu dziesięciu specjalizowanych układów scalonych (ASIC) realizowanych w stylu 'full-custom' w technologiach CMOS 0.8 μm , 0.35 μm , 0.18 μm oraz 0.13 μm . Autor był koordynatorem siedmiu z tych projektów realizowanych od pomysłu do końcowej weryfikacji laboratoryjnej. W większości przypadków były to układy realizowane przy współpracy zespołów z różnych uczelni lub instytucji przemysłowych w Polsce, Kanadzie lub Niemczech. Autor brał też udział w projektach, które bezpośrednio nie dotyczyły realizacji układów ASIC. Większość projektów, w których Autor brał udział po uzyskaniu stopnia doktora inżyniera była realizowana w trakcie jego pobytu na uczelniach i w instytucjach w Kanadzie, Szwajcarii oraz w Niemczech.

5.2.1 Udział w projektach badawczych po uzyskaniu stopnia doktora inżyniera.

- Udział w projekcie finansowanym w ramach programu POMOST organizowanego przez Fundację Nauki Polskiej na zasadzie głównego wykonawcy. Projekt rozpoczął się w lutym 2014 roku a kończy się w grudniu 2015 roku. Tytuł projektu to: "Development of Novel Ultra Low Power, Parallel Artificial Intelligence Circuits for the Application in Wireless Body Area Network Used in Medical Diagnostics". Projekt ma charakter międzynarodowy. Obejmuje on współpracę z Prof. Witoldem Pedryczem z Department of Electrical and Computer Engineering na University of Alberta w Edmonton w Kanadzie.
- Realizacja wybranych bloków składowych układów AFE (ang. *analog front-end electronics*) ASIC stosowanych w obrazowaniu medycznym w medycynie nuklearnej. Autor zaprojektował od podstaw równoległy oraz asynchroniczny multiplexer do tego układu jak również filtr kształtujący impuls oraz detektor szczytu. Multiplexer opisany został wcześniej w Sekcji 4.2.5. Projekt realizowany był podczas pobytu Autora na University of Alberta w Edmonton w Kanadzie we współpracy z firmą Redlen Technologies (<http://www.redlen.com>). Współpraca była koordynowana przez dr. Krzysztofa Iniewskiego, który był opiekunem Autora w trakcie jego pobytu naukowego na uczelni w Kanadzie.
- Współdziałanie w realizacji specjalizowanego układu zawierającego odbiornik oraz nadajnik pracujący na częstotliwości 2 GHz. Projekt był realizowany w trakcie stażu naukowego Autora w firmie Scanimetrix z Edmonton (<http://www.scanimetrix.com>). Rolą Autora była taka optymalizacja układu, aby spełniał on wymagania dotyczące pracy w odpowiednich zakresach temperatury, napięcia zasilania oraz różnych modeli tranzystorów (ang. *corner analysis*). Układ został przez Autora zaprojektowany tak, że mógł pracować w dużo szerszych zakresach wymienionych parametrów niż były pierwotnie zakładane.
- Realizacja przetwornika analogowo-cyfrowego typu SAR bardzo niskiego poboru mocy do zastosowań w bezprzewodowych sieciach sensorycznych (WSN - ang. *Wireless Sensor Networks*) oraz układach AFE ASIC. Był to wewnętrzny projekt realizowany na University of Alberta, koordynowany przez dr. Iniewskiego. Architektura przetwornika zaproponowana podczas pobytu w Kanadzie była dalej rozwijana podczas ostatniego (2012/2013) pobytu Autora w IHP Microelectronics w Niemczech (nowy 10-bitowy przetwornik zajmujący 0.01 mm², zaprojektowany w technologii CMOS 0.13 μm).
- Realizacja szwajcarskiego projektu CTI pt. "Flywheel gyroscope: Levitated rotating MEMS for high sensitivity multi-axis gyroscope and multifunctional accelerometer". Projekt realizowany był w czasie pobytu Autora na EPFL w Szwajcarii przy współpracy z zespołem Prof.

Christofera Hierolda z ETH Zürich (Departement Maschinenbau und Verfahrenstechnik) oraz firmą Colibrys z Neuchatel (<http://www.colibrys.com>), która specjalizuje się w projektowaniu oraz wykonywaniu żyroskopów oraz akcelerometrów komercyjnych.

Opis projektu, który dotyczył realizacji żyroskopu o sześciu stopniach swobody znajduje się pod adresami:

<http://esplab.epfl.ch/page-9446-en.html> oraz

<http://www.aramis.admin.ch/Default.aspx?page=Beteiligte&projectId=25511>

W projekcie Autor odpowiedzialny był za realizację pętli sprzężenia zwrotnego zapewniającej sterowanie częścią MEMS (ang. – *Microelectromechanical systems*) żyroskopu. Zaprojektował od podstaw przetwornik analogowo-cyfrowy (ADC) oparty na modulatorze $\Sigma - \Delta$, regulator PID, filtry o skończonej odpowiedzi impulsowej (FIR) oraz nieskończonej odpowiedzi impulsowej (IIR) oraz tzw. "pulse width modulation block", którego rolą było dostarczenie bezpośrednich sygnałów sterujących blokiem MEMS. Filtry były używane do kilku celów. Jednym z nich był kilkustopniowy filtr decymacyjny dla modulatora $\Sigma - \Delta$ (publikacja 5.1.[11]). Drugi filtr umiejscowiony poza pętlą sterowania używany był do odfiltrowania szumów celem wydobycia informacji o wartościach mierzonych przyspieszeń.

- Realizacja samoorganizujących się sieci neuronowych Kohonena jako niskomocowych układów analogowych oraz cyfrowych do zastosowań w bezprzewodowych sieciach sensorycznych (WSN) stosowanych w diagnostyce medycznej. Układy opisane zostały w publikacjach przedstawionych w Sekcji 4.2.5. Projekty sieci neuronowych realizowane były przy współpracy z Prof. Witoldem Pedryczem z University of Alberta w Kanadzie. Współpraca ta jest cały czas kontynuowana.
- 2005 – 2008 Udział w grantie KBN nr 3 T11 C 039 29 pt. "*Wielopoziomowe wspomaganie projektowania scalonych analogowo-cyfrowych układów elektronicznych CMOS*".

5.2.2 Udział w projektach badawczych przed uzyskaniem stopnia doktora inżyniera

- 2002 – 2004 Międzynarodowy projekt REASON (REsearch And Training Action for System On Chip Design), piątego programu ramowego Unii Europejskiej. Projekt był koordynowany i kierowany przez Prof. Wiesława Kuźmicza z Politechniki Warszawskiej. Autor brał udział w realizacji układu scalonego Educhip.
- 2001 – 2003 "Optymalizacja algorytmów cyfrowego przetwarzania mowy i poprawa jej zrozumiałości w urządzeniach nowoczesnych systemów telekomunikacyjnych i w aparatach słuchowych", grant KBN nr 7 T11D 005 20.
- 2001 – 2003 "Projektowanie i optymalizacja scalonych filtrów elektronicznych o skończonej odpowiedzi impulsowej", grant KBN nr 7 T11B 076 21 (promotorski).
- 1999 – 2001 "Projekt oraz realizacja sprzętowa CMOS oraz BiCMOS analogowych bloków funkcjonalnych odbiornika telefonii komórkowej GSM", grant KBN nr 8 T11B03716
- 1999 – 2000 Realizacja filtra decymacyjnego FIR do zastosowań w przetworniku analogowo-cyfrowym opartym na modulatorze $\Sigma - \Delta$. Przetwornik był realizowany do zastosowań w stacji bazowej GSM podczas pobytu Autora w Instytucie przemysłowym IHP Microelectronics we Frankfurcie nad Odrą w Niemczech.
- 1997 – 1999 Udział w projektach TEMPUS: łącznie cztery miesiące podczas trzech wizyt naukowych w: École Nouvelle d'Ingénieurs en Communication (ENIC) w Lille we Francji oraz Centro Studi e Laboratori Telecomunicazioni (CSELT) w Turynie we Włoszech
- 1997 "Rozwój metod separacji i filtracji sygnałów cyfrowych za pomocą procesorów sygnałowych", grant KBN nr 3 P406 007 07

5.3 Wyróżnienia oraz stypendia naukowe

- 2013 Nagroda Marszałka Województwa Kujawsko-Pomorskiego. Kategoria: Nauka, badania naukowe i postęp techniczny.
- 2012 Stypendium naukowe dla doświadczonych naukowców niemieckiej fundacji DAAD (pobyty w Niemczech 12/2012 – 02/2013)
- 2012 Stypendium "Invited Professor" fundowane przez Institute of Microtechnology / EPFL w Szwajcarii.
- 2010, 2011, 2012 Nagroda naukowa zespołowa (I i II stopnia) Jego Eminencji Rektora UTP, za wybitne osiągnięcia w dziedzinie badań naukowych.
- 2011 – 2012 Grant wspomagający Fundacji na Rzecz Nauki Polskiej dla laureatów programu Kolumb
- 2006 – 2009 Stypendium Marie Curie 6 Programu Ramowego Unii Europejskiej (International Outgoing Fellowship), Faza wyjazdowa: Department of Electrical and Computer Engineering / University of Alberta, Edmonton Kanada. Faza powrotna: University of Neuchâtel a następnie EPFL w Szwajcarii
- 2005 – 2008 W trakcie pobytu w Kanadzie pozyskanie czterech grantów z Canadian Microelectronics Corporation (CMC) umożliwiających realizację układów scalonych w nowoczesnych technologiach CMOS.
- 2005 – 2006 Stypendium zagraniczne w ramach programu Kolumb Fundacji na Rzecz nauki Polskiej. Stypendium to w 2005 roku przyznane zostało tylko 15 młodym doktorom. Miejsce pobytu: Department of Electrical and Computer Engineering / University of Alberta, Edmonton, Kanada.
- 2005 Nagroda Jego Eminencji Rektora Politechniki Poznańskiej za najlepszą rozprawę doktorską w 2004 r.
- 2004 Obrona z wyróżnieniem rozprawy doktorskiej na Wydziale Elektrycznym Politechniki Poznańskiej
- 2002 – 2003 Roczne stypendium naukowe dla młodych naukowców Fundacji na Rzecz Nauki Polskiej przedłużone w osobnym konkursie na kolejny rok.
- 1997 – 2010 Kilkanaście wyróżnionych referatów na międzynarodowych konferencjach naukowych (ESANN, SiPS, MIXDES)

5.4 Recenzowanie artykułów do czasopism naukowych oraz konferencyjnych

- IEEE Transactions on Neural Networks,
- IEEE Transactions on Circuits and Systems,
- IEEE Transactions on Very Large Scale Integration Systems,
- Microelectronics Journal (Elsevier),
- Knowledge Based Systems (Elsevier),
- Applied Soft Computing (Elsevier),
- Applied Mathematics and Computation (Elsevier),
- Circuits, Devices & Systems (IET),
- Circuits, Systems & Signal Processing (Springer),
- VLSI Design Journal (Hindavi),
- Vibroengineering Journal,
- IEEE International Symposium on Circuits and Systems (ISCAS)

5.5 Recenzowanie wniosków stypendialnych

Przez okres dwóch lat Autor recenzował wnioski stypendialne w ramach programu "Ventures" Fundacji na Rzecz nauki Polskiej.

5.6 Udział w komitetach organizacyjnych konferencji

- 1998 Krajowa Konferencja Teoria Obwodów i Układy Elektroniczne (KKTOiUE)
- 1999-2005 IEEE Signal Processing Workshop

5.7 Działalność dydaktyczna

Doświadczenie dydaktyczne Autora obejmuje okres ponad 18 lat, czyli cały okres jego pracy zawodowej na uczelniach wyższych. Działalność dydaktyczna obejmuje prowadzenie regularnych zajęć, promotorstwo prac inżynierskich oraz magisterskich, ale też asystowanie przy realizacji rozpraw doktorskich.

5.7.1 Zajęcia prowadzone dawniej oraz obecnie

- Układy elektroniczne (ćwiczenia, laboratorium)
- Teoria obwodów (wykłady, ćwiczenia)
- Układy Analogowe (ćwiczenia, laboratorium)
- Języki programowania: Java, C/C++, (ćwiczenia, laboratorium),
- Algorytmy i struktury danych (ćwiczenia, laboratorium)
- Teoria systemów (ćwiczenia)
- Systemy sztucznej inteligencji (ćwiczenia, laboratorium)
- Miernictwo (wykład, laboratorium)
- Podstawy informatyki (wykład)
- Sieci globalne i systemy multimedialne (projekt, laboratorium)
- Aplikacje w sieciach teleinformatycznych (projekt)
- Seminarium dyplomowe

Autor brał też aktywny udział w przygotowaniu oraz prowadzeniu wybranych wykładów z zakresu Mikroelektroniki podczas pobytu naukowego w Kanadzie oraz Szwajcarii. Wykłady były prowadzone w języku angielskim.

5.7.2 Opieka nad studentami różnych szczebli edukacji

- Promotorstwo ponad pięćdziesięciu prac inżynierskich w Wyższej Szkole Informatyki oraz na Uniwersytecie Technologiczno-Przyrodniczym w Bydgoszczy.
- Aktywne wsparcie dr inż. Tomasza Talaśki oraz dr inż. Marty Kolasy z Uniwersytetu Technologiczno-Przyrodniczego w Bydgoszczy w trakcie przygotowywania przez nich rozpraw doktorskich.
- W czasie pobytu w Kanadzie na University of Alberta Autor asystował w pracach magisterskich dwóch studentów swojego opiekuna naukowego dr. Krzysztofa Iniewskiego.

A Wykaz cytowań wybranych artykułów uwzględniający cytowania nie ujęte w bazach Web od Science oraz Scopus

Większość cytowań prac Autora dostępnych jest w wyżej wymienionych bazach. Części cytowań tam jednak nie ma. Zostały one zebrane poniżej. Biorąc pod uwagę przedstawioną listę cytowań można przyjąć że indeks Hirscha wynosi 5.

a. R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", *VLSI Design Journal*, Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 2007

Artykuł cytowany był 17 razy:

1. K. Hansen, C. Reckleben, I. Diehl, M. Bach, P. Kalavakuru, "Pixel-level 8-bit 5-MS/s Wilkinson-type digitizer for the DSSC X-ray imager: Concept study" Elsevier, *Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Vol. 629, Issue 1, 11 February 2011, pp.269–276
2. Neena Nambiar, Benjamin J. Blalock, M. Nance Ericson, "A novel current-mode multi-channel integrating ADC", Springer, *Analog Integrated Circuits and Signal Processing*, Vol. 63, Number 2 (2010), pp.283–291, DOI: 10.1007/s10470-009-9393-8
3. Hoi-Jun Yoo, Chris van Hoof, "Introduction to Bio-Medical CMOS IC", Springer, *BIO-MEDICAL CMOS ICS, Integrated Circuits and Systems*, 2011, pp.1–9, DOI: 10.1007/978-1-4419-6597-4_1
4. L. Barboni, M. Valle, "Signal Conditioning System Analysis for Adaptive Signal Processing in Wireless Sensors", Springer, *Sensors and Microsystems, Lecture Notes in Electrical Engineering*, 2010, Vol. 54, Part 4, 291–294, DOI: 10.1007/978-90-481-3606-3_56
5. Binhee Kim, Long Yan, Jerald Yoo, Namjun Cho, and Hoi-Jun Yoo, "An Energy-Efficient Dual Sampling SAR ADC with Reduced Capacitive DAC", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 24–27 May 2009, pp.972 – 975
6. Yanjie Xiao, Tantan Zhang, Pui-In Mak, Man-Kay Law, R.P. Martins, "A 0.8 μ W 8-bit 1.5–20-pF-input-range capacitance-to-digital converter for lab-on-chip digital microfluidics systems", *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 28–30 November 2012, pp.384 – 387
7. L. Barboni, M. Valle, "Signal-to-noise ratio evaluation for embedded wireless sensor nodes: A novel methodology", *16th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, 13–16 December 2009, pp. 940 – 943
8. F. Fereydouni-Forouzandeh, O.A. Mohamed, M. Sawan, "Ultra Low Energy Communication Protocol for Implantable Wireless Body Sensor Networks", *6th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference (NEWCAS-TAISA)*, pp. 57 – 60, 22–25 June 2008,
9. L. Barboni, M. Valle, "Experimental Analysis of Wireless Sensor Nodes Current Consumption", *2nd International Conference on Sensor Technologies and Applications (SENSOR-COMM)*, 25–31 August 2008, pp. 401 – 406
10. Salim Al-Ahdab, Reza Lotfi and Wouter A. Serdijn, "A 1-V 225-nW 1kS/s Current Successive Approximation ADC for Pacemakers", *Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, pp. 1–4, 18–21 July 2010
11. Binhee Kim, Long Yan, Jerald Yoo, and Hoi-Jun Yoo, "A 40fJ/c-s 1 V 10 bit SAR ADC with Dual Sampling Capacitive DAC Topology", *Journal of Semiconductor Technology and Science*, Vol.11, No.1, March, 2011, DOI:10.5573/JSTS.2011.11.1.023, pp.23–32
12. Salim Al-Ahdab, "An Ultra Low Power Fully Integrated Sensor Interface IC for Pacemaker", Thesis: degree of Master of Science, The Faculty of Electrical Engineering, Mathematics and Computer Science, Delft University of Technology, Nederland
13. Salim Alahdab, R. Lotfi, W. A. Serdijn "A 1-V 416-nW Fully Integrated Sensor Interface IC for Pacemakers", *1 International Workshop on ADC Modelling, Testing and Data Converter Analysis and Design and IEEE 2011 ADC Forum* June 30 - July 1, 2011, Orvieto, Italy, pp. 161–166
14. Neena Balakrishnan Nambiar, "A Current-Mode Multi-Channel Integrating Analog-to-Digital Converter", Doctoral Dissertations, University of Tennessee, Knoxville, Trace: Tennessee Research and Creative Exchange, August 2009

15. E. Maghsoudloo, S. Moradi, A. Arian, "Current mode sensor interface system for biomedical implantable applications", *20th Iranian Conference on Electrical Engineering (ICEE)*, 15-17 May 2012, pp.26 - 29
16. Jinxin Song, "Ultra low power Analog-to-Digital Converter for Biomedical Devices", Educational program: Master of Science - System-on-Chip Design, School of Information and Communication Technology, Royal Institute of Technology, March 2011, Stockholm, Sweden
17. L. Barboni, M. Valle, "Battery Current Consumption Measurement System for Lifetime Estimation of Wireless Sensor Nodes", *15th Italian Conference Sensors And Microsystems*, Roma, Italy, 19 - 21 February 2008, pp. 464 - 468

b. R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna "Realization of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks", *IEEE Transactions on Neural Networks*, Vol. 21, Iss.6, pp.961-971, (June 2010)

Oprócz dziewięciu cytowań odnotowanych w bazie Web of Science, artykuł cytowany jest również przez (razem 15 cytowań):

1. H. Hikawa, Y. Maeda, "Improved Learning Performance of Hardware Self-Organizing Map Using a Novel Neighborhood Function", *IEEE Transactions on Neural Networks and Learning Systems*, Vol. PP, Is.99, DOI: 10.1109/TNNLS.2015.2398932, 23 February 2015
2. A. Świetlicka, "Trained stochastic model of biological neural network used in image processing task", Elsevier, *Applied Mathematics and Computation*, Available online 9 January 2015, doi:10.1016/j.amc.2014.12.082
3. D. Shapiro, J. Parri, J.-M. Desmarais, et al., "ASIPs for artificial neural networks", *IEEE International Symposium on Applied Computational Intelligence and Informatics (SACI)*, 19-21 May 2011, pp.529-533
4. B.P. Bhuvana, "Comparison of Training, Testing and Validation Sets in the Application of Analog Signals", *World Applied Sciences Journal* Vol. 29 Iss. 8, 2014, DOI: 10.5829/idosi.wasj.2014.29.08.1434, , pp.1087-1093
5. B.P. Bhuvana, "Reducing Mismatches in the Analog Signal by Using Levenberg-Marquardt Back Propagation Algorithm", *World Applied Sciences Journal* Vol. 29 Iss. 10, 2014, DOI: 10.5829/idosi.wasj.2014.29.08.1434, , pp.1320-1326
6. P. Derugo, M. Dybkowski, K. Szabat, "Zastosowanie adaptacyjnego neuronowo-rozmytego regulatora prędkości z konkurencyjnymi warstwami Petriego do sterowania silnika elektrycznego", *Przegląd Elektrotechniczny*, 2013, R. 89, nr 12, pp.64-67

c. R. Długosz, T. Talaśka, W. Pedrycz, "Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 58, Iss. 1, pp. 31-35, (January 2011)

Artykuł cytowany był 6 razy:

1. K. Roy, D. Fan, X. Fong, et al, "Exploring Spin Transfer Torque Devices for Unconventional Computing" *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, Vol. 5, Iss. 1, March 2015, pp.5-16
2. M. Sharad, C. Augustine, G. Panagopoulos, K. Roy, "Spin based neuron-synapse module for ultra low power programmable computational networks" *International Joint Conference on Neural Networks (IJCNN)*, 10-15 June 2012, pp.1-7
3. S. Decherchi, P. Gastaldo, A. Leoncini, R. Zunino, "Efficient Digital Implementation of Extreme Learning Machines for Classification", *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 59, Iss. 8, pp.496-500

4. M. Sharad, C. Augustine, G. Panagopoulos, K. Roy, "Spin-Based Neuron Model With Domain-Wall Magnets as Synapse", *IEEE Transactions on Nanotechnology*, Vol.11, Iss.4, pp.843-853
5. A. Świątlicka, "Trained stochastic model of biological neural network used in image processing task", Elsevier, *Applied Mathematics and Computation*, Available online 9 January 2015, doi:10.1016/j.amc.2014.12.082
6. R. Banchuin, "Complete Circuit Level Random Variation Models of Nanoscale MOS Performance", *International Journal Information and Electronic Engineering*, 2011, IJIEE 2011 Vol.1(1): 9-15 ISSN: 2010-3719, DOI: 10.7763/IJIEE.2011.V1.2

d. R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", *Neurocomputing*, Elsevier, doi:10.1016/j.neucom.2009.11.027, Vol. 73, Iss.7-9, pp.1222-1234, (March 2010), (80 %)

Artykuł cytowany był 5 razy:

1. Xingfang Zhang "Duality and pseudo duality of dual disjunctive normal forms *Knowledge-Based Systems*, Vol. 24, Issue 7, October 2011, pp.1033-1036
2. Sun Lihua, Zhang Xingfang, Li Youyu, "Pseudo duality and pseudo law of excluded middle in logic systems", *Computer Engineering and Applications*, 2012, 48 (14), pp.60-62
3. A.H. Zavala, I.Z. Batyrshin, O.C. Nieto, O. Castillo, "Conjunction and disjunction operations for digital fuzzy hardware" *Applied Soft Computing*, 03/2013 13(7), pp.3248-3258.
4. A.H. Zavala, O.C. Nieto, "Fuzzy Hardware: A Retrospective and Analysis" *IEEE Transactions on Fuzzy Systems*, Vol. 20, Iss. 4, pp.623 - 635
5. Article: Genetic algorithms based logic-driven fuzzy neural networks for stability assessment of ru... Mehmet Levent Koç, Can Elmar Balas *Applied Ocean Research* 08/2012 37:211-219.

e. R. Długosz, T. Talaśka, "Low power current-mode binary-tree asynchronous Min/Max circuit", *Microelectronics Journal*, Elsevier, Vol.41, No.1, pp.64-73, (January 2010)

Artykuł cytowany był 5 razy (cztery z nich występują w bazie Scopus):

1. T. Mak, Kai-Pui Lam, H. S. Ng, G. Rachmuth, Chi-Sang Poon, "A CMOS Current-Mode Dynamic Programming Circuit", *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.57, Iss.12, July 2010, pp.3112-3123
2. M. Sharad, D. Fan, K. Roy, "Energy-Efficient Non-Boolean Computing With Spin Neurons and Resistive Memory", *IEEE Transactions on Nanotechnology*, Vol.13, Iss.1, January 2014, pp.23-34
3. M. Sharad, D. Fan, K. Roy, "Ultra low power associative computing with spin neurons and resistive crossbar memory", *50th Annual Design Automation Conference (DAC)*, Article No. 107, ACM New York, NY, USA, 2013 doi:10.1145/2463209.2488866
4. M.H. Moaiyeri, R. Chavoshisani, A. Jalali, K. Navi, O. Hashemipour, "High-Performance Mixed-Mode Universal Min-Max Circuits for Nanotechnology", *Circuits, Systems, and Signal Processing*, April 2012, Volume 31, Issue 2, pp.465-488
5. Dai Li, Zhuang Yiqi, Jing Xin, Tang Hualian, "High-Performance CMOS current-mode Winner-take-all circuit", *Journal of Xidian University*, Vol. 39, No. 3, June 2012, pp.80-85.

f. R. Długosz, M. Kolasa, W. Pedrycz, M. Szulc, "Parallel Programmable Asynchronous Neighborhood Mechanism for Kohonen SOM Implemented in CMOS Technology", *IEEE Transactions on Neural Networks*, Vol. 22, Iss. 12, pp. 2091-2104, (December 2011)

Artykuł cytowany był 5 razy:

1. H. Hikawa, Y. Maeda, "Improved Learning Performance of Hardware Self-Organizing Map Using a Novel Neighborhood Function", *IEEE Transactions on Neural Networks and Learning Systems*, Vol.PP, Is.99, DOI: 10.1109/TNNLS.2015.2398932, 23 February 2015
2. A. Świetlicka, "Trained stochastic model of biological neural network used in image processing task", *Applied Mathematics and Computation*, Elsevier, doi:10.1016/j.amc.2014.12.082, 9 January 2015
3. Jicheng Ding, Jian Zhang, Weiquan Huang and Shuai Chen, "Laser Gyro Temperature Compensation Using Modified RBFNN", *Sensors* 14 (10), doi:10.3390/s141018711, pp.18711-18727.
4. F.J. Maldonado, S. Oonk, K. Reichard, J. Pentzer, "SOM with neighborhood step decay for motor current based diagnostics", *IEEE International Conference on Systems, Man and Cybernetics (SMC)*, 5-8 Oct. 2014, pp. 2687-2692
5. A. Świetlicka, K. Gugala, A. Jurkowlaniec, P. Śniatała, A. Rybarczyk, *Neural Networks World Journal*, 2015, doi: 10.14311/NNW.2014.24.007

g. M. Kolasa, R. Długosz, W. Pedrycz, M. Szulc, "Programmable Triangular Neighborhood Function for Kohonen Self-Organizing Map Implemented on Chip", *Neural Networks*, Elsevier, Vol. 25, pp.146-160, (January 2012)

Artykuł cytowany był 5 razy:

1. H. Hikawa, Y. Maeda, "Improved Learning Performance of Hardware Self-Organizing Map Using a Novel Neighborhood Function", *IEEE Transactions on Neural Networks and Learning Systems*, Vol.PP, Is.99, DOI: 10.1109/TNNLS.2015.2398932, 23 February 2015
2. A. Świetlicka, "Trained stochastic model of biological neural network used in image processing task", *Applied Mathematics and Computation*, Elsevier, doi:10.1016/j.amc.2014.12.082, 9 January 2015
3. Li Penghua, Chai Yi, Cen Ming, Liu Nian, Qiu Yifeng, "A quantum self-organizing mapping neural network" *32nd Chinese Control Conference (CCC)*, 26-28 July 2013, pp. 3264 - 3268
4. Li Penghua, Yinguo Li, Dechao Luo, Baomei Qiu "Assessment of Vehicle Emissions using Quantum SOM Neural Network" *Journal of Computational Information Systems*, 10: 4 (2014), pp.1429-1437
5. A. Świetlicka, K. Gugala, A. Jurkowlaniec, P. Śniatała, A. Rybarczyk, *Neural Networks World Journal*, 2015, doi: 10.14311/NNW.2014.24.007

h. R. Długosz, K. Iniewski, "High-precision analogue peak detector for X-ray imaging applications", *Electronics Letters*, Vol. 43, Issue 8, pp. 440-441, (12 April 2007), (80 %)

Artykuł cytowany był 4 razy (w bazie Web of Science jest jedno cytowanie z poniższych):

1. C. Sawigun, Wannaya Ngamkham, W.A. Serdijn, "An ultra low-power peak-instant detector for a peak picking cochlear implant processor", *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 3-5 Nov. 2010, pp. 222 - 225
2. Ming Zhang, N. Llaser, H. Mathias, "Design and analysis of a switched-capacitor-based peak detector", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 15-18 May 2011, pp. 1001 - 1004
3. Lee Tzung-Je Lee, Hsiao Wei-Chih, Wang Chua-Chin, "20 MHz accurate peak detector for FPW allergy biosensor with digital calibration", *13th International Symposium on Integrated Circuits (ISIC)*, 12-14 Dec. 2011, pp. 476 - 479
4. G Tidhar, "Gunshot detection system and method", US Patent 8809787 B2, 2014